



# A hardver tervezése

# Célok

## **A modul befejezésével elsajátított ismeretek:**

- A mester, szolga, buszhozzáférés kiosztó funkciók jelentése
- A MicroBlaze és PowerPC processzorok buszainak felépítése
- A MicroBlaze 6 különböző rendszerkonfigurációja
- A Virtex-II Pro™ eszközök JTAG interfésze



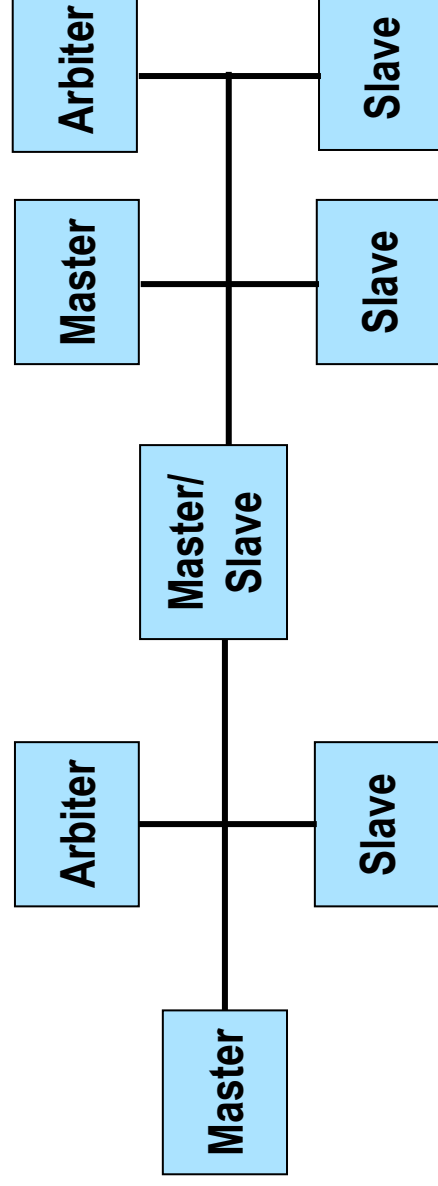
# Tartalom

-  **Busz funkciók : Mester, szolga, buszhozzáférés kiosztó**
  - Power PC : PLB, OPB, DCR, DSOCM, ISOCM
  - MicroBlaze: IOPB, DOPB, ILMB, DLMB, XCL, FSL
- A MicroBlaze processzor programozói modellje
- MicroBlaze konfigurációk
- A PowerPC processzor programozói modellje
- A PowerPC reset áramköre
- A Virtex-II Pro JTAG konfigurációja



# Busz 1x1

- A busz egy többvezetékes adatút, ami egymással szoros kapcsolatban lévő részekből áll
  - Címbusz, adatbusz, vezérlő busz
- A processzor és a perifériák a buszon keresztül kommunikálnak
- A periféria egységeket szerepük szerint osztályozhatjuk, mint
  - Mester, szolga, buszhasználat kiosztó (Arbiter) vagy együttes mester/szolga( Pl. busz kapcsolat híd)

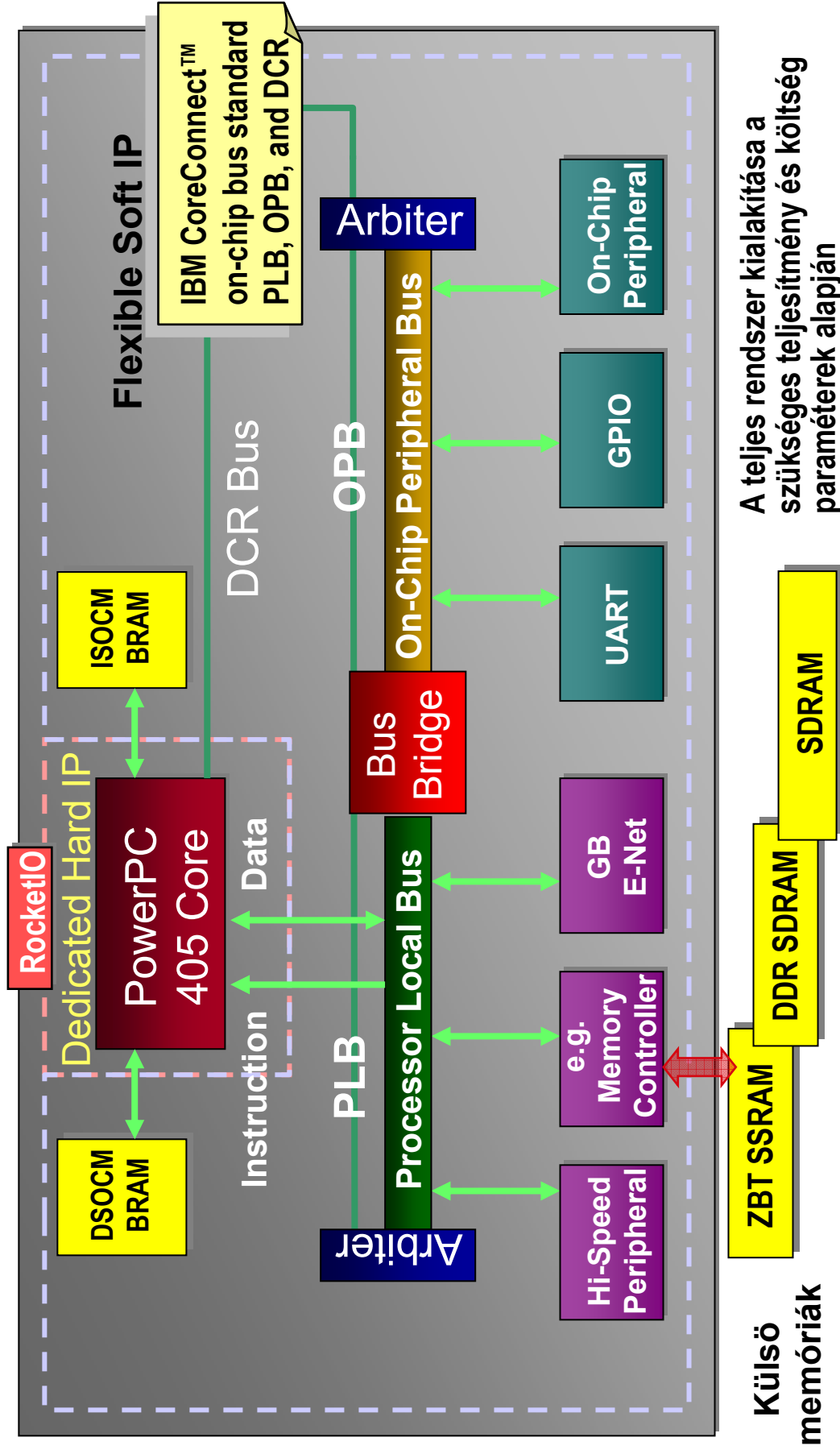


# Busz 1x1

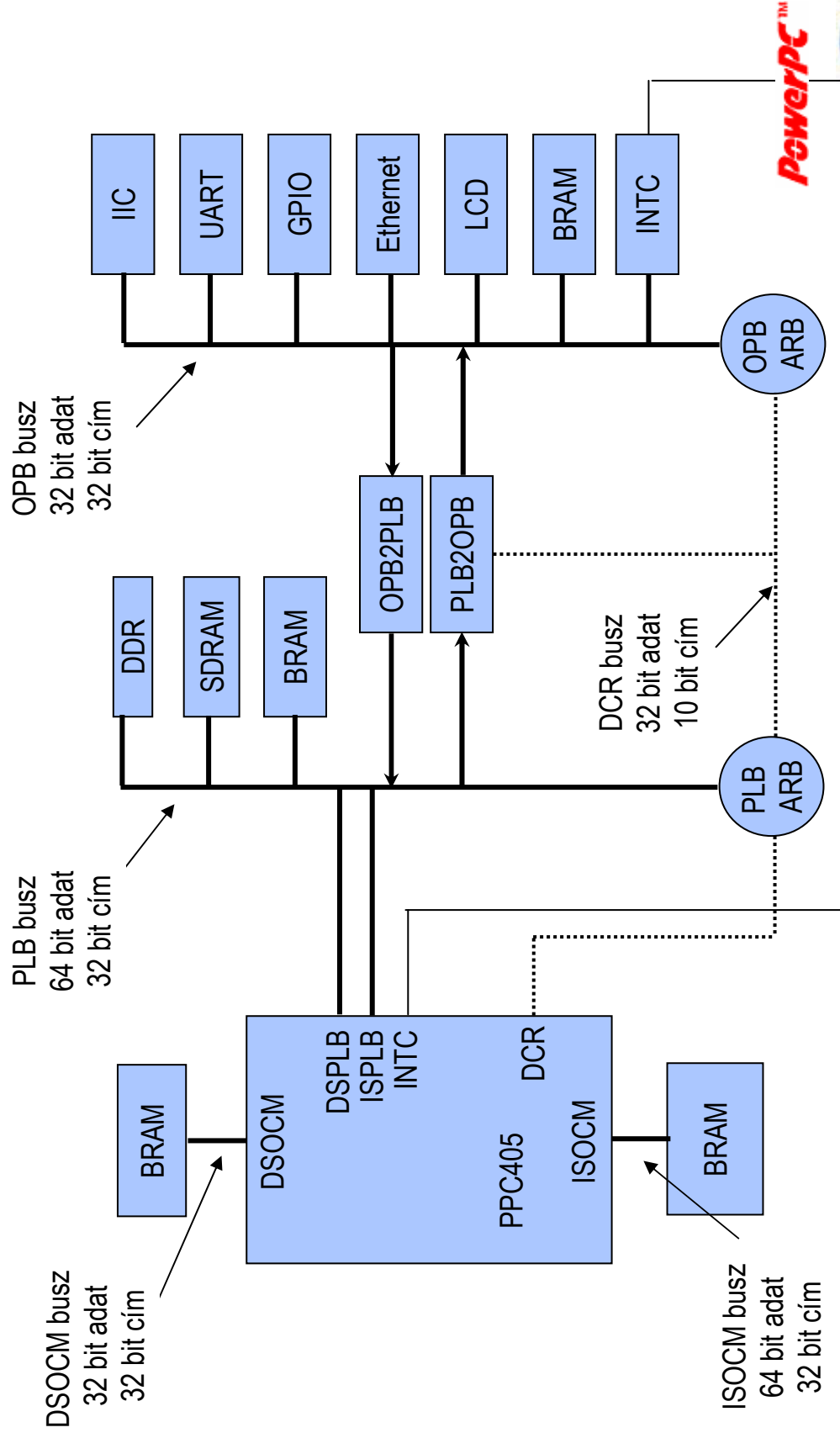
- A busz mester egységek képesek busz átviteleket kezdeményezni
- A busz szolga perifériák csak válaszolnak a kérésekre
- A busz hozzáférés kiosztás 3 lépésből áll:
  - A következő busz mester funkciót kérő eszköz beállítja a busz kérés vonalat
  - A busz hozzáférés vezérlő (arbiter) folyamatosan figyeli a kéréseket, ennek megfelelően a mesterek prioritási sémája és az aktuális kérések alapján kiadja az egyedi hozzáférés engedélyező jelet a megfelelő mesternek.
  - Az aktív kérést kiadó mesterek mintavételezik saját engedélyező jeleiket, amíg az aktív válik. Ezután akkor kezdeményezhetik az adatátvitelt a mester és a szolga között, amikor a jelenlegi buszmester lemond a busz használatáról.
- Buszhasználat kiosztó mechanizmusok
  - Rögzített prioritás, körben forgó, kevert



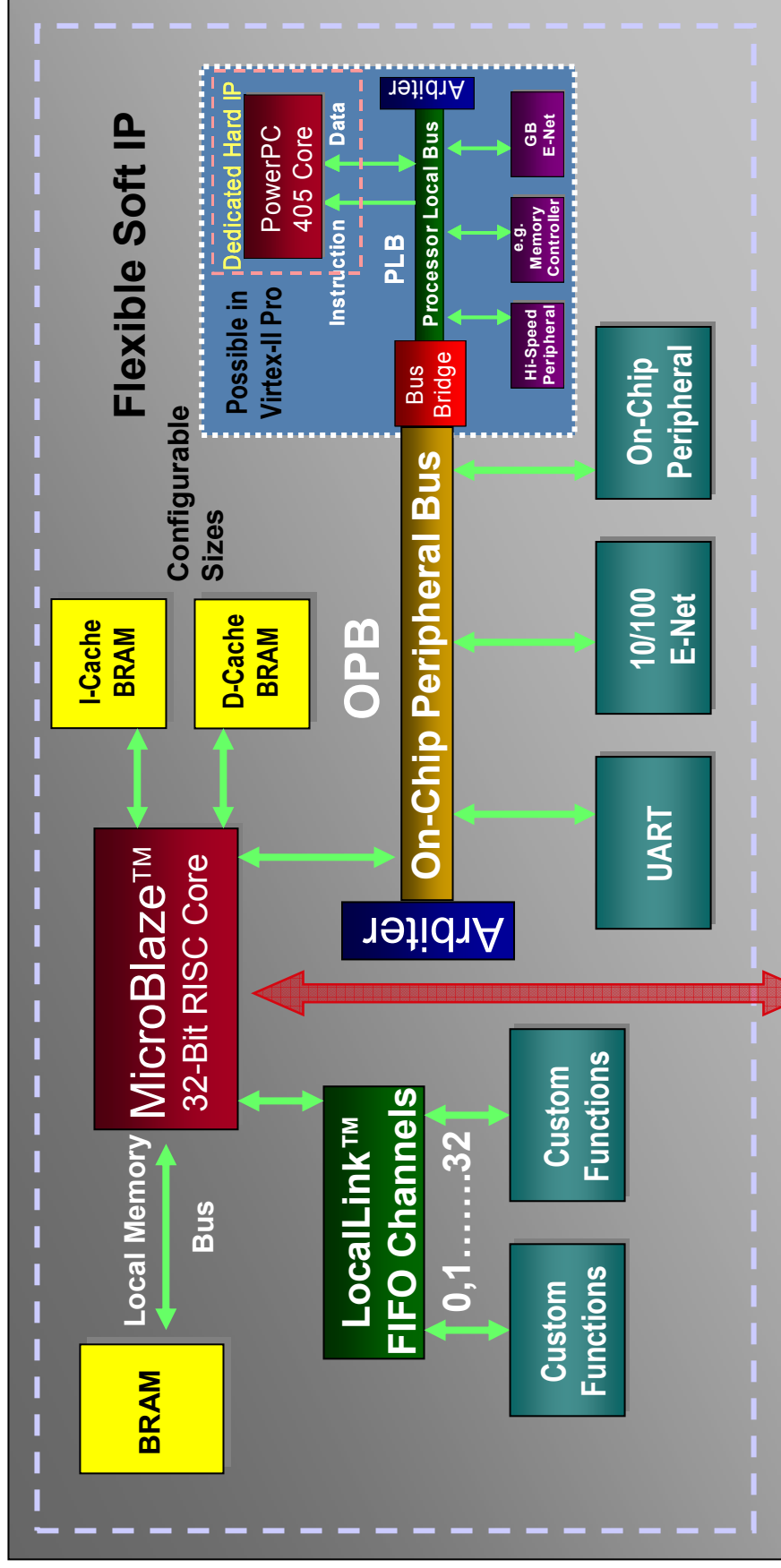
# PowerPC alapú beágyazott rendszerek



# PowerPC busz rendszer



# MicroBlaze alapú beágyazott rendszerek



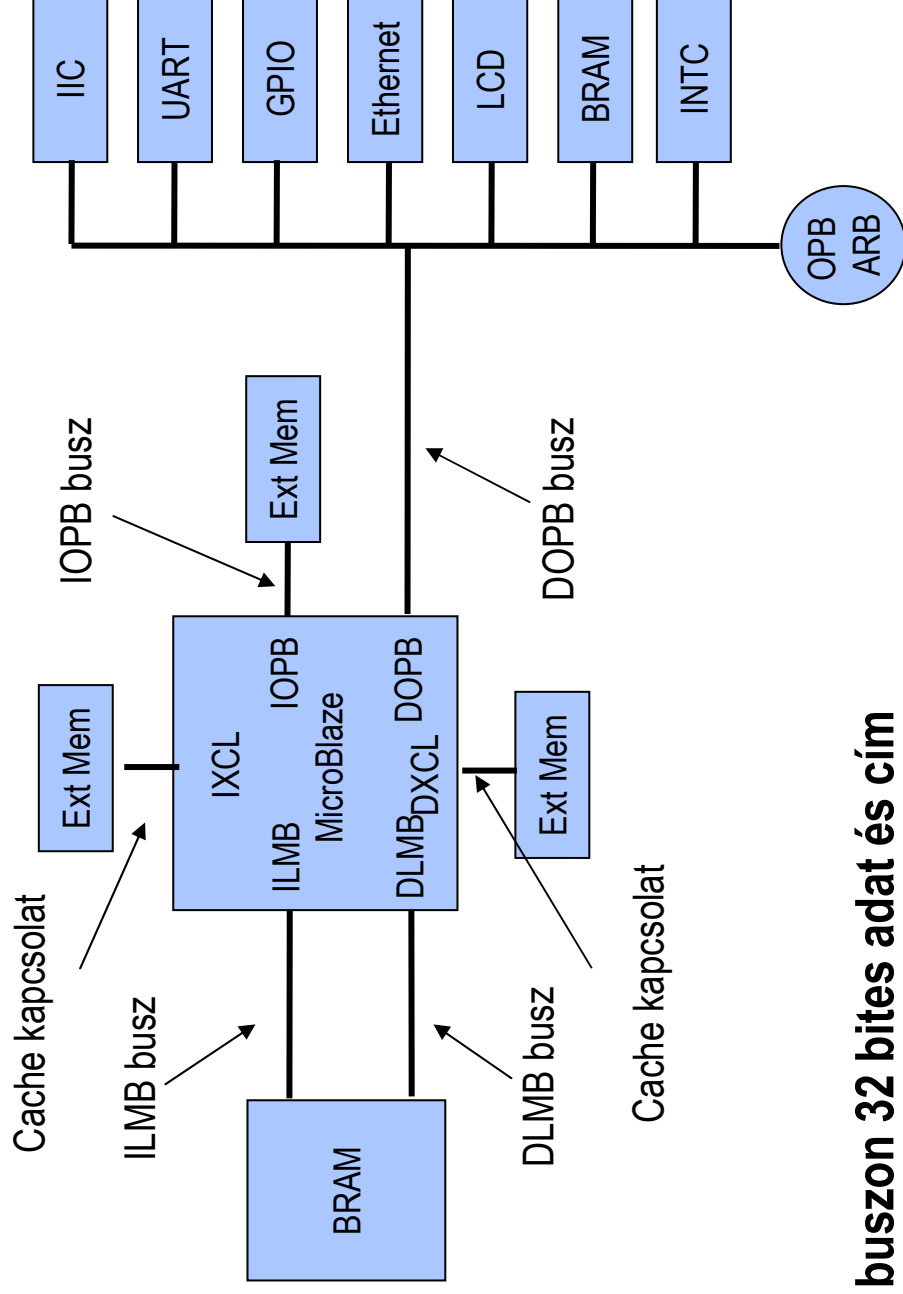
Külső  
memória

**FLASH/SRAM**





# MicroBlaze busz rendszer



Minden buszon 32 bites adat és cím

MicroBlaze



# CoreConnect busz architektúra

- Az IBM CoreConnect™ szabvány három buszt biztosít az egységek, könyvtári makrók és felhasználói logika összekapcsolására:
  - Gyors processzor busz                      Processor Local Bus (PLB)
  - Áramkörön belüli periféria busz        On-chip Peripheral Bus (OPB)
  - Eszközvezérlő busz                        Device Control Register (DCR) busz
- Az IBM ingyen, költségmentesen kínálja a CoreConnect architektúra felhasználói licencét.
  - A licenc felhasználók megkapják a PLB arbiter, az OPB arbiter, és a PLB/OPB híd terveket, a busz modellező eszközökkel és a PLB/OPB DCR busz funkcionális fordítókkal együtt
  - Ezek az eszközök csak akkor szükségesek, ha a felhasználó saját CoreConnect perifériát készít vagy használni kívánja a busz funkcionális modelleket (BFM)

**PowerPC™**



# Tartalom

- Busz 1x1: Mester, szolga, buszhozzáférés kiosztó
  - **PLB**
  - OPB
  - DCR
  - OCM
  - LMB
- A MicroBlaze processzor programozói modellje
- MicroBlaze konfigurációk
- A PowerPC processzor programozói modellje
- A PowerPC reset áramköre
- A Virtex-II Pro JTAG konfigurációja

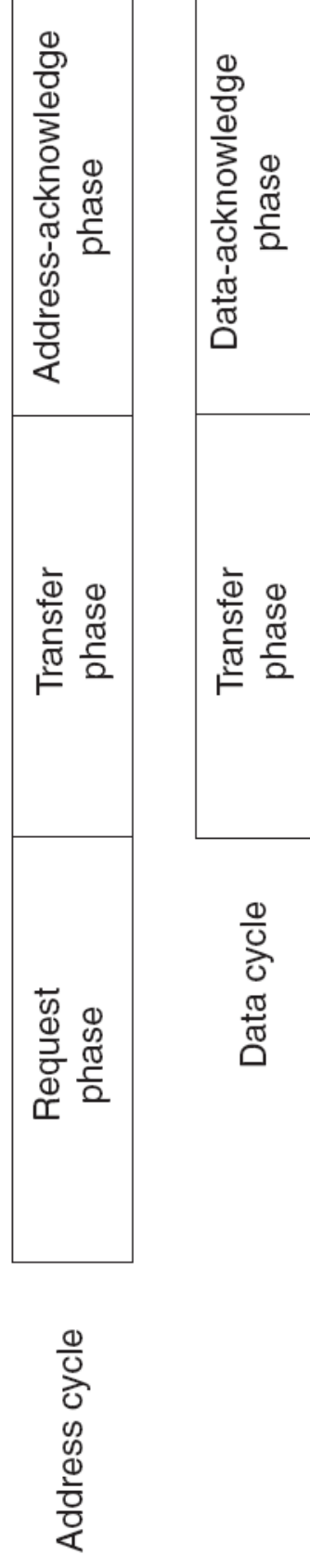


# PLB busz

- Nagy sáv szélességű kapcsoló infrastruktúra a mester és szolga eszközök között
- Teljesen órajel szinkron, egyetlen órajellel
- Centralizált busz hozzáférés kiosztás — PLB arbiter
- 64 bites adatbusz
- Döntően a nagyteljesítményű, kis késleltetésű, rugalmas megoldásokat támogatja:
  - Szétválasztott cím és olvasási ill. írási adatbusz, megosztott átviteli ciklus képességgel
  - Konkurens olvasás és írás ciklusok, két átvitel per órajel maximális busz kihasználtsággal
  - Cím futószalag használat, ami csökkenti egyes buszátvitel késleltetésének hatását, pl. új írási ciklus végrehajtásával az aktuális írást átfedően, vagy akár három új olvasási kérés végrehajtásával az aktuális olvasást átfedően. **PowerPC™**
  - Busz kérés-engedélyezés protokoll végrehajtása az aktuális átvitel ideje alatt



# PLB Busz átviteli séma



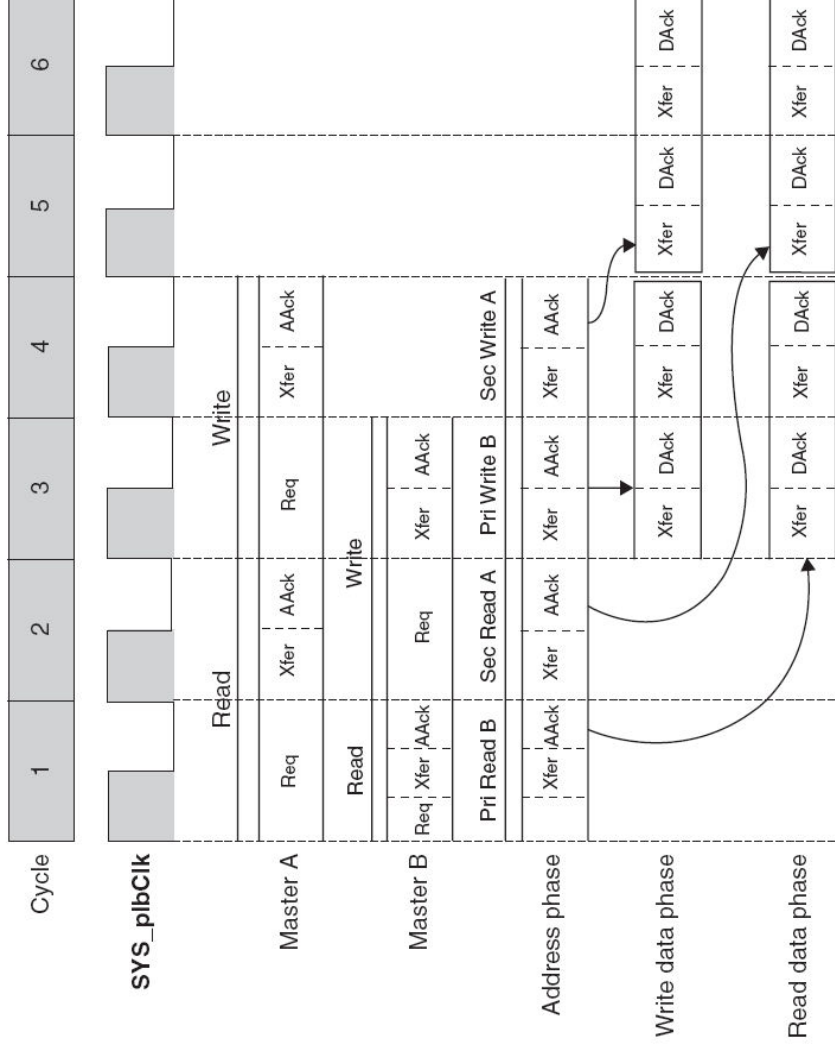
**FIGURE 3.20**

PLB address and data cycles [3]

*Reprint Courtesy of International Business Machines Corporation copyright (2001) © International Business Machines Corporation*



# Átlapolt átvitelek



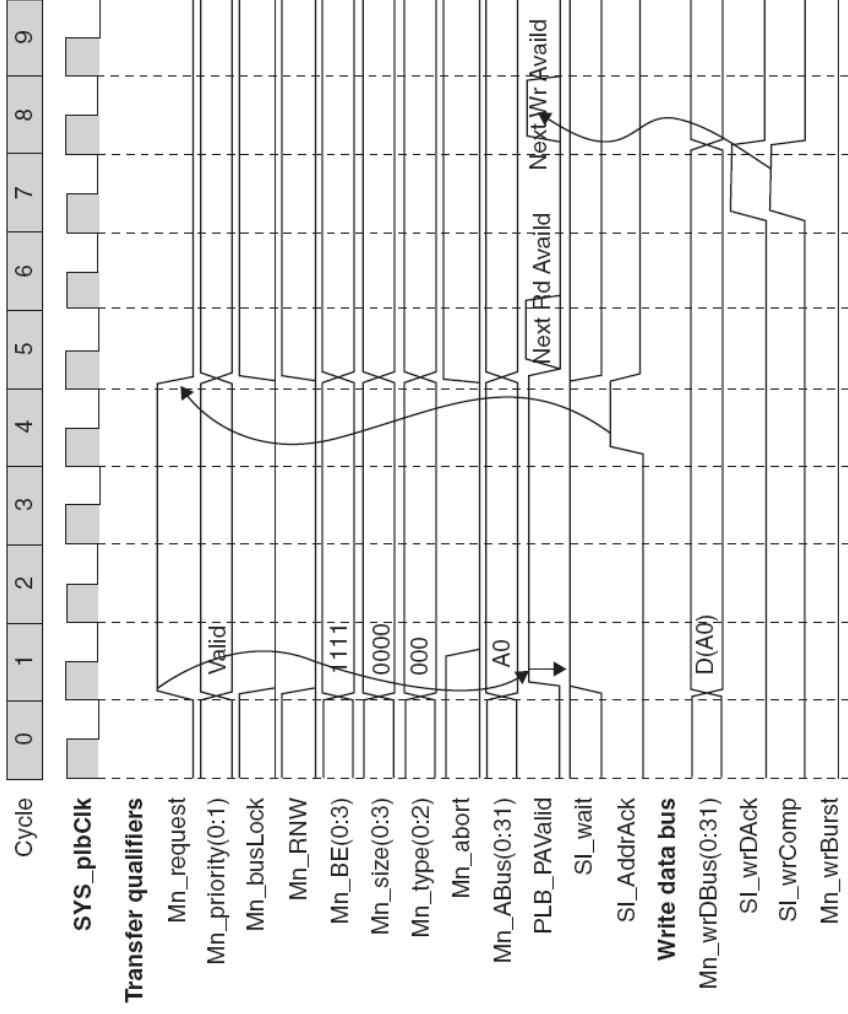
**FIGURE 3.21**

Example of overlapped PLB transfers [3]

Reprint Courtesy of International Business Machines Corporation copyright (2001) © International Business Machines Corporation



# PLB írási ciklus



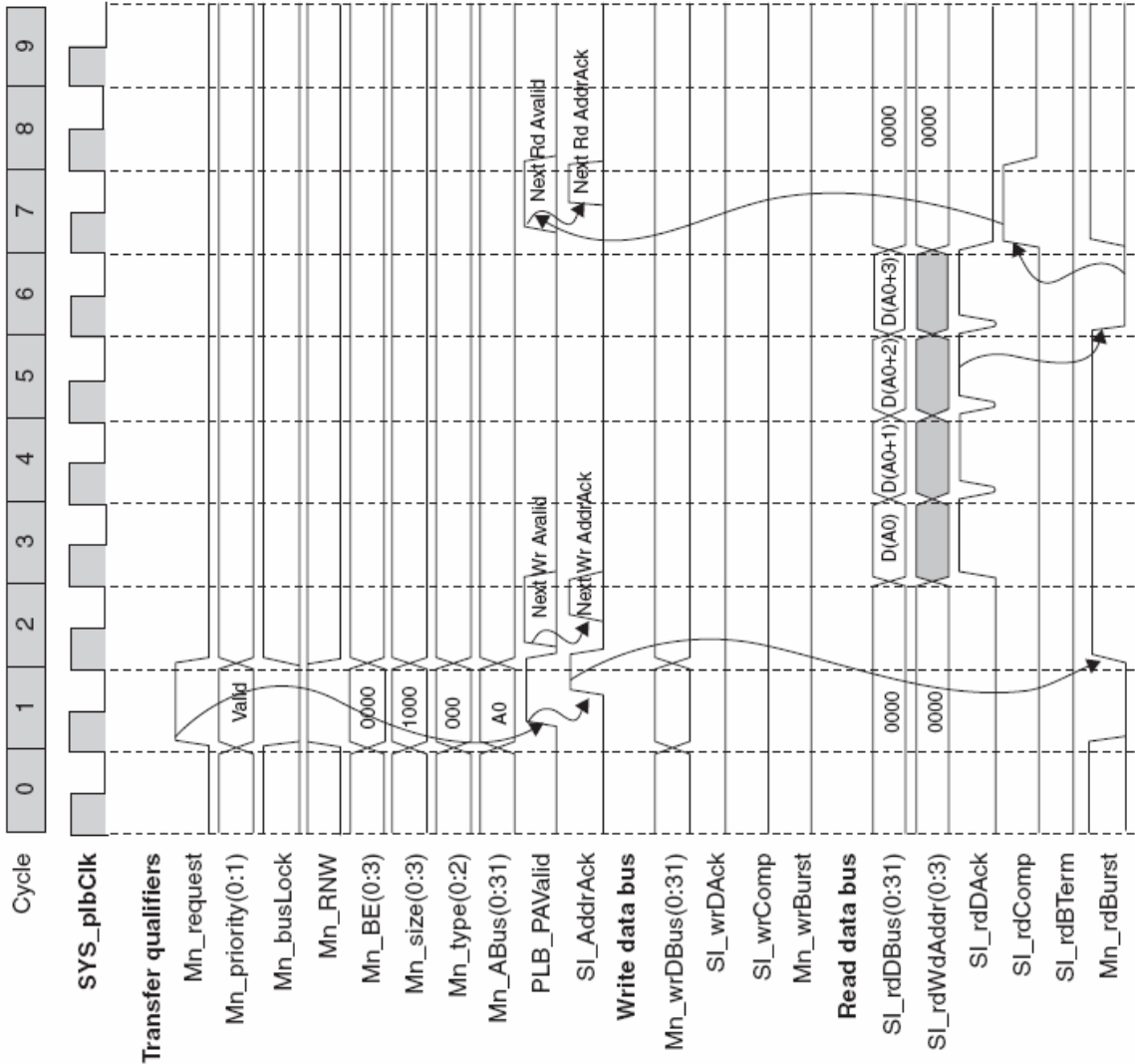
**FIGURE 3.22**

Example of a single write transfer on a PLB bus [3]

Reprint Courtesy of International Business Machines Corporation copyright (2001) © International Business Machines Corporation



# PLB burst olvasás



**FIGURE 3.23**

Read burst transfer (of length 4) on a PLB bus [3]

Reprint Courtesy of International Business Machines Corporation copyright (2001) © International Business Machines Corporation

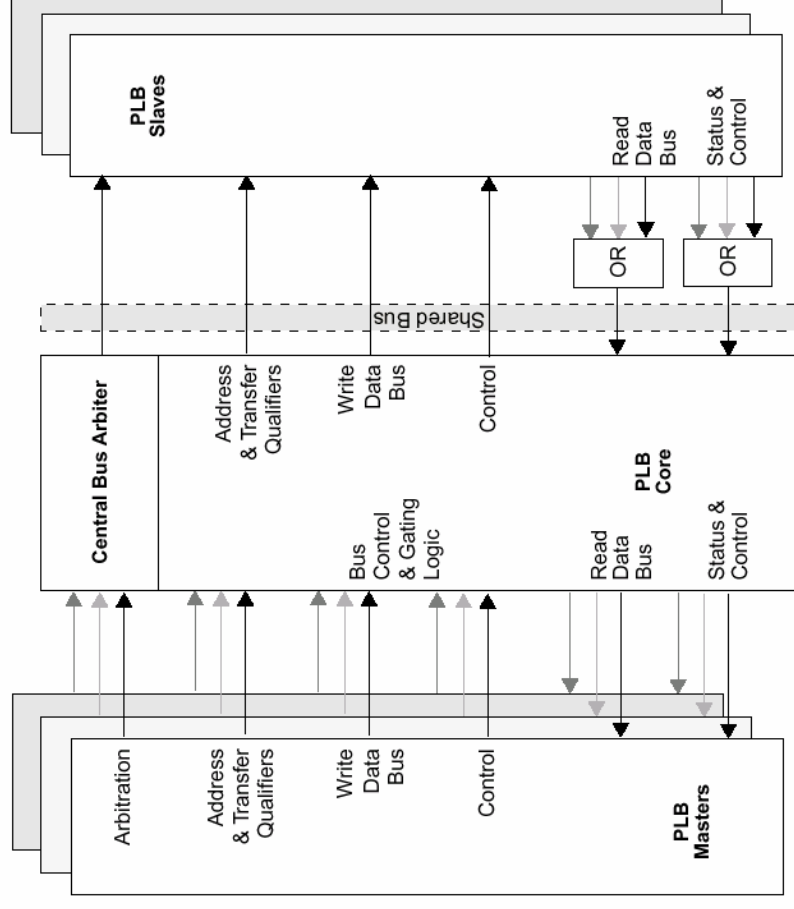




# PLB

## Kapcsolat / Felépítés

- 1-től 16 db PLB mester, melyek minden jele csatlakozik a PLB arbiter-hez
- A PLB arbiter kapcsolja a mesterek jeleit a megosztott buszra, amihez az összes szolga csatlakozik
- Az 1-től n számú PLB szolga perifériák kimenetei OR logikai szerint kapcsolódnak a PLB arbiter megosztott olvasás irányú adatbuszára
- A PLB arbiter kezeli a buszhozzáférés kiosztást, az adattovábbítást és a vezérlőjeleket a mesterek és szolgák között



PowerPC™



# PLB buszhozzáférés vezérlő

- PLB mester
  - Buszvezérlés kiosztás támogatás 16 mester egységig
  - A PLB mesterek száma konfigurálható tervezési paraméter
  - PLB címbusz futószalagos használata
  - Arbitráció 3 busz órajel ütem alatt
  - 4 szintű dinamikus mester kérés prioritás rendszer
- PLB szolga
  - Támogatás 16 szolga egységig
  - A PLB szolgák száma konfigurálható tervezési paraméter
  - Nem kell külső OR kapu hálózat a szolgák adatbemenetén
- PLB architektúra szabvány szerinti felépítés

**PowerPC™**



# Prioritás eldöntési mechanizmus

- Az arbitrációs ciklus alatt a busz vezérlés döntő logika az **M\_priority[0:1]** jelek állapota alapján meghatározza a jelenlegi busz prioritási szintjét (4 szint)
- A továbbiakban csak azokat az **M\_request[n]** kéréseket vizsgálja, melyek kérési szintje nagyobb prioritású mint a jelenlegi mester szintje.
- A prioritási szinteket a rendszer felépítésekor adhatjuk meg.
- A prioritás a hardver rendszerleíró MHS fájlban módosítható
  - **BUS\_INTERFACE MOPB** = instance\_name **POSITION** = integer
  - Az egész típusú **POSITION** paraméter egy pozitív szám, az 1 érték jelzi a legnagyobb prioritást

**PowerPC™**



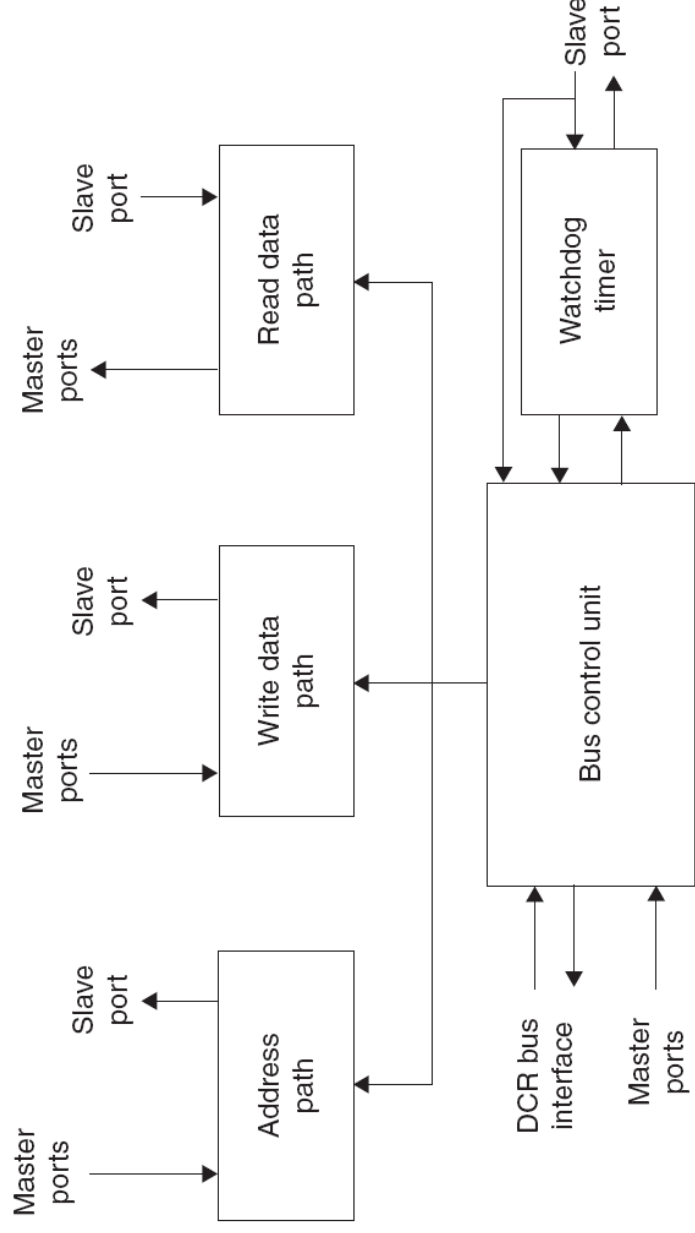
# A prioritás ütközés feloldása

- A Xilinx PLB busz egy fix prioritási sémával oldja fel azokat a helyzeteket, amikor kettő vagy több mester azonos kérésí prioritási szinten található.

Legmagasabb prioritás	Csökkenő prioritás		Legalacsonyabb prioritás
Master 0	Master 1	...	Master N-1
			Master N



# PLB arbiter 3 funkcióra



**FIGURE 3.24**

PLB arbiter block diagram [3]

Reprint Courtesy of International Business Machines Corporation copyright (2001) © International Business Machines Corporation



# PLB buszhíd

- A PLB - OPB busz híd átalakítja a PLB átviteli ciklusokat OPB átviteli ciklusokká
- Ez a híd egység a PLB oldalon szolgál, az OPB oldalon mester funkcióként jelenik meg
- A híd tartalmaz egy DCR szolgál interfészt is a busz hibákat jelző státuszregiszter hozzáférés biztosítására
- A híd szükséges mindazokban a rendszerekben, ahol a PLB mester egység, mint pl. a CPU, az OPB perifériákhoz kíván hozzáférni.

**PowerPC™**



# Tartalom

- Busz 1x1: Mester, szolga, buszhozzáférés kiosztó
  - PLB
  - **OPB**
  - DCR
  - OCM
  - LMB
- A MicroBlaze processzor programozói modellje
- MicroBlaze konfigurációk
- A PowerPC processzor programozói modellje
- A PowerPC reset áramköre
- A Virtex-II Pro JTAG konfigurációja



# OPB busz

- Az OPB busz leválasztja az alacsonyabb sávszélesség igényű eszközöket a PLB buszról
- Az OPB busz protokoll egyszerűbb, mint a PLB protokoll
  - Nincs megosztott átvitel, vagy cím futószalag képesség
- Központi busz prioritás kezelés — OPB arbiter
- Kapcsolódási infrastruktúra a mester és szolga periféria egységek között
- Az OPB busz tervezési célja a PLB busz terhelőkapacitásának csökkentésével a rendszer teljesítmény szűk keresztmetszetének csökkentése
  - Egyetlen órajeles teljesen szinkron működés
  - Megosztott 32 bites címbusz és megosztott 32 bites adatbusz
  - Egyetlen órajel ciklusos átvitelek támogatása a mesterek és szolgák között.
  - Többszörös busz mester struktúra támogatása, a busz vezérlés kiosztó logikával
  - A busz híd egység lehet mester a PLB oldalon vagy az OPB oldalon

**MicroBlaze™**  
**PowerPC™**





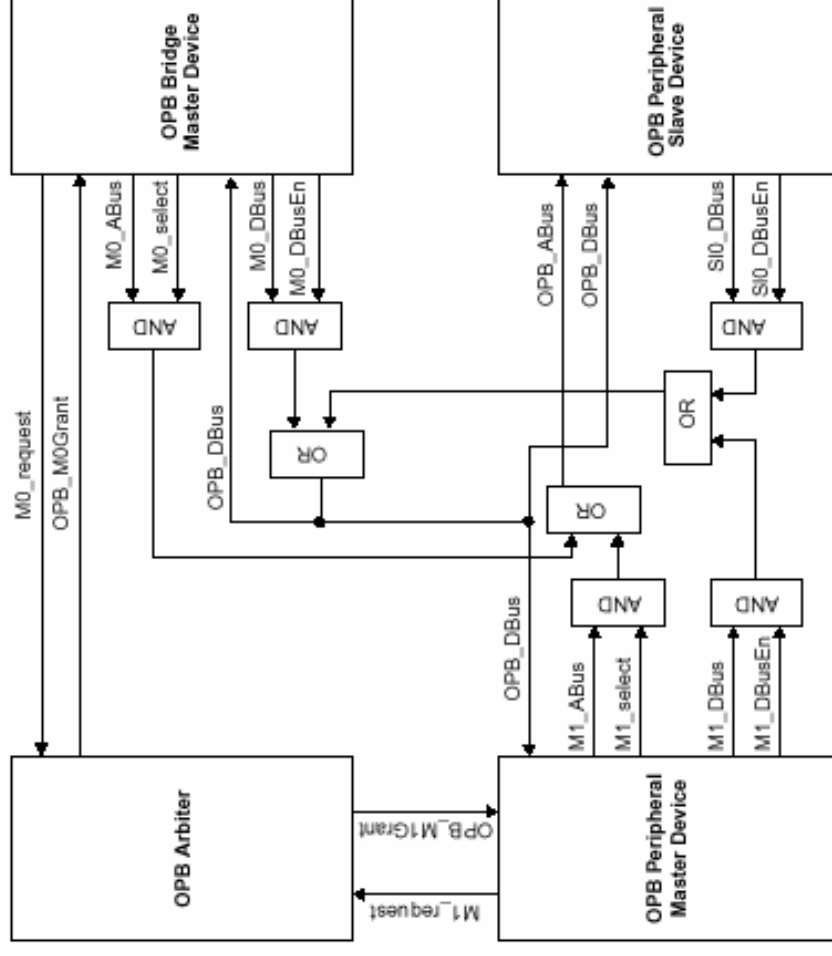
# OPB jellemzők

- Kisebbségi komplexitás, mint PLB, de...
- Osztott címzés átlapoló adathozzáférés itt is
- 32 bit cím, 32 vagy 64 bit adat
- Saját mesterek (max 16), tetszőleges számú slave
- Burst módban inkrementális cím generálás
- Dinamikus adatméret választás 8-...-64 bitig
- Egyciklusú átviteli lehetőség
- 16 ciklus max. késleltetés (time out)
- Slave retry jelzés esetleges deadlock helyzetek kerülésére
  - Master A dolgozik Slave B-vel, amikor a nagyobb prioritású Master C is szeretne, ezt Slave B jelezheti retry-al



# OPB busz

- 16 mestert és tetszőleges számú szolga egységet támogat (a komplexitást az elvárt teljesítmény korlátozza)
- Az OPB arbiter fogadja a mesterek kéréseit és egyiket kijelöli, mint következő mestert
  - Rögzített és dinamikus (LRU) prioritás
- A buszt AND-OR logika valósítja meg. Az inaktív eszközök nulla értéket tesznek a buszra
- Az írás és olvasás buszok szétválaszthatók az OPB\_DBus adatbusz jelek terhelésének csökkentésére

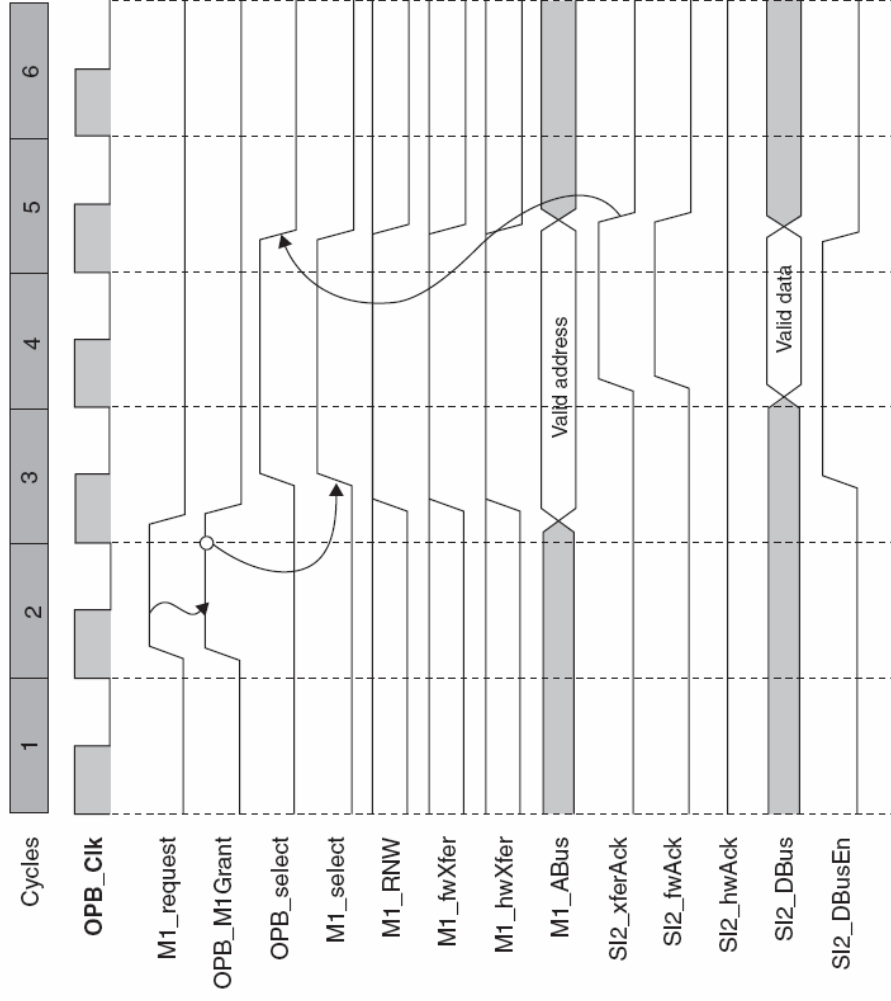


MicroBlaze

PowerPC™



# OPB busz olvasás



**FIGURE 3.25**

Basic read data transfer on OPB [3]

Reprint Courtesy of International Business Machines Corporation copyright (2001) © International Business Machines Corporation



# Tartalom

- Busz 1x1: Mester, szolga, buszhozzáférés kiosztó
  - PLB
  - OPB
  - **DCR**
  - OCM
  - LMB
- A MicroBlaze processzor programozói modellje
- MicroBlaze konfigurációk
- A PowerPC processzor programozói modellje
- A PowerPC reset áramköre
- A Virtex-II Pro JTAG konfigurációja



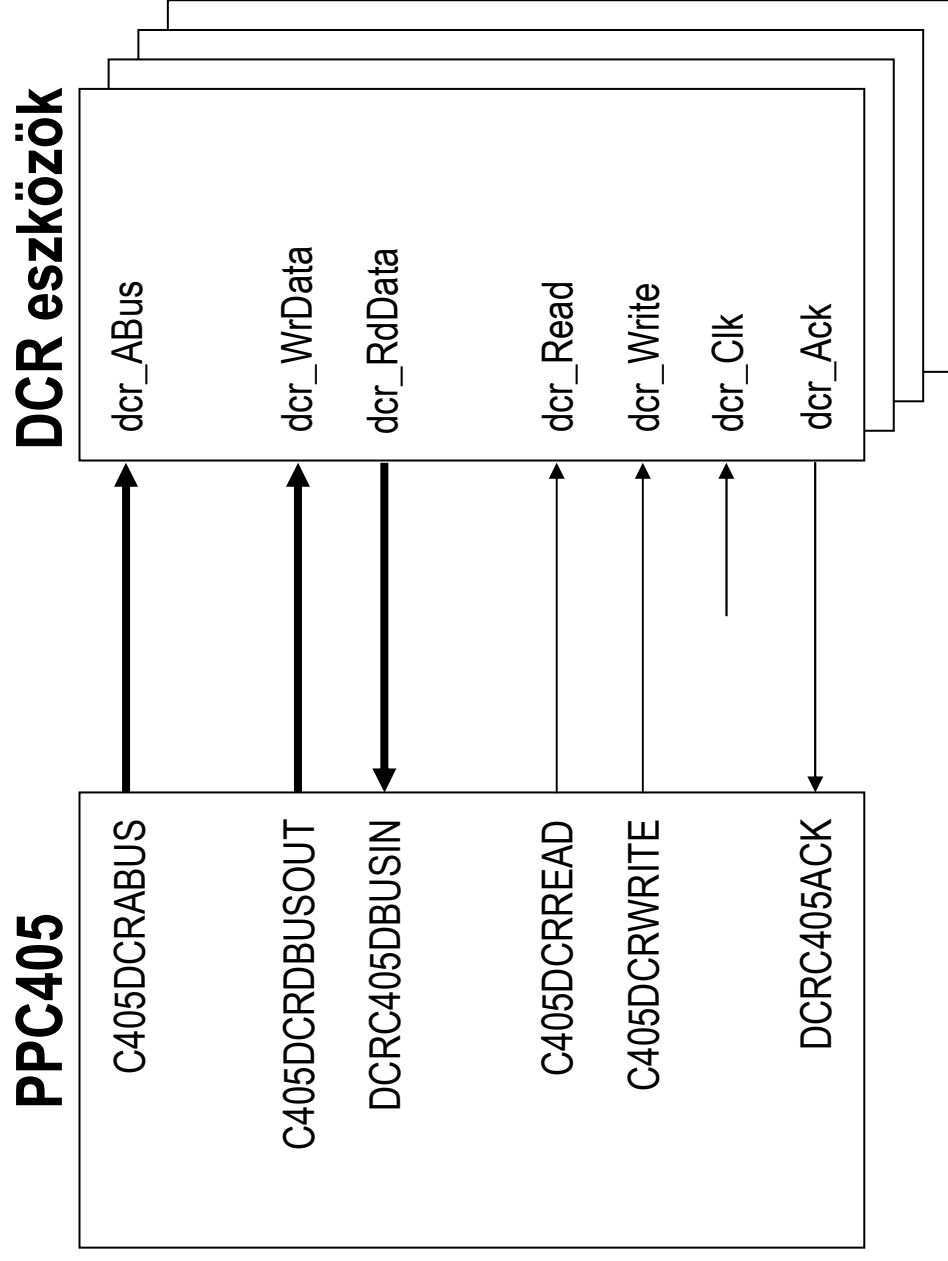
# DCR busz

- Eszköz vezérlő regiszter busz
  - IBM CoreConnect™ szabvány
  - A vezérlő regiszter kommunikációra használatos 10 bit címzés (max. 1024 regiszter)
  - 32 bit széles adatok – minden átvitel szó méretű
  - Csak egyedi írásokat, olvasásokat támogat, nincs többszörös hozzáférés
  - Adatbusz láncolt vagy OR kapus megoldással
  - Egyszerű nyugtázás a ciklus végén
  - CPU rendelkezik néhány speciális, privilegizált utasítással a DCR buszon végrehajtandó regiszter hozzáférésekre
- A normál DCR hozzáférések ezért speciális CPU gépi szintű kódot igényelnek
  - Rögzített 1024 szavas I/O tartomány
  - A hozzáféréshez a CPU privilegizált üzem módja szükséges
  - Nem könnyű használni speciális C függvények vagy direkt gépi utasítások nélkül

**PowerPC™**



# DCR busz



PowerPC™



# Memóriába ágyazott DCR

- A DCR híd modul lehetővé teszi a DCR címtartomány megjelenítését tetszőleges memóriatartományban.
  - OPB DCR híd
  - Biztosítja a DCR eszközök megjelenítését egy 4 kB méretű folytonos cím tartományban
  - Csak szavasan érhető el, egyedi hozzáférésekkel.
  - Könnyebb használni, de a hozzáférések PLB vagy OPB buszciklust igényelnek

**PowerPC™**



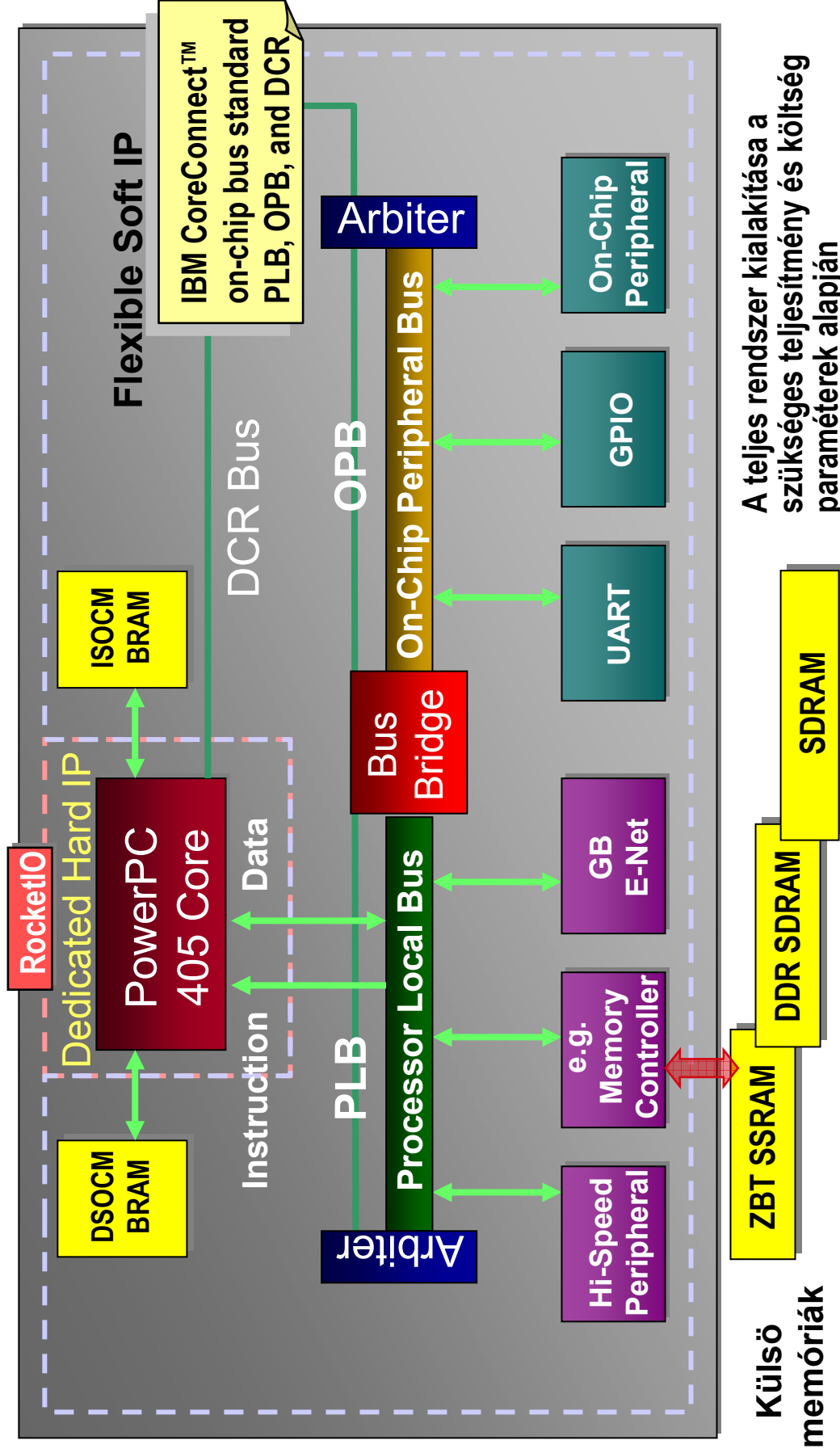
# Tartalom

- Busz 1x1: Mester, szolga, buszhozzáférés kiosztó
  - PLB
  - OPB
  - DCR
  - **OCM**
  - LMB
- A MicroBlaze processzor programozói modellje
- MicroBlaze konfigurációk
- A PowerPC processzor programozói modellje
- A PowerPC reset áramköre
- A Virtex-II Pro JTAG konfigurációja





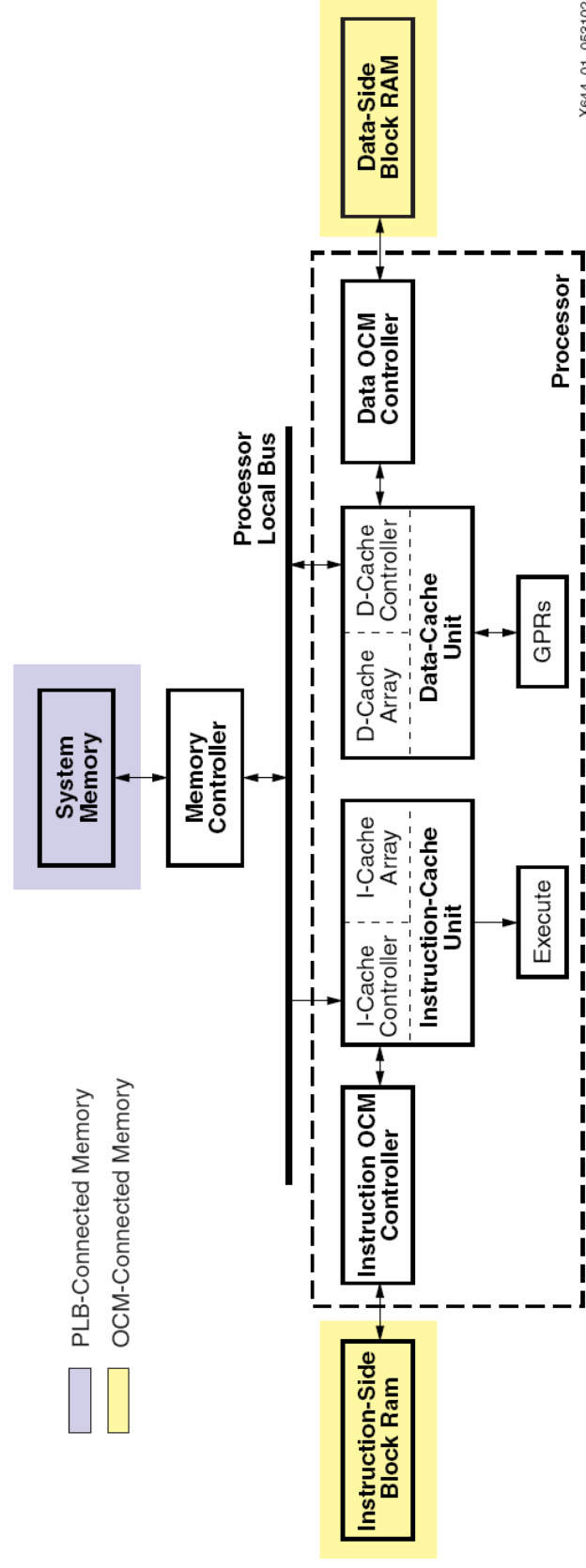
# PowerPC OCM buszok



A teljes rendszer kialakítása a szükséges teljesítmény és költség paraméterek alapján



# PowerPC OCM busz kialakítása



X644\_01\_053102

Figure 1: PPC405 Memory System Organization



# OCM busz

- 405 OCM I/Fs
  - A PowerPC 405 processzor független gyors interfészekkel rendelkezik az áramkörön belüli memóriaegységek felé
  - PPC405 kiadja a címet a PLB buszra is és az OCM buszra is
  - Tehát a ugyanaz a cím nem lehet érvényes mindkét (PLB, OCM) buszon
  - Az OCM címtartományban nem lehet használni a gyorsító tárolót (cache), tehát a gyorsító kizárólag a PLB hozzáférések gyorsítására szolgál
- A processzor blokk tartalmazza az OCM vezérlőket
  - A processzor dedikált vezérlőket tartalmaz az OCM I/F és az FPGA BRAM kapcsolatok megalósítására
  - Független vezérlők vannak az I utasításoldal és D adatoldal számára, a nagy sebességű elérés biztosítására.
- Minden jel és busz "nagy indián" formátumú (big endian), azaz a MSB bit indexe 0.

**PowerPC™**



# OCM busz

- Tulajdonságok
  - Független 16 MB logikai címtartomány a DSOCM és ISOCM interfészenként
    - A 16 MB-ot le is kell foglalni, függetlenül az aktuális memóriamérettől
  - Az ISOCM 64 bites, a DSOCM 32 bites
  - A BRAM programozástól függően akár 128 KB / 64 KB (ISOCM / DSOCM)
  - Programozható processzor / BRAM órajel arány
  - DSBRAM műveletek: BRAM inicializálás (Data2MEM), CPU, és FPGA dual-port BRAM esetén
  - ISBRAM műveletek: BRAM inicializálás (Data2MEM) és DCR
    - CPU DCR regiszterelérés

**PowerPC™**



# OCM busz

- Előnyök
  - Nincs átírás a PowerPC gyorsító (cache) memóriába, nincs adatszenyezés, nincs szemét
  - Gyors, állandó értékű késleltetés
  - A D oldalon, a dual-port BRAM konfiguráció megenged kétirányú adatkapcsolatot a processzorral
- Példa alkalmazás
  - I-oldal: Megszakítás kiszolgáló rutinok, indulási kód tárolása
  - D-oldal: Átmeneti adattár, kétirányú adatátvitel

**PowerPC™**



# Busz időzítések

	PLB CLK	OPB CLK	DCR CLK	OCM CLK *
Átvitel szinkronozó órajele	Processzor óra	PLB óra	Processzor óra	Processzor óra
Órajel arány	1:1 to 16:1	1:1 to 4:1	1:1 to 8:1	1:1 to 4:1
Példa	Processzor óra 300 MHz, PLB óra 100 MHz	PLB óra 100 MHz, OPB óra 50 MHz	Processzor óra 300 MHz, DCR óra 100 MHz	Processzor óra 300 MHz, OCM óra 150 MHz

- Időzítési előírásokkal lehet beállítani, melyik arányt használjuk
- \*Minden OCM vezérlőhöz két független órajel generátor tartozik:
  - BRAMDSOCMLK
  - BRAMISOCMLK

**PowerPC™**

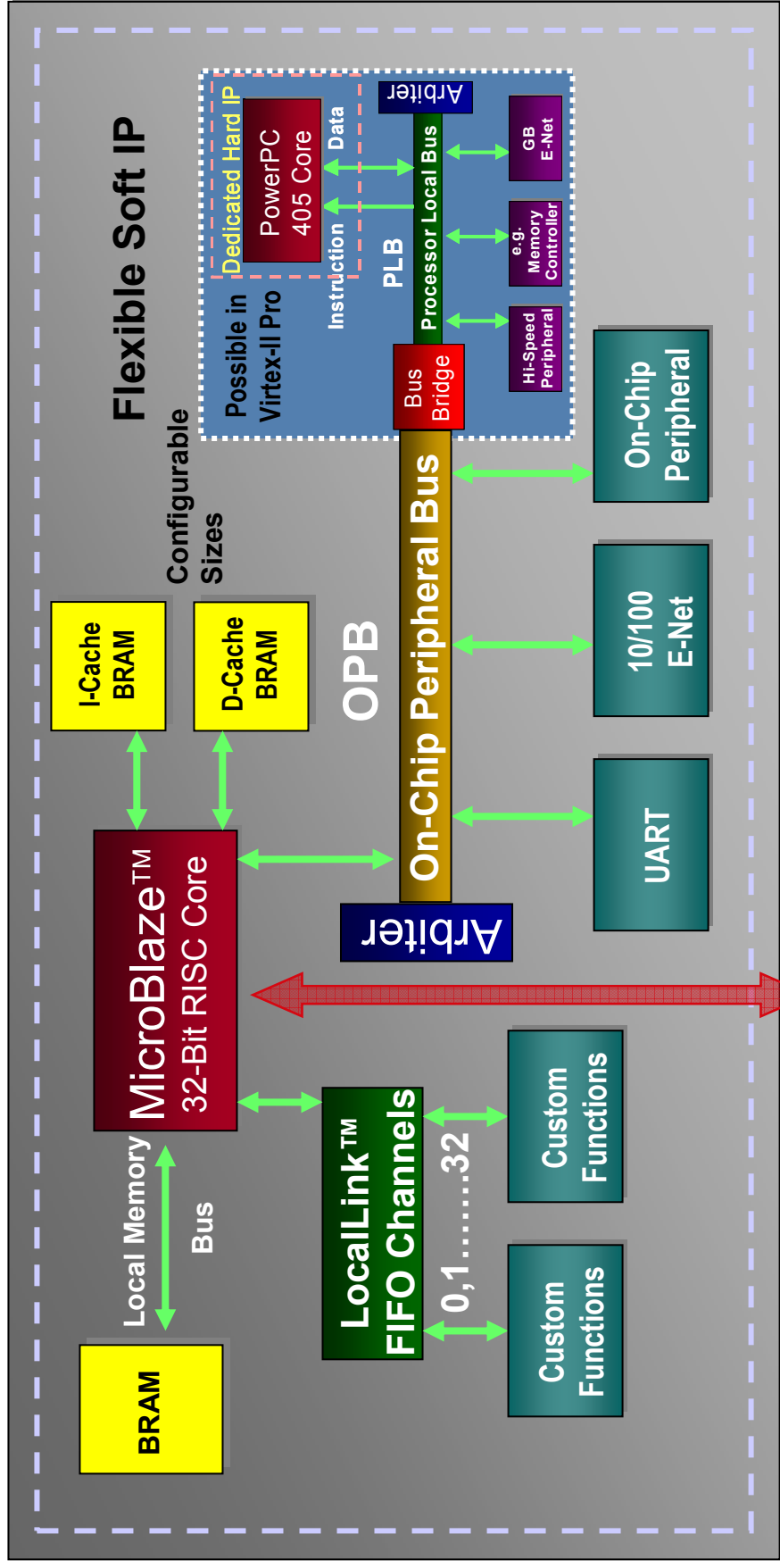


# Tartalom

- Busz 1x1: Mester, szolga, buszhozzáférés kiosztó
  - PLB
  - OPB
  - DCR
  - OCM
  - **LMB**
- A MicroBlaze processzor programozói modellje
- MicroBlaze konfigurációk
- A PowerPC processzor programozói modellje
- A PowerPC reset áramköre
- A Virtex-II Pro JTAG konfigurációja



# MicroBlaze alapú beágyazott rendszerek



Külső  
FLASH/SRAM  
memória





# LMB busz

- Az LMB egy ciklusú hozzáférést biztosít a dual-portos blokk RAM modulokhoz
- Az LMB egy egyszerű szinkron protokoll a blokk RAM-ok hatékony használatához
- Az LMB a Virtex-II eszközökben maximum 125 MHz garantált teljesítményt biztosít a lokális memória alrendszerben
- DLMB: Adat interfész, lokális memória busz (csak BRAM)
- ILMB: Utasítás interfész, lokális memória busz (csak BRAM)

**MicroBlaze**



# LMB busz időzítése

- Általános szabály az LMB busz órajel előállítására
  - A MicroBlaze processzort, az LMB buszt és az OPB buszt közös órajelről kell működtetni !
- Használjunk időzítési előírásokat az órajel sebesség előírására

# Buszok összefoglalása

Feature	CoreConnect Buses			Other Buses	
	PLB	OPB	DCR	OCM	LMB
Processor family	PPC405	PPC405, MicroBlaze	PPC405	PPC405	MicroBlaze
Data bus width	64	32	32	32	32
Address bus width	32	32	10	32	32
Clock rate, MHz (max) <sup>1</sup>	100	125	125	375	125
Masters (max)	16	16	1	1	1
Masters (typical)	2-8	2-8	1	1	1
Slaves (max) <sup>2</sup>	16	16	16	1	4
Slaves (typical)	2-6	2-8	1-8	1	1
Data rate (peak) <sup>3</sup>	1600 MB/s	500 MB/s	500 MB/s	500 MB/s	500 MB/s
Data rate (typical) <sup>4</sup>	533 MB/s <sup>5</sup>	167 MB/s <sup>5</sup>	100 MB/s <sup>9</sup>	333 MB/s <sup>7</sup>	333 MB/s <sup>8</sup>
Concurrent read/write	Yes	No	No	No	No
Address pipelining	Yes	No	No	No	No
Bus locking	Yes	Yes	No	No	No
Retry	Yes	Yes	No	No	No

**PowerPC™ PowerPC™ PowerPC™ PowerPC™ MicroBlaze**  
**MicroBlaze**



# Buszok összefoglalása

Feature	CoreConnect Buses			Other Buses	
	PLB	OPB	DCR	OCM	LMB
Timeout	Yes	Yes	No	No	No
Fixed burst	Yes	No	No	No	No
Variable burst	Yes	No	No	No	No
Cache fill	Yes	No	No	No	No
Target word first	Yes	No	No	No	No
FPGA resource usage	High	Medium	Low	Low	Low
Compiler support for load/store	Yes	Yes	No	Yes	Yes

**PowerPC™ PowerPC™ PowerPC™ PowerPC™** **MicroBlaze™**



# Tartalom

- Busz 1x1: Mester, szolga, buszhozzáférés kiosztó
  - PLB
  - OPB
  - DCR
  - OCM
  - LMB
  - **FSL**
  
- A MicroBlaze processzor programozói modellje
- MicroBlaze konfigurációk
- A PowerPC processzor programozói modellje
- A PowerPC reset áramköre
- A Virtex-II Pro JTAG konfigurációja

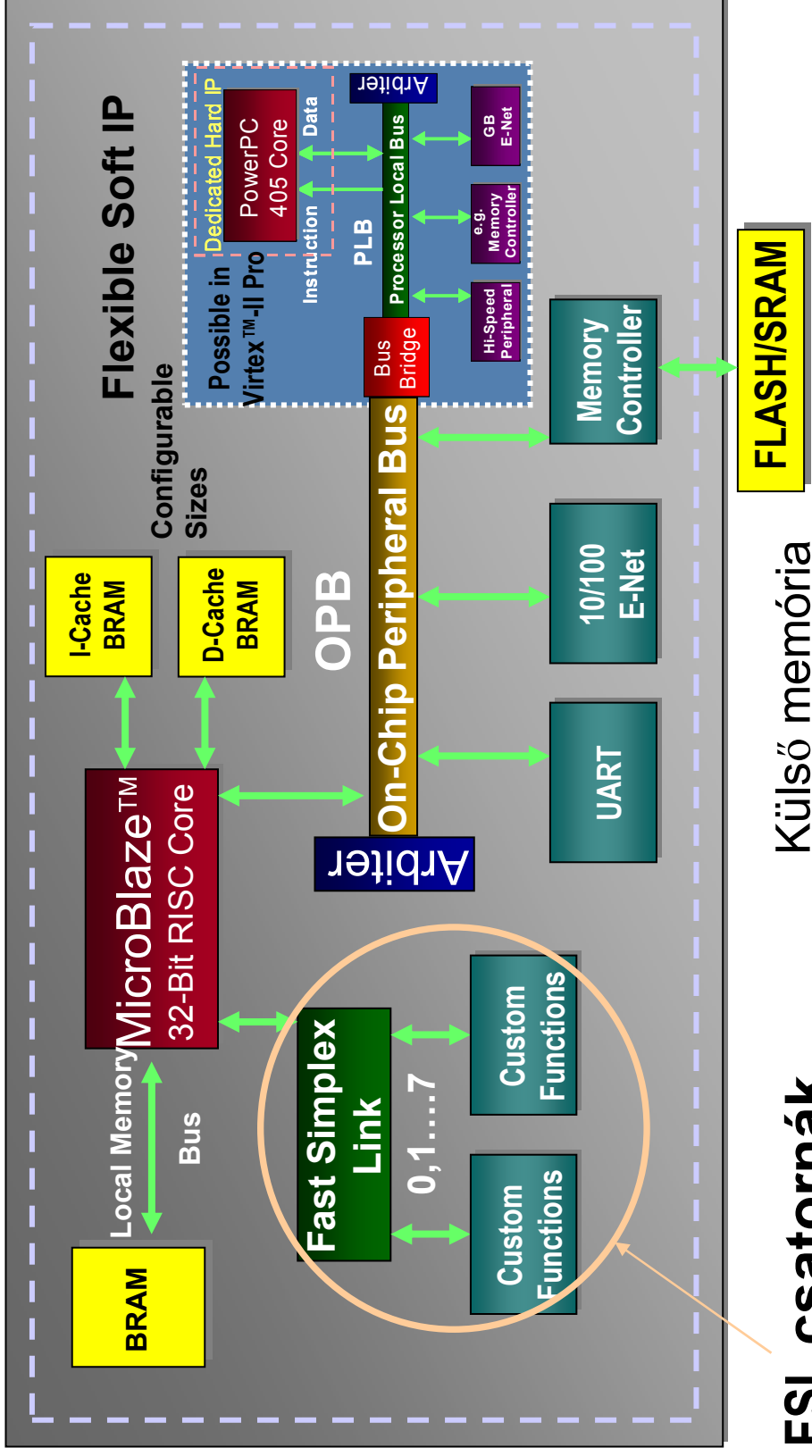


# Az adatfolyamok kezelés szoftver problémák

- Tegyük fel, hogy a feladat egy HW / SW jellegű adatfeldolgozás a következő jellemzőkkel:
  - Az adatok csomagokban vagy adatfolyamként érkeznek
  - Determinisztikus késleltetés van a HW és SW között
- Lehetséges megoldási módok
  - Dedikált periféria egység pl. az OPB buszon
    - Sok felesleges órajel ciklus a adatátvitel során
    - Címdekódolás idő
    - Arbitráció, HW / SW együttműködés elosztása
  - Speciális utasítás beépítése a periféria kezeléséhez
    - A processzort feltartja
    - A komplex logika késleltetése általában csökkenti a CPU sebességét
    - A speciális utasítás sokszor közvetlen assembly szintű programozást igényel
- FSL – Fast Simplex Link Gyors egyirányú kapcsolat



# MicroBlaze FSL kapcsolatok



FSL csatornák

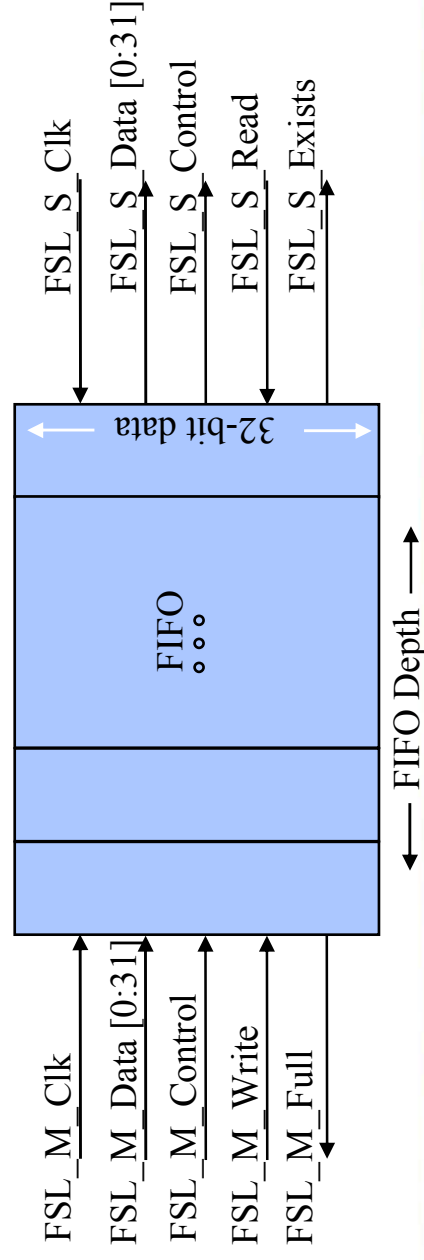
Külső memória

FLASH/SRAM



# Valódi alternatíva: FSL - Egyirányú kapcsolat

- Egyirányú FIFO alapú pont-pont kapcsolatok
- Dedikált (nem megosztott) és garantált 100 % hozzáférésű csatorna
- Dedikált MicroBlaze C és assembler utasítások a könnyű használathoz
- Nagy sebesség, a processzor oldalról 2 órajel hozzáférési idő, 600MHz lehetséges működési sebesség a hardver periféria oldalán
- A Xilinx Platform Studio (XPS) szabvány interfész könyvtárából elérhető
- 





# Az FSL előnyei

- Egyszerű, gyors, könnyű használni
- FSL és speciális utasítás összehasonlítása
  - A speciális logika használata nincs hatással az utasításdekódoló egységre
  - Az órajel sebességet az új hardver követelményei nem lassítják le
- Az FSL gyorsabb, mint a busz interfész
  - Szükségtelemné teszi a busz jelzésátvitteleket
    - Nem kell hozzáférés kérés
    - Nem kell címdekódolás
    - Nem kell nyugtázás, visszajelzés
  - A hardver oldal órajele teljesen aszinkron lehet a CPU órajelhez képest
  - Minimális a szükséges FPGA erőforrásigény
  - A processzort nem kell megállítani a külső egység szinkronizálásakor
  - A C fordítót nem kell módosítani, egységes kezelés egyedi hardverekhez
- A beépített vezérlőbitek jelentősen egyszerűsítik a megszakítás logikát



# Az FSL főbb tulajdonságai

- Az FSL architektúra a felhasználói igény alapján automatikusan generálható.
- Az erőforrásigény 21 és 451 szelet (1LUT4 + 1DFF) között mozog
- Az FSL egység lehet mester vagy szolga
- Rendelkezik egy független vezérlőbit csatornával
- A MicroBlaze 8 párhuzamos FSL csatorna beépítését engedi meg
- Egyszerű C hívási mechanizmus a MicroBlaze-hez
  - Előre definiált beépített fordító függvények
  - Opcionálisan assembler utasítások is használhatók



# Az FSL főbb tulajdonságai

- Konfigurálható adatbusz szélességek – 8, 16, 32 bit
- Konfigurálható FIFO mélység – 1-től 8193-ig
  - (kis méretnél SRL16, nagyobbánál blokk RAM használatával)
- A MicroBlaze-hez képest szinkron vagy aszinkron órajelezés lehetősége
- Választható opcióként kiegészítő vezérlőbit használata
- Blokkoló és nem blokkoló szoftver utasítások az adat és vezérlési mód kialakítására (**get** és **put**)
- Egyszerű szoftver interfész előre definiált C utasításokkal.
- Automatikusan generált C nyelvű meghajtó modulok



# Ellenőrző kérdések

- Mi az előnye a memóriába ágyazott DCR megvalósításnak?
- Mi a hátránya a memóriába ágyazott DCR megvalósításnak?
- Milyen buszokat foglal magába a CoreConnect™ szabvány?
- Mi a maximális teljesítmény az LMB buszon a Virtex™-II eszközökön?



# Válaszok

- Mi az előnye a memóriába ágyazott DCR megvalósításnak?
  - Nem igényli beillesztett gépi utasítások használatát a DCR regiszterek hozzáférésehez
- Mi a hátránya a memóriába ágyazott DCR megvalósításnak?
  - PLB vagy OPB átviteli ciklusokat használ DCR regiszter hozzáféréshez
- Milyen buszokat foglal magába a CoreConnect™ szabvány?
  - PLB, OPB és DCR
- Mi a maximális teljesítmény az LMB buszon a Virtex™-II eszközökön?
  - 125 MHz



# Ellenőrző kérdések

- Mi az FSL?
- Mennyi FSL csatorna használható egy MicroBlaze processzoron?
- Milyen módon javítja az FSL csatorna használata a rendszer teljesítményt?



# Válaszok

- Mi az FSL?
  - Az FSL egy dedikált egyirányú FIFO típusú átviteli csatorna
- Mennyi FSL csatorna használható egy MicroBlaze processzoron?
  - Maximum 8, tetszőleges bemeneti és kimeneti irány megosztásban
- Milyen módon javítja az FSL csatorna használata a rendszer teljesítményt?
  - Mivel ez egy dedikált pont-pont kapcsolat, az átvitelt nem terheli hozzáférés kérés, címzés stb. Garantált két órajel ciklus adatátviteli késleltetés is elérhető.



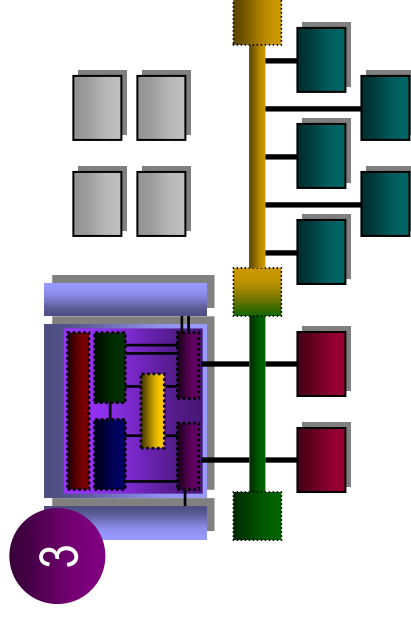
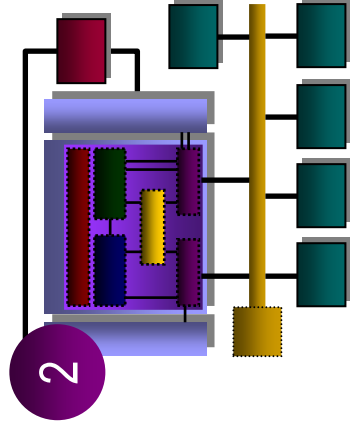
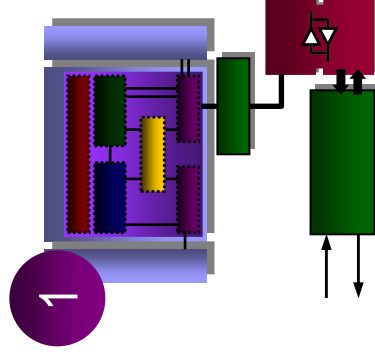
# Tartalom

- Busz 1x1: Mester, szolga, buszhozzáférés kiosztó
  - PLB
  - OPB
  - DCR
  - OCM
  - LMB
  - FSL
- **Processzor használati esetek beágyazott rendszerekben**
- A MicroBlaze processzor programozói modellje
- MicroBlaze konfigurációk
- A PowerPC processzor programozói modellje
- A PowerPC reset áramköre
- A Virtex-II Pro JTAG konfigurációja





# Processzor használati esetek



## Egyszerű vezérlés

- Minimális költség, Nincsenek perifériák
- Nincs RTOS, futtató
- Nincs buszstruktúra, csak GPIO,
- PI. VGA & LCD vezérlés
- Kicsi/Nagyobb teljesítményigény

## Mikrovezérlő

- Közepes költség
- Néhány periféria
- Esetleg RTOS, futtató
- Buszstruktúra
- Vezérlési és ipari alkalmazások


## Beágyazott rendszer

- Magas fokú integrálság
- Teljes perifériakészlet
- Teljes RTOS
- Hierarchikus buszrendszer
- Komplex hálózati és rádiós alkalmazások

**Range of Use Models**

Közepes teljesítményigény · Nagy teljesítményigény

# Tartalom

- Busz 1x1: Mester, szolga, buszhozzáférés kiosztó
  - PLB
  - OPB
  - DCR
  - OCM
  - LMB
  - FSL
-  Processzor használati esetek beágyazott rendszerekben
  - **A MicroBlaze processzor programozói modellje**
  - MicroBlaze konfigurációk
  - A PowerPC processzor programozói modellje
  - A PowerPC reset áramköre
  - A Virtex-II Pro JTAG konfigurációja



# A MicroBlaze processzor

- Beágyazott lágy RISC processzor
  - 32 bit adat
  - 32 bit utasítás szó (három operandus és két címzési mód)
  - 32 általános célú regiszter (32 bit szélesek)
  - 3 fokozatú futószalag (egyszerre egy utasítást indít)
    - MicroBlaze v5.0 5 fokozatú feldolgozólánc
  - MSB a nagyobb címen (Big-endian formátum)
- Buszok
  - Tisztán Harvard architektúra, külön utasítás és adatbuszok
  - Független OPB (CoreConnect™ szabvány) utasítás és adatbuszok
  - Független LMB utasítás és adat buszok a lokális (gyors) BRAM memória interfészhez
  - 8 független FSL csatorna: Dedikált pont-pont kapcsolat adatfolyam átvitelekhöz
  - Két független XCL cache adatátviteli csatorna az utasítás és adat gyorsító tárokhöz, 4 szavas hozzáférésekkel és a kritikus kérés elsőbbségi kiszolgálásának képességével



# A MicroBlaze processzor

- ALU
  - Hardver szorzó vagy DSP48 modul használata az újabb eszközökben
  - Párhuzamos Barrel shifter (egyciklusos, tetszőleges méretű eltolás)
- Lebegőpontos egység
  - IEEE 754 szimplapontoságú lebegőpontos szabványnak megfelelő
  - Műveletek: összeadás, kivonás, szorzás, osztás és összehasonlítás
- Program számláló
- Utasítás dekóder
- 32 bites regiszterek
- Utasítás cache
  - Közvetlen leképezés,
  - Konfigurálható hozzáférés az OPB buszon vagy az XCL csatornákon keresztül
  - Konfigurálható méret — 2 KB, 4 KB, 8 KB, 16 KB, 32 KB, 64 KB
  - 3x - 6x gyorsítás a 60 ns (16 MHz) sebességű külső memóriából futó programvégrehajtáshoz képest



# A MicroBlaze teljesítménye

- Minden utasítás végrehajtás egy órajel ciklus, kivéve...
  - Memóriaműveletek (Load / Store) (2 órajel ciklus)
  - Szorzás (2 órajel ciklus)
  - Programelágazás (3 órajel ciklus, de lehet 1 órajel ciklus is)
- Működési frekvencia adatok
  - 180 MHz a Virtex-4 LX (-12) eszközökön
  - 150 MHz a Virtex-II Pro™ (-7) eszközökön
  - 100 MHz a Spartan-3 (-5) eszközökön
- Dhystone-MIPs (2.1 szabvány szerinti)értékek LMB BRAM használatakor
  - 166 MHz a Virtex-4 LX (-12) eszközökön
  - 138 MHz a Virtex-II Pro™ (-7) eszközökön
  - 92 MHz a Spartan-3 (-5) eszközökön
- Maximális teljesítmény 0.92 DMIPS / MHz
- Közelítőleg 1269 LUT a Virtex-4-ben, 1225 LUT a Virtex-II-ben és 1318 LUT a Spartan 3-ban



# A MicroBlaze memória térképe


- Memória és perifériák
  - A MicroBlaze™ processor 32 bites címzést használ
- Speciális címek
  - A MicroBlaze processor felhasználó által írható (RAM) memóriát kíván a 0x00000000 - 0x0000004F címeken
  - Minden vektor két címet foglal el, két utasításból áll. Az első egy IMM cím specifikáció, a második egy BRAI utasítás, amely így a teljes 4GB memória tartományt elérheti

Peripherals	0xFFFF_FFFF
OPB Memory	
LMB Memory	
Reserved	0x0000_004F
Hardware Exception	0x0000_0028
Break	0x0000_0020
Interrupt Address	0x0000_0018
Exception Address	0x0000_0010
Reset Address	0x0000_0008
	0x0000_0000

**MicroBlaze**

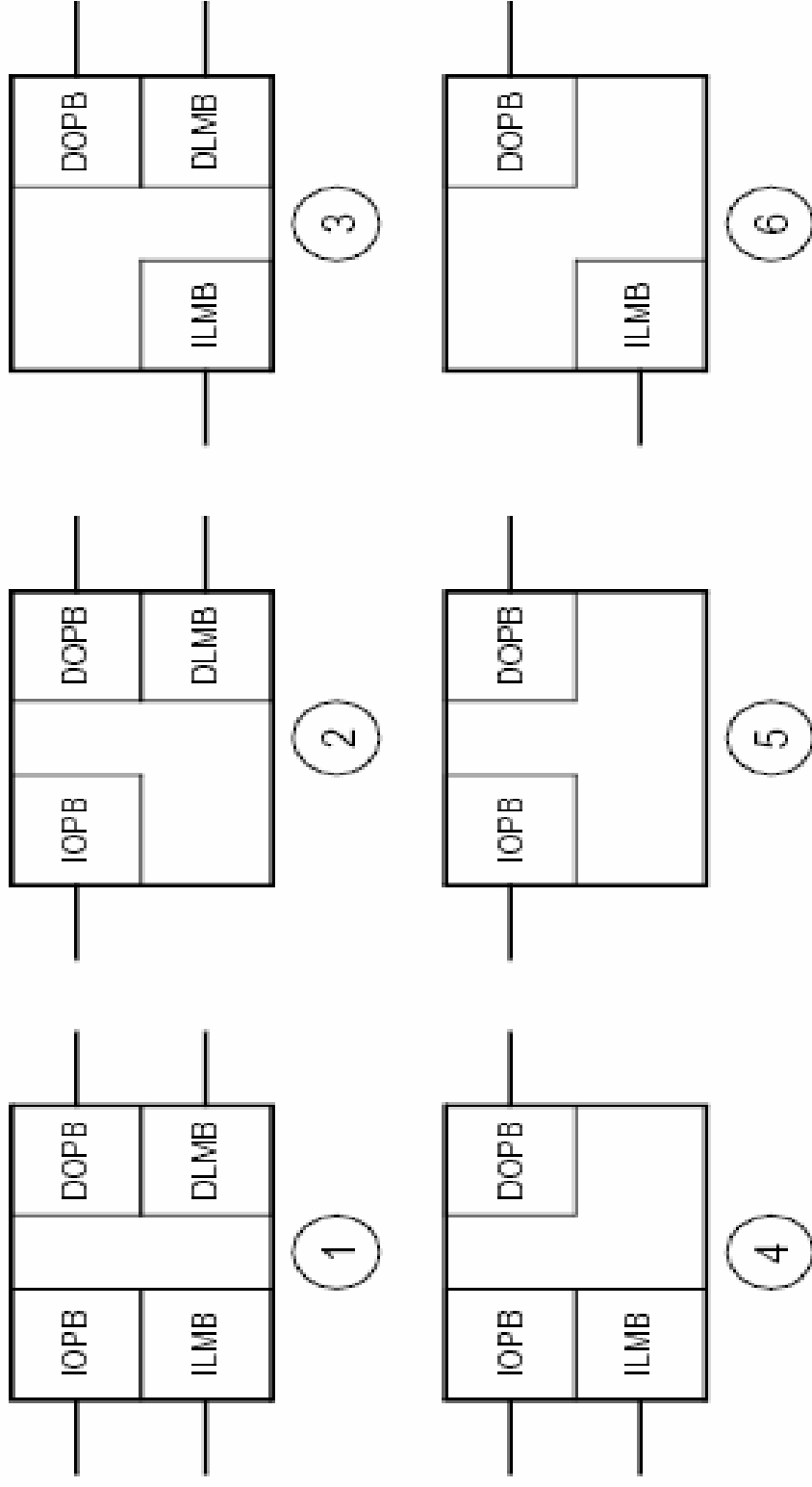


# Tartalom

- Busz 1x1: Mester, szolga, buszhozzáférés kiosztó
  - PLB
  - OPB
  - DCR
  - OCM
  - LMB
- A MicroBlaze processzor programozói modellje
-  **MicroBlaze konfigurációk**
- A PowerPC processzor programozói modellje
- A PowerPC reset áramköre
- A Virtex-II Pro JTAG konfigurációja



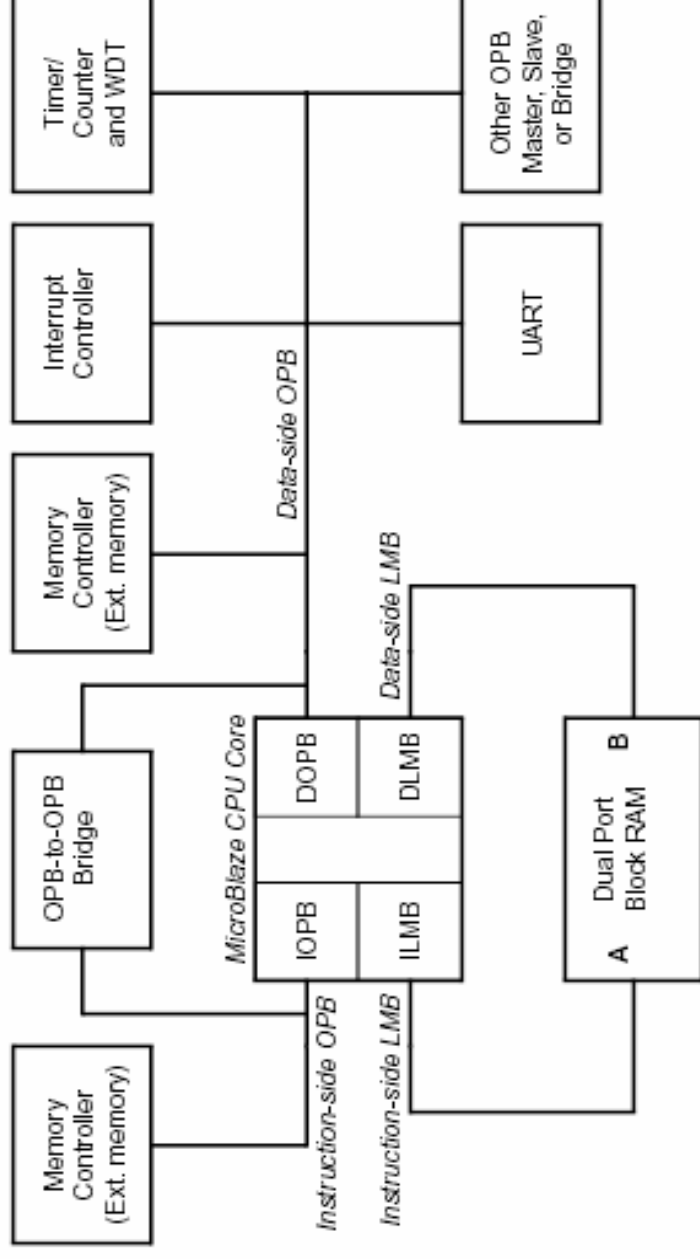
# Busz konfigurációs lehetőségek





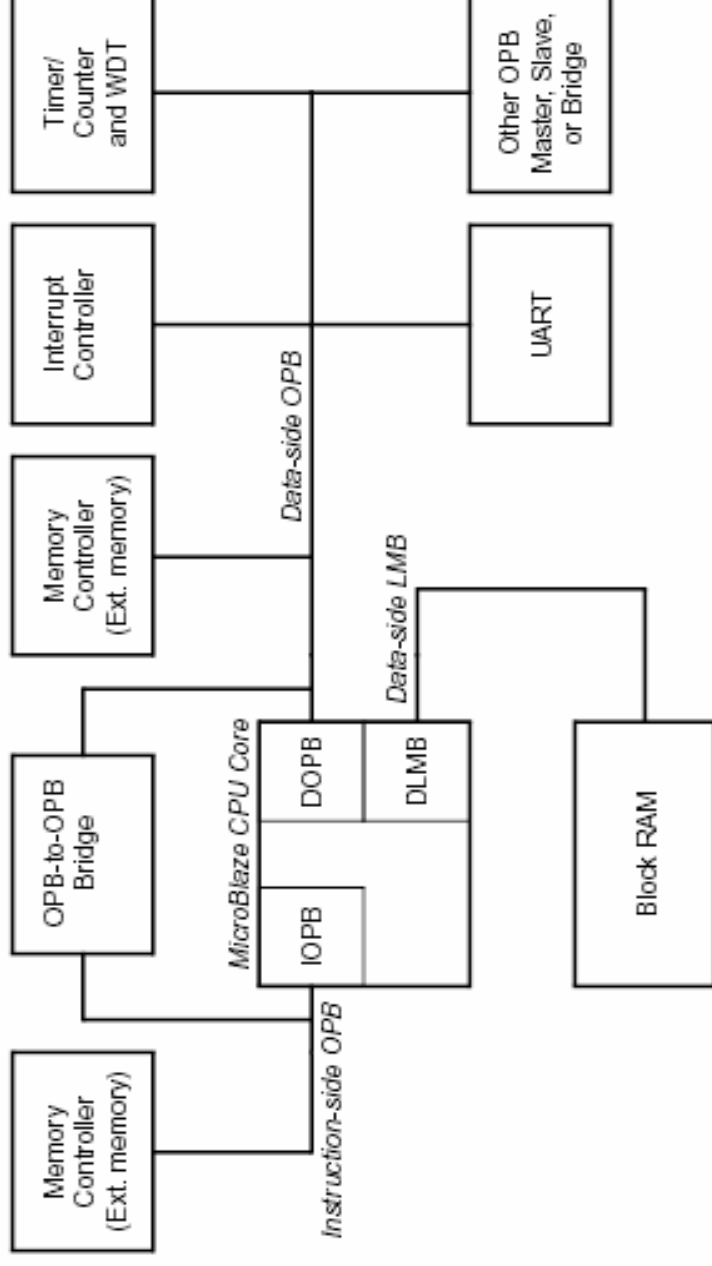
# 1. konfiguráció

- Nagy külső utasítás memória
- Gyors belső utasítás memória (BRAM)
- Nagy külső adat memória
- Gyors belső adatmemória (BRAM)



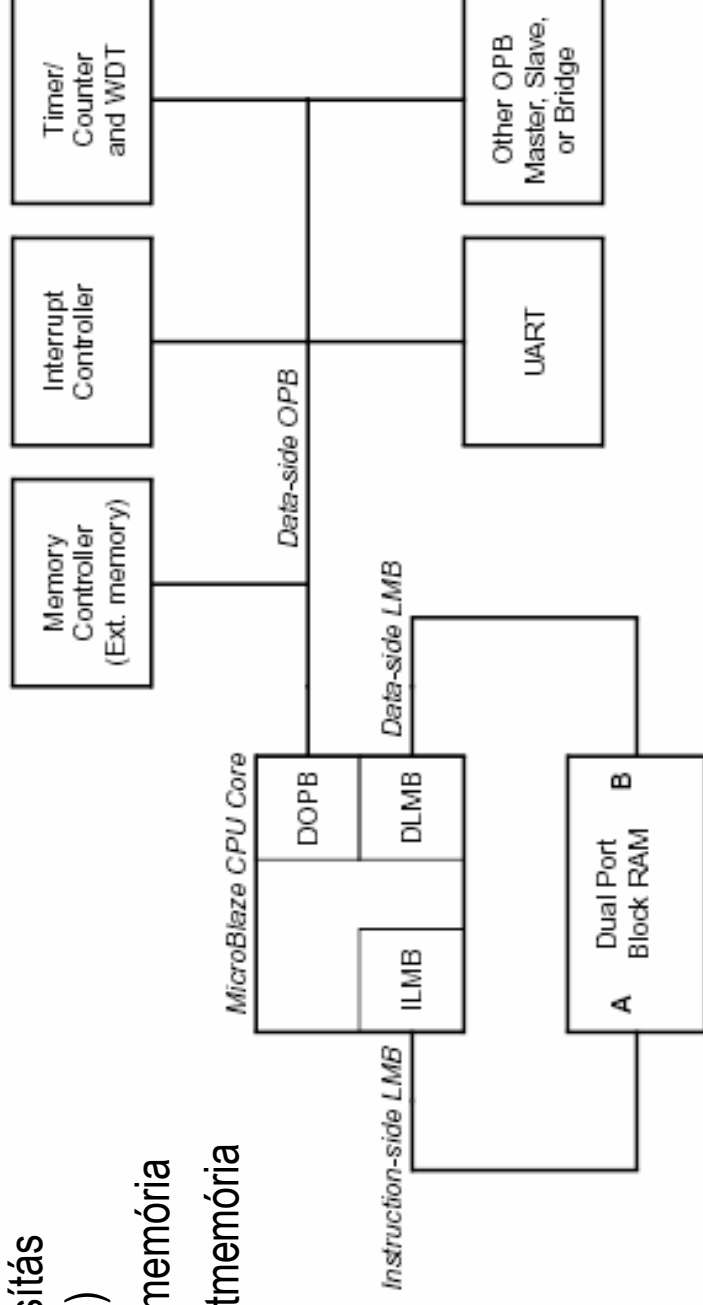
# 2. konfiguráció

- Nagy külső utasítás memória
- Nagy külső adat memória
- Gyors belső adat memória (BRAM)



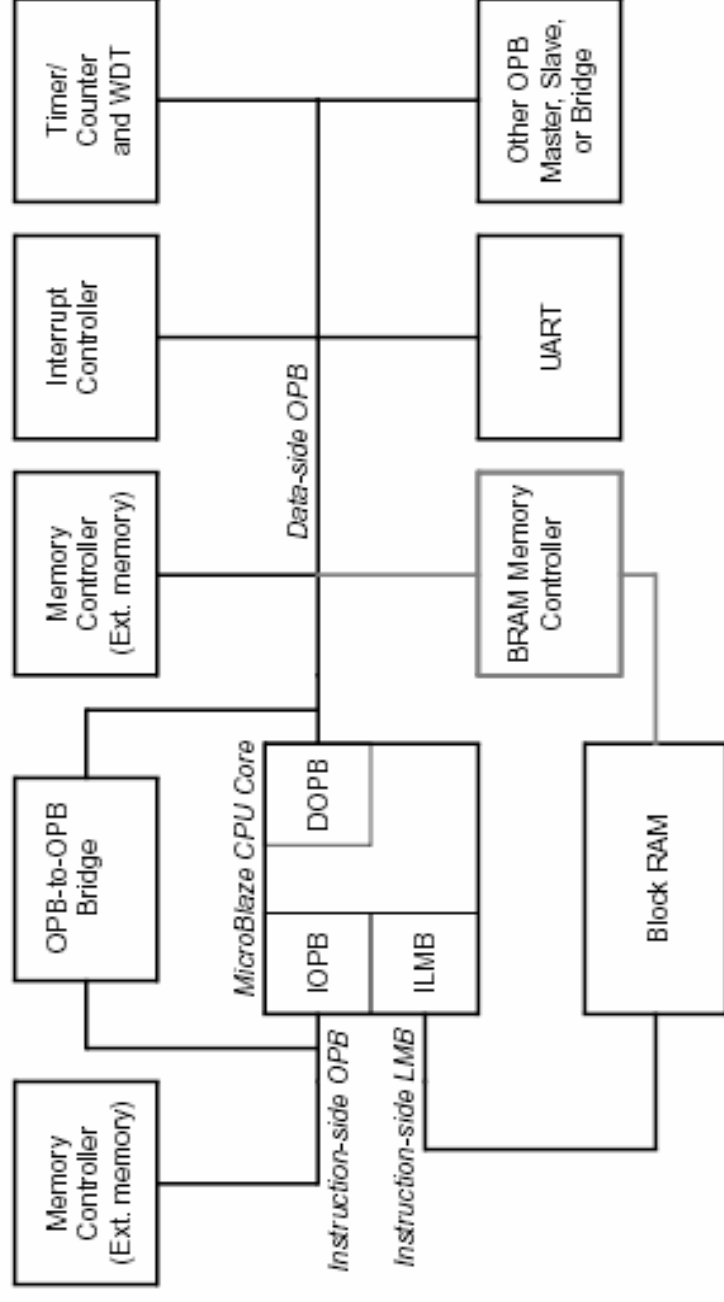
# 3. konfiguráció

- Gyors belső utasítás memória (BRAM)
- Nagy külső adatmemória
- Gyors belső adatmemória (BRAM)



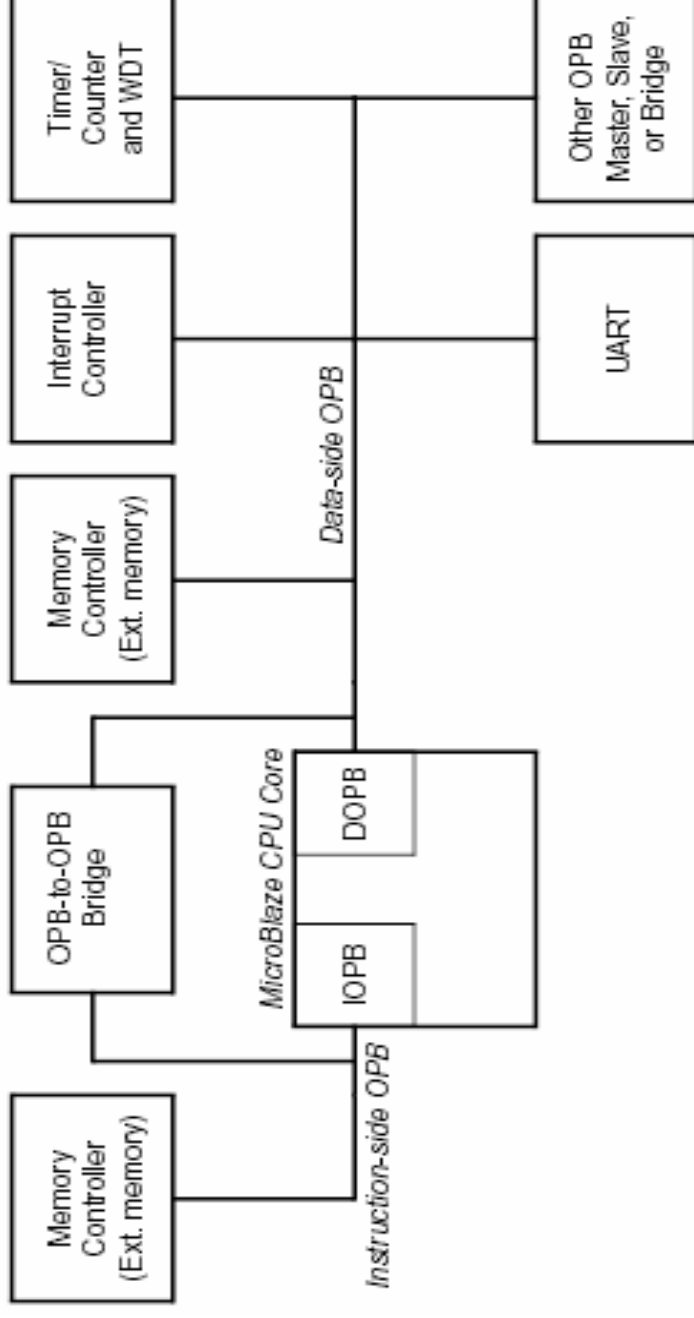
# 4. konfiguráció

- Nagy külső utasítás memória
- Gyors belső utasítás memória (BRAM)
- Nagy külső adat memória



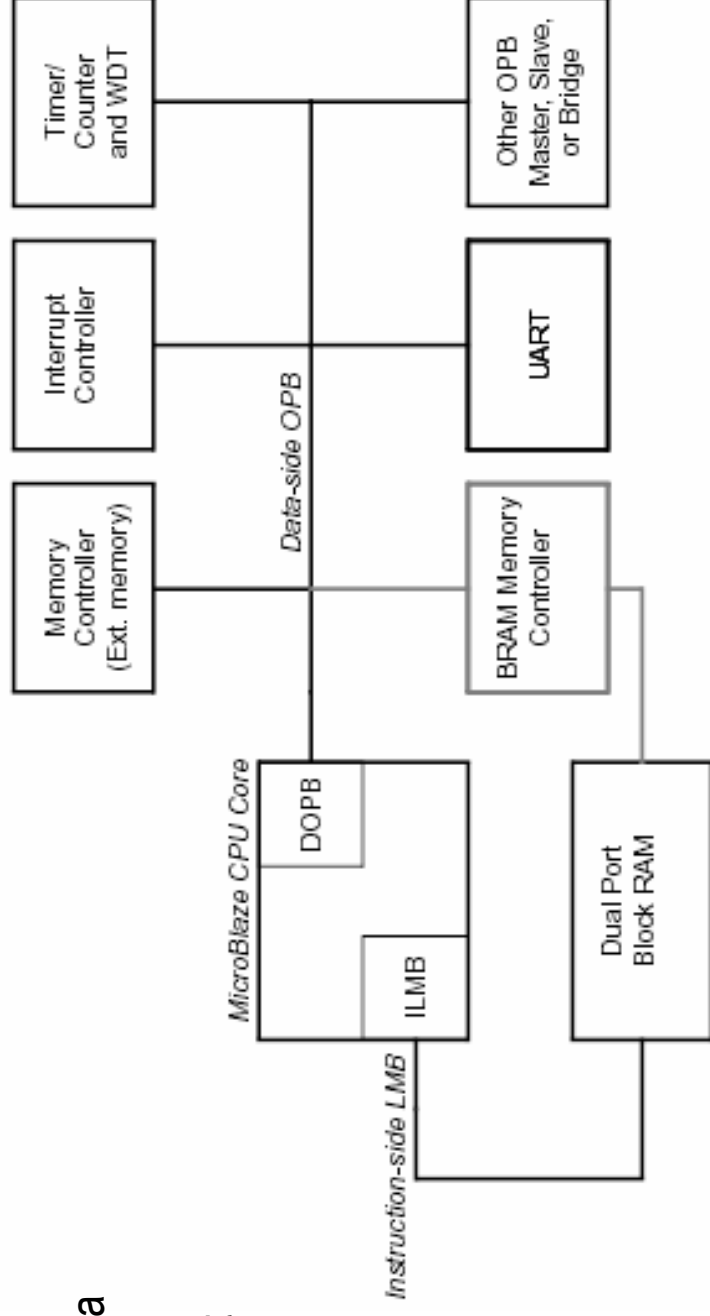
# 5. konfiguráció

- Nagy külső utasítás memória
- Nagy külső adat memória



# 6. konfiguráció

- Gyors belső utasítás memória (BRAM)
- Nagy külső adat memória

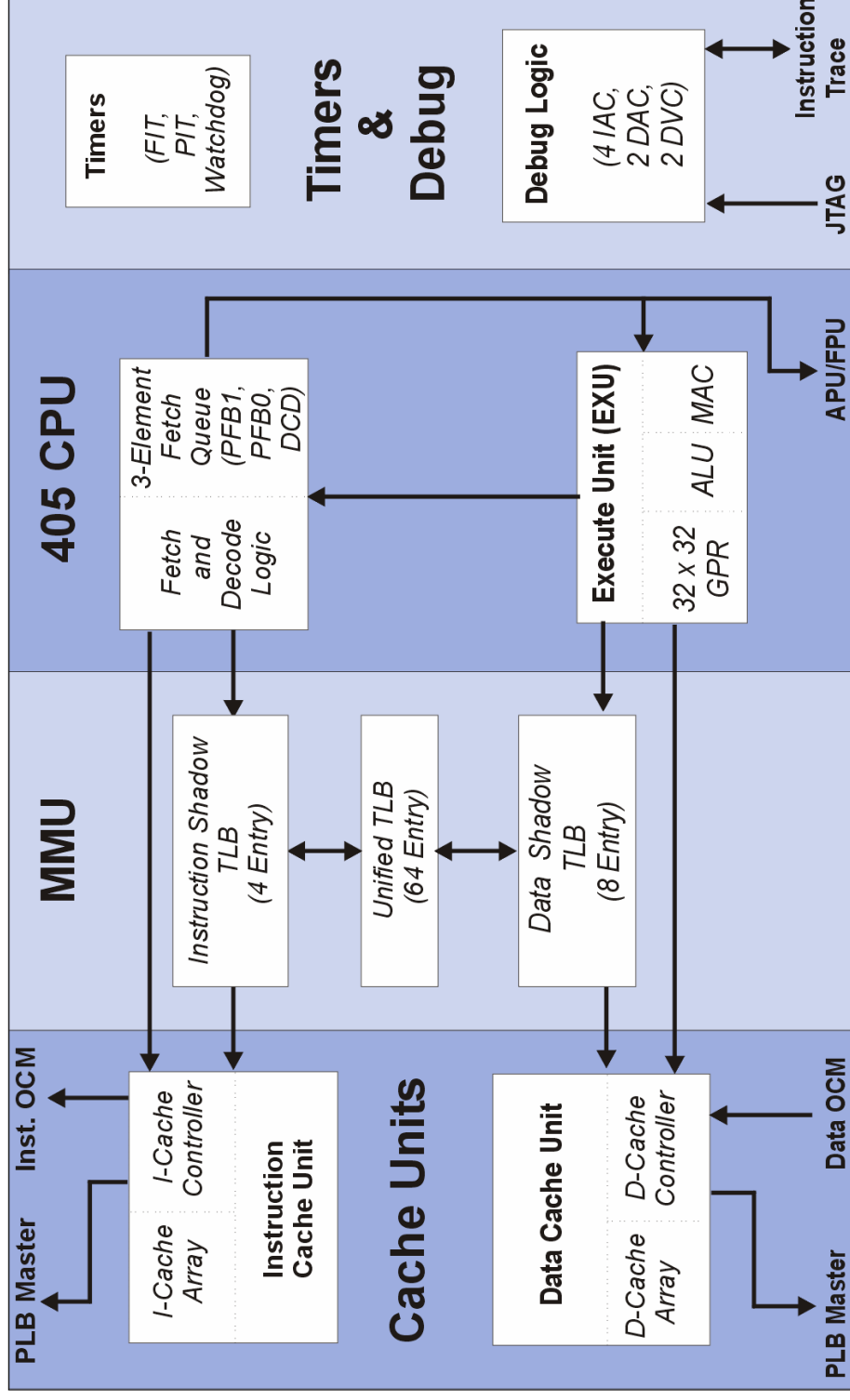


# Tartalom

- Busz 1x1: Mester, szolga, buszhozzáférés kiosztó
  - PLB
  - OPB
  - DCR
  - OCM
  - LMB
- A MicroBlaze processzor programozói modellje
- MicroBlaze konfigurációk
- **A PowerPC processzor programozói modellje**
- A PowerPC reset áramköre
- A Virtex-II Pro JTAG konfigurációja



# A PowerPC processzor



**Megjegyzés: Az OCM busz a valóságban nincs kapcsolatban a cache vezérlővel**





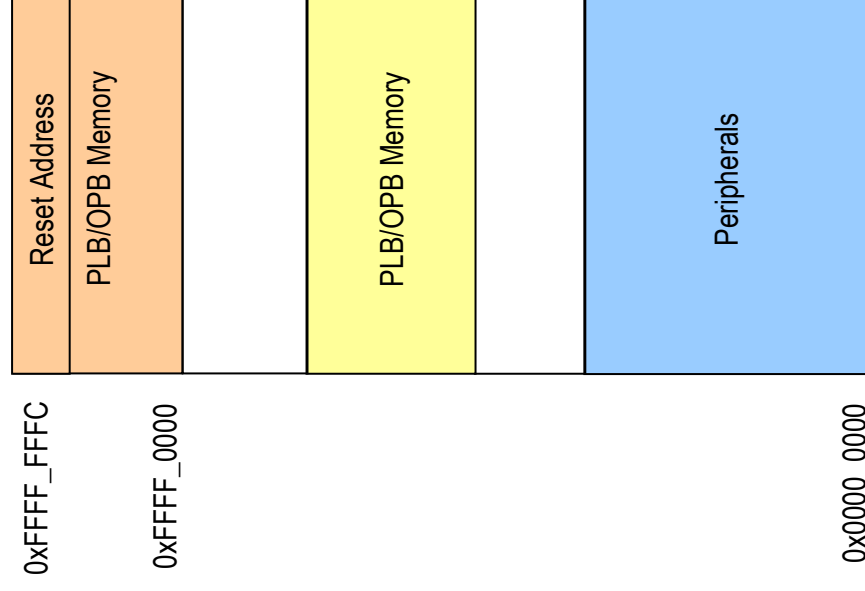
# A PowerPC processzor

- A PowerPC™ megvalósítás egy 32 bites beágyazott környezet architektúra
- Beágyazott rendszer alkalmazások támogatása
  - Rugalmas memória menedzsment
  - Szorzás és összegzés utasítás a számításgényes alkalmazásokhoz
  - Javított hibakeresési képességek
  - 64 bites időalap
  - Programozható (PIT), és fix (FIT) intervallum időzítők, és "watchdog" időzítők
- Teljesítménynövelő tulajdonságok
  - Statikus elágazás jóslás
  - 5 fokozatú futószalag
  - Hardver szorzás/osztás a gyors egész aritmetikához
  - Javított karakterlánc és többszörös szó kezelés
  - Minimalizált megszakítás késleltetés



# PowerPC

- Memória és perifériák
  - A PPC405 32 bites címzést használ
- Speciális címek
  - Minden PowerPC™ rendszerben a RESET vektor címe 0xFFFFFFF0, tehát itt kell lennie az indító szektornak
  - A minimális programmemória a 0xFFFF0000 to 0xFFFFFFF0 címek közötti folytonos címtartományt tölti ki.
  - Ha van megszakítás kezelő, akkor a megszakításvektoroknak egy 64k blokkhatáron kell lennie



PowerPC™



# Tartalom

- Busz 1x1: Mester, szolga, buszhozzáférés kiosztó
  - PLB
  - OPB
  - DCR
  - OCM
  - LMB
- A MicroBlaze processzor programozói modellje
- MicroBlaze konfigurációk
- A PowerPC processzor programozói modellje
- **A PowerPC reset áramköre**
- A Virtex-II Pro JTAG konfigurációja



# Reset interfész

Név	Utasítás
RSTC405RESETCORE	Bemenet— Adat és utasítás cache RESET
RSTC405RESETCHIP	Bemenet— Teljes CPU mag és a belső periféria RESET
RSTC405RESETSYS	Bemenet— Teljes rendszer, CPU mag, FPGA és külső komponens RESET
C405RSTCORERESETREQ	Kimenet— Utasítás és adat cache RESET jelzése
C405RSTCHIPRESETREQ	Kimenet—CPU és a belső periféria RESET jelzése
C405RSTSYSRESETREQ	Kimenet— Teljes rendszer RESET jelzése

# PROC\_SYS\_RESET

- Az aszinkron külső RESET bemenetet az órajel szinkronizálja
- Az aszinkron külső segéd RESET bemenetet is az órajel szinkronizálja
- Minkét külső RESET bemenet polaritása választható (aktív magas, aktív alacsony)
- Beállítható az elfogadott RESET impulzus minimális szélessége
- Beállítható a terhelés elosztás
- Az FPGA digitális órajel menedzser modul DCM zárt állapotjelzője is bemenet
- Bekapcsolási RESET előállítás
- Az indulásnál a jelek sorrendben aktivizálódnak:
  - 1. fázis — A busz rendszer elemei aktívá válnak
    - Például a PLB és OPB hozzáférés vezérlők, és busz kapcsolat hidak
  - 2. fázis — A perifériák 16 órajellel később válnak aktívá
    - Például UART, SPI, és IIC
  - 3. fázis — A CPU 16 órajellel a perifériák után válik aktívá



# PROC\_SYS\_RESET

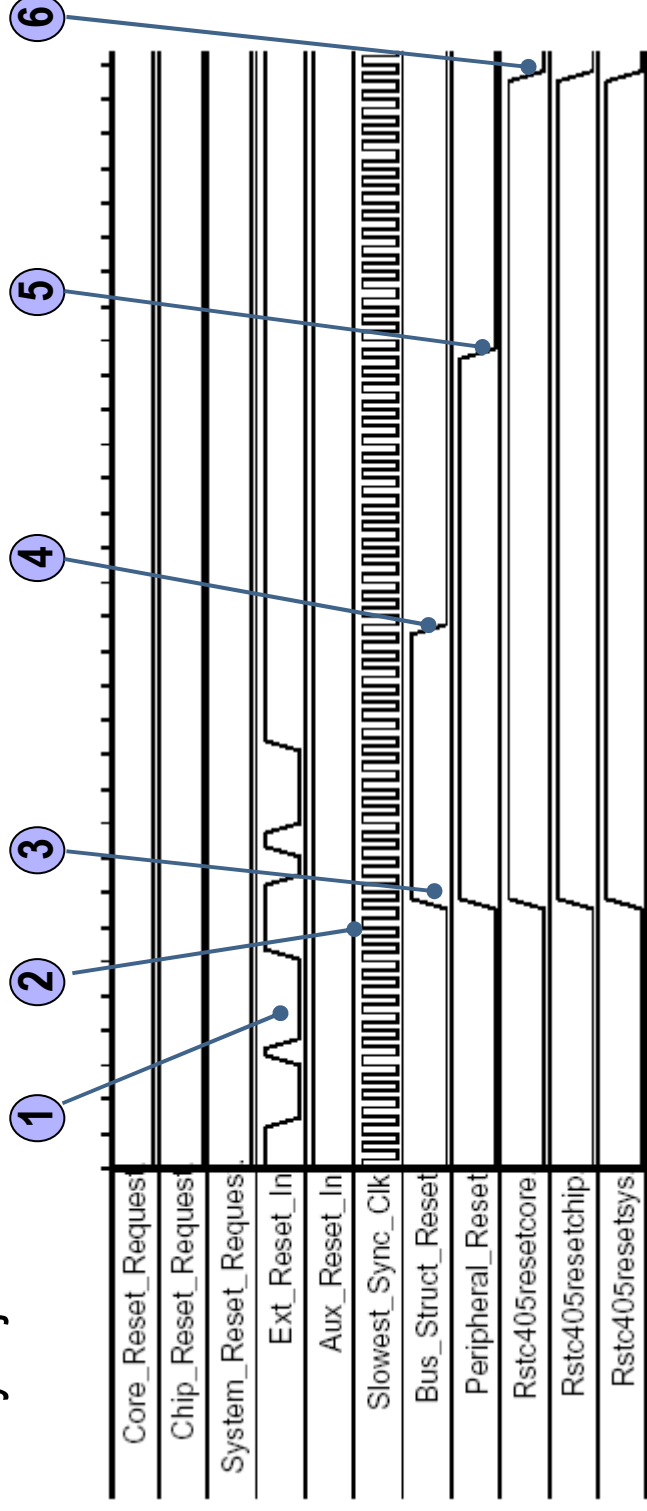
## Tulajdonságok

Tulajdonság	Leírás	Alapérték
C_EXT_RST_WIDTH	A külső RESET pulzus minimális detektálási szélességét határozza meg	4
C_AUX_RST_WIDTH	A külső segéd RESET pulzus minimális detektálási szélességét határozza meg	4
C_EXT_RESET_HIGH	A külső RESET aktív szintjét határozza meg. Ha 1, akkor a külső RESET magas értéke fogja indítani a RESET folyamatot az órajel felfutó élére	1
C_AUX_RESET_HIGH	A külső segéd RESET aktív szintjét határozza meg. Ha 0, akkor a külső segéd RESET alacsony értéke fogja indítani a RESET folyamatot az órajel felfutó élére	1
C_NUM_BUS_RST	További Bus_Struct_Reset jelet generál. Ez javíthatja a jel terhelését és huzalozhatóságát. Általánosan, minden busznak legyen saját Bus_Struct_Reset jele	1
C_NUM_PERP_RST	További periféria RESET jeleket generál. Ez javíthatja a jel terhelését és huzalozhatóságát. Általánosan, legyen minden perifériának saját periféria RESET jele.	1



# PROC\_SYS\_RESET példa

- Ha  $C\_EXT\_RST\_WIDTH = 5$  és  $C\_EXT\_RESET\_HIGH = 0$ , akkor a külső `Ext_Reset_In` jelnek legalább 5 órajellell korábban aktívává kell válnia és folyamatosan aktívának kell maradnia, hogy a RESET folyamat érvényre jusson.



# Tartalom

- Busz 1x1: Mester, szolga, buszhozzáférés kiosztó
  - PLB
  - OPB
  - DCR
  - OCM
  - LMB
- A MicroBlaze processzor programozói modellje
- MicroBlaze konfigurációk
- A PowerPC processzor programozói modellje
- A PowerPC reset áramköre
- **A Virtex-II Pro JTAG konfigurációja**





# JTAG TAP opciók

- Tervezési időben eldönthető, hogy az FPGA felkonfigurálása után a PowerPC processzor/processzorok JTAG TAP interfésze a az FPGA JTAG TAP interfészával közös láncba kapcsolódjon vagy maradjon független lánc
- Ezt a megfelelő processzor JTAGPPC blokkjának kihagyásával, vagy beillesztésével tehetjük meg.



# JTAG TAP opciók

- Minta MHS fájl a kombinált JTAG lánc esetére

```
BEGIN jtagppc_cntlr
PARAMETER INSTANCE = jtagppc_0
PARAMETER HW_VER = 1.00.b
PORT DBG405DEBUGHALT_1 = DBG405DEBUGHALT
PORT JTGC405TRSTNEG_A11 = JTGC405TRSTNEG
PORT JTGC405TCK_A11 = JTGC405TCK
PORT JTGC405TDI_1 = JTGC405TDI
PORT JTGC405TMS_A11 = JTGC405TMS
PORT C405JTGTD0_Last = C405JTGTD0
PORT C405JTGTD0EN_1 = C405JTGTD0EN
PORT HALTNEG_1 = net_vcc
PORT TRSTNEG = net_vcc
END
```

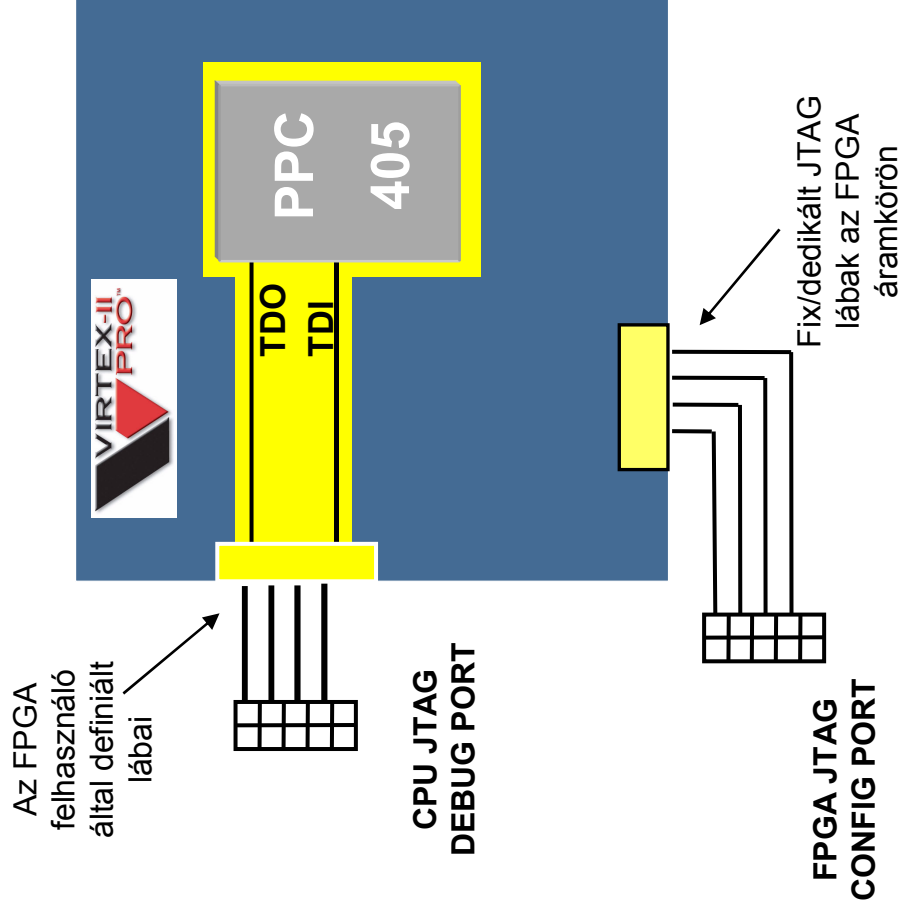
- Bekapcsolja a PowerPC™ JTAG TAP vezérlőjét az FPGA dedikált JTAG láncába a felkonfigurálás után



# Virtex-II Pro

## Megosztott JTAG lánc

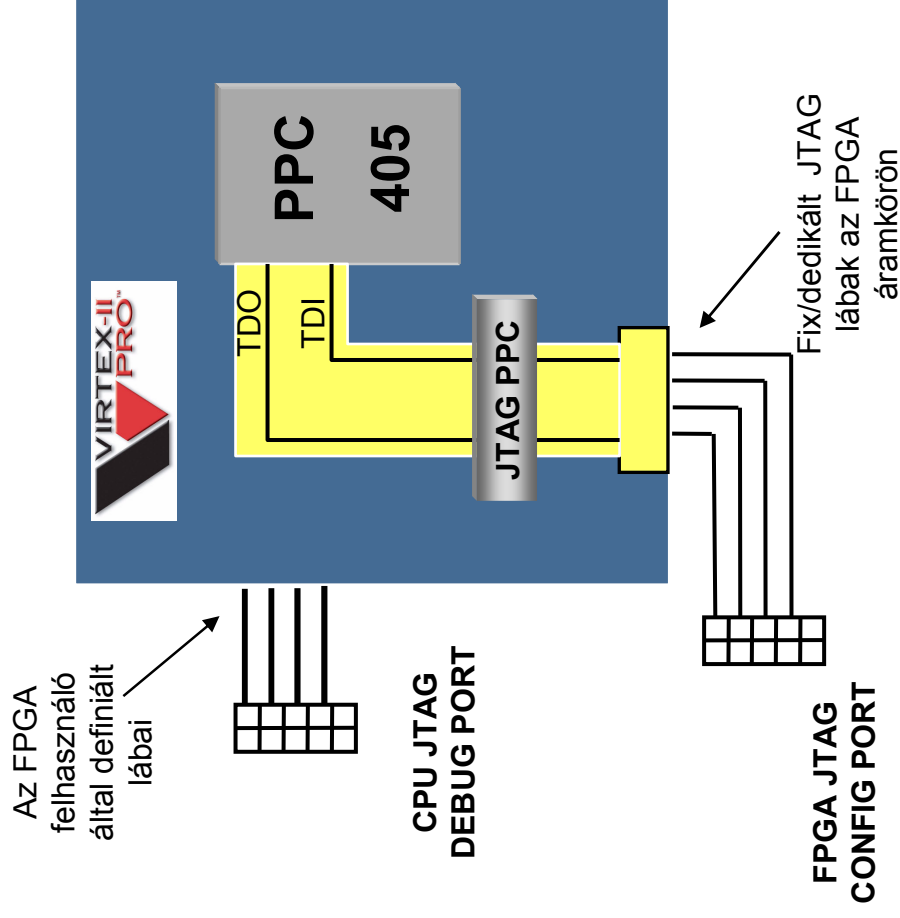
- Felhasználó által definiált JTAG lábak
  - Közvetlen, leválasztott kapcsolat a PPC405 JTAG TAP interfészhez
  - A JTAGPPC blokk nincs használva az FPGA tervében
  - A leválasztott lánc támogatja a beágyazott rendszer fejlesztési és hibakeresési eszközeit



# Virtex-II Pro

## Egyesített JTAG lánc

- A JTAGPPC blokk használata
  - Integrálja a PPC405 processzort az FPGA JTAG láncával a dedikált JTAG lábakon keresztül
  - Az egyesített lánc támogatja a fejlesztő és hibakereső eszközöket
    - ChipScope™ Pro (PC4)
    - iMPACT™ (PC4)
    - GDB (PC4)
    - SingleStep™ XE (visionPROBEII®)



# Virtex-II Pro Egyesített JTAG lánc

- Ha a JTAG PPC vezérlő használatával kapcsoljuk a PowerPC™ 405 CPU-t az egyesített JTAG láncba az FPGA-val, akkor minden PowerPC 405 magot összekapcsolunk egy Virtex-II Pro™ multi - CPU konfigurációba



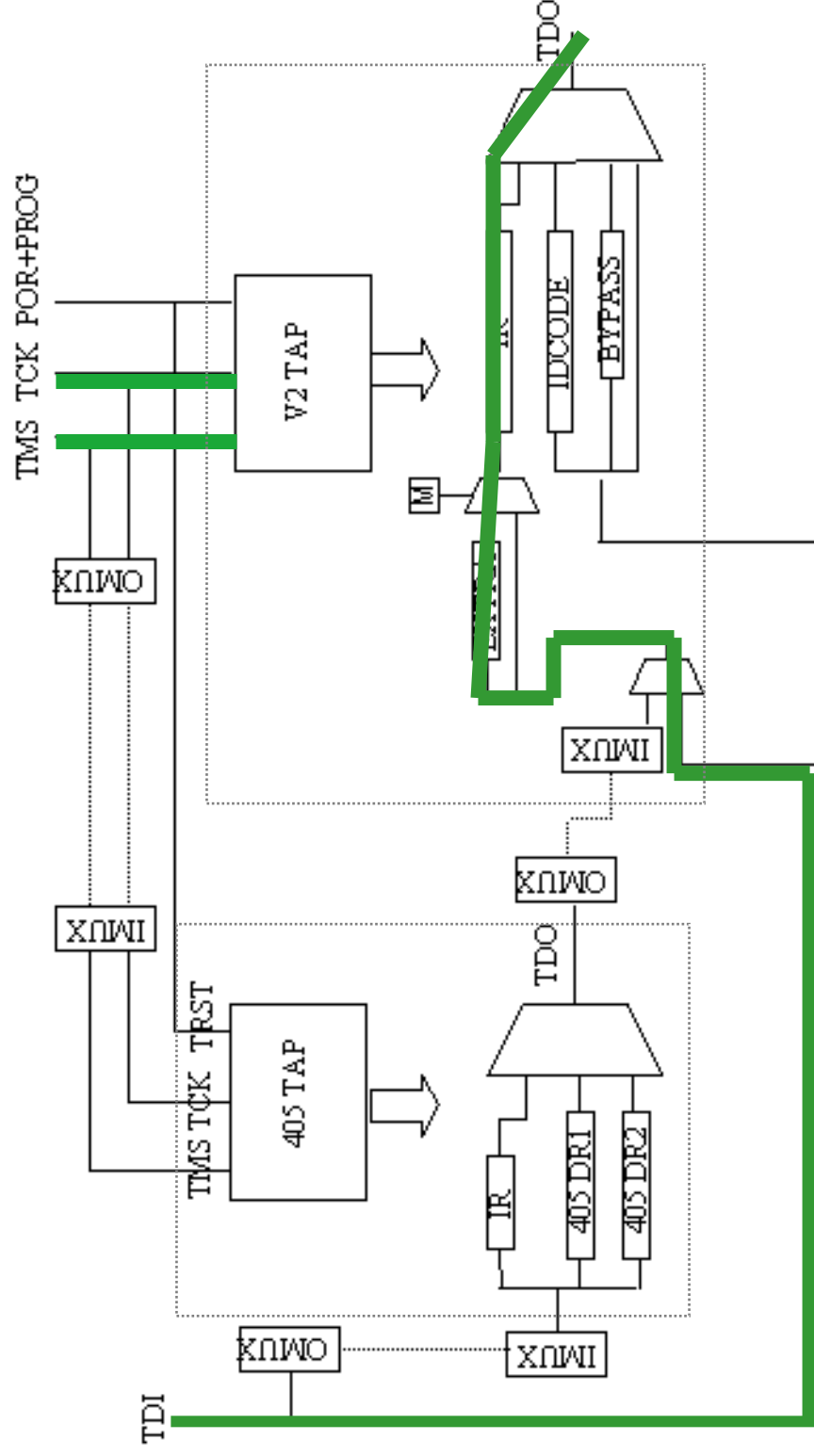
# FPGA JTAG lánc összefoglalás

- PowerPC™ 405 integrált hardver CPU-k TCK, TMS, TDI, és TDO lábai konfigurálható kapcsolatok
- A Virtex-II Pro™ JTAG TAP IR utasításregisztere 6 bites, ehhez adódik hozzá a CPU-k 4 – 4 - bites utasításregisztere
  - Összesen 10 egy CPU esetén — pl. 2VP4/7
  - Összesen 14 két CPU esetén — pl. 2VP20/30/40/50/70/100
  - Összesen 22 négy CPU — pl. 2VP125
- A JTAG TAP utasításregiszter szélességet azonos értéken kell tartani az FPGA felkonfigurálása előtt és után
- Egy EXTRA regiszter kompenzálja a hiányzó CPU IR regiszter biteket a konfiguráció előtt és után, ha a CPU JTAG lábakat általános I/O lábakra kötjük (amikor a JTAGPPC blokkot nem használjuk)



# JTAG lánc kapcsolatok

## AZ FPGA konfigurációja előtt









# JTAG konfiguráció

## Indítás az egyesített JTAG láncról

- Az egyesített JTAG lánc lehetővé teszi a felkonfigurált FPGA CPU és külső memóriák azonos időben történő indítását
- A JTAG interfészen keresztül a rendszer konfigurációs lépései a következők lehetnek:
  - Az FPGA felkonfigurálása
  - Várakozás, amíg az FPGA kilép a konfigurációs módból
  - A CPU, CPU cache memóriák, az OCM, és a CPU által elérhető külső memóriák konfigurálása
  - A CPU PC regiszter beállítása a programkód kezdőcímére
  - Programkód végrehajtása
- A JTAG parancsok, mint SVF utasítások lehetnek a konfigurációs memóriában



# Ellenőrző kérdések

- Milyen kapcsolatot kell kiépíteni a IBM PowerPC™ processzoron futó szoftver fejlesztéséhez/hibakereséséhez?
- Hol található a MicroBlaze™ processzor következő vektorai?
  - Reset
  - Interrupt
  - Exception
- Ha van LMB memória a rendszerben, akkor hol van a programkód kezdőcíme?
- Hol található a PowerPC processzor Reset vektora?



# Válaszok

- Milyen kapcsolatot kell kiépíteni a IBM PowerPC™ processzoron futó szoftver fejlesztéséhez/hibakereséséhez?
  - A PowerPC JTAG kapcsolatot, vagy független lábakon, vagy a JTAGPPC blokkon keresztül
- Hol található a MicroBlaze™ processzor következő vektorai?
  - Reset 0x00000000
  - Interrupt 0x00000010
  - Exception 0x00000008
- Ha van LMB memória a rendszerben, akkor hol van a programkód kezdőcíme?
  - 0x00000050
- Hol található a PowerPC processzor Reset vektora?
  - 0xFFFFF000



# További információk

- Eszközök dokumentációja
  - *Processor IP Reference Guide*
- Processzorok dokumentációja
  - *PowerPC Processor Reference Guide*
  - *PowerPC 405 Processor Block Reference Guide*
  - *MicroBlaze Processor Reference Guide*
- Hasznos WEB oldalak
  - EDK Home Page: [support.xilinx.com/edk](http://support.xilinx.com/edk)

