



BUDAPESTI MŰSZAKI ÉS GAZDASÁGTUDOMÁNYI EGYETEM
VILLAMOSMÉRNÖKI ÉS INFORMATIKAI KAR
MÉRÉSTECHNIKA ÉS INFORMÁCIÓS RENDSZEREK TANSZÉK

Mikrorendszerek tervezése

Külső memória illesztése, DMA

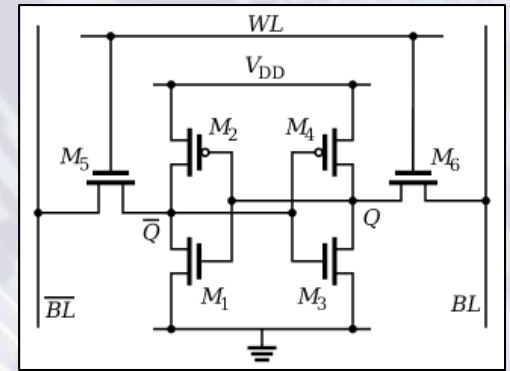
Fehér Béla
Raikovich Tamás



Áttekintés – RAM típusok

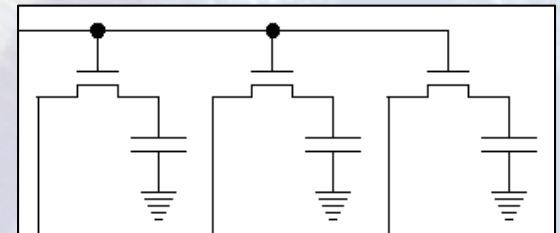
- Csak a felejtő memóriákkal foglalkozunk most
- Statikus RAM: az információt latch tárolja

- Bitenként 4 vagy 6 tranzisztor
- Kisebb adatsűrűség, drágább
- Nincs szükség frissítésre



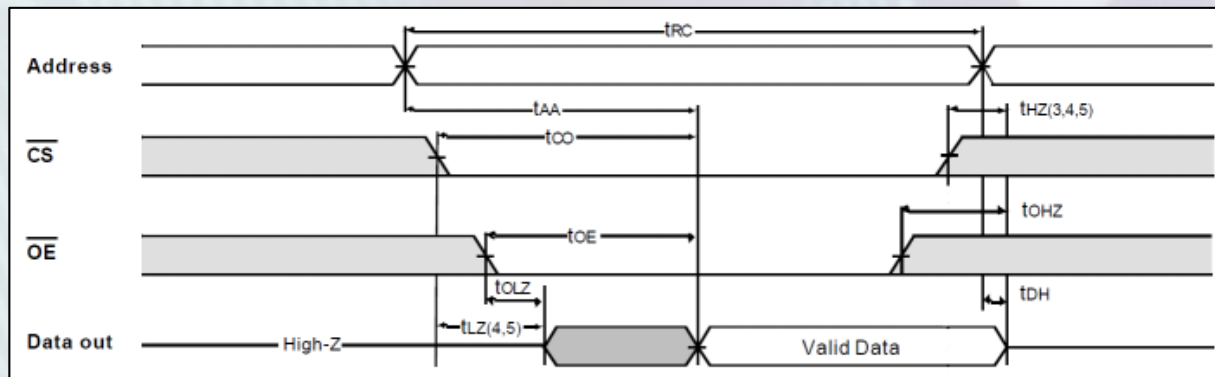
- **Dinamikus RAM: az információt kapacitás tárolja**

- Bitenként egy kondenzátor és egy tranzisztor
 - Nagyobb adatsűrűség, olcsóbb
 - Frissíteni kell a tárolt tartalmat
- 

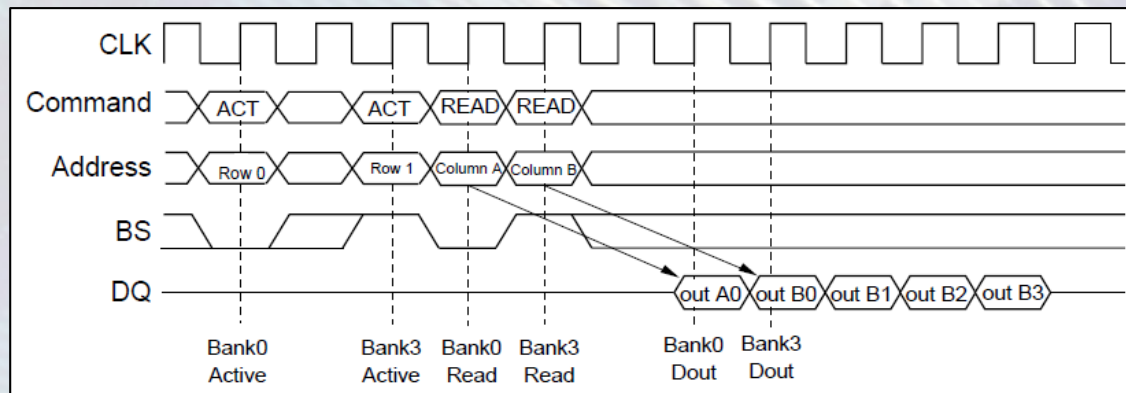


Áttekintés – RAM típusok

- Aszinkron RAM: a műveleteket a vezérlőjelek változása ütemezi, nincs órajel



- Szinkron RAM: a műveleteket órajel ütemezi



Áttekintés – RAM típusok

	Statikus	Dinamikus
Aszinkron	<i>LUT-RAM (olvasás)*</i> (aszinkron) SRAM	(aszinkron) DRAM
Szinkron	<i>LUT-RAM (írás)*</i> <i>Blokk-RAM*</i> <i>UltraRAM*</i> QDR SRAM	SDRAM (LP)DDR _x SDRAM RLDRAM <i>HBM*</i>

* Az FPGA eszközökben rendelkezésre álló memória típusok.

Memóriák a Xilinx FPGA-kban

- **LUT-RAM vagy Distributed-RAM**
 - Egyes LUT-ok RAM-ként is felhasználhatóak
 - Például: LUT6 → 32 x 1 bit RAM vagy 16 x 2 bit RAM
 - Szinkron írás, aszinkron olvasás
 - Felhasználás: kisméretű tároló, FIFO, regisztertömb
- **Blokk-RAM**
 - 36, 18 vagy 9 kbit kapacitású szinkron duál-port RAM
 - Portonként külön órajel és konfigurálható adatméret
 - A 7-es sorozattól kezdve beépített FIFO logika
 - Típustól függően 5 – 3780 db RAMB36 és 380 – 800 MHz elméleti maximális órajel frekvencia
 - Párhuzamos használat esetén nagy sávszélességet biztosít

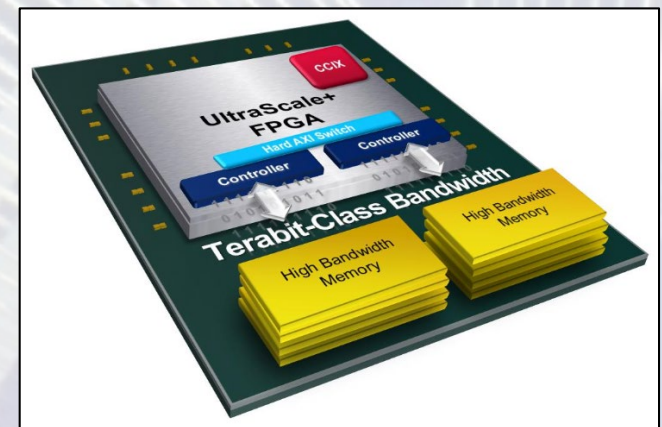
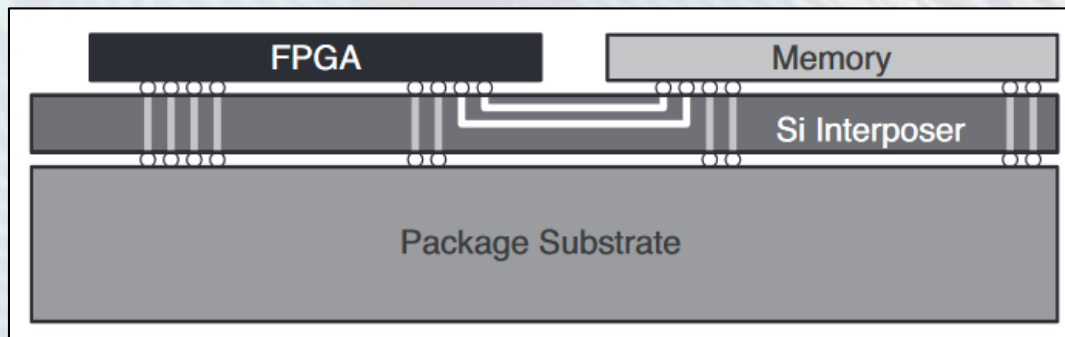
Memóriák a Xilinx FPGA-kban

- **UltraRAM**

- 288 kbit (4 k x 72 bit) szinkron duál-port RAM
 - A blokk-RAM-hoz hasonló, de négyszeres kapacitású
- Egyetlen közös órajel, fix 72 bites adatméret
- Dedikált vonalak a kaszkádosításhoz
- A tartalma nem inicializálható
- Csak egyes UltraSCALE+ eszközökben
- Típustól függően 48 – 1280 darab UltraRAM blokk és 380 – 650 MHz elméleti max. órajel frekvencia
 - Párhuzamos használat esetén nagy sávszélesség

Memóriák a Xilinx FPGA-kban

- **High-Bandwidth Memory (HBM)**
 - Egymásra rétegzett szinkron DRAM chipekből áll
 - Csak egyes Virtex UltraSCALE+ eszközökben
 - 1 vagy 2 darab 4 GB méretű HBM blokk
 - Dedikált vezérlő 32 db 256 bites AXI interfésszel
 - 460 GB/s sávszélesség

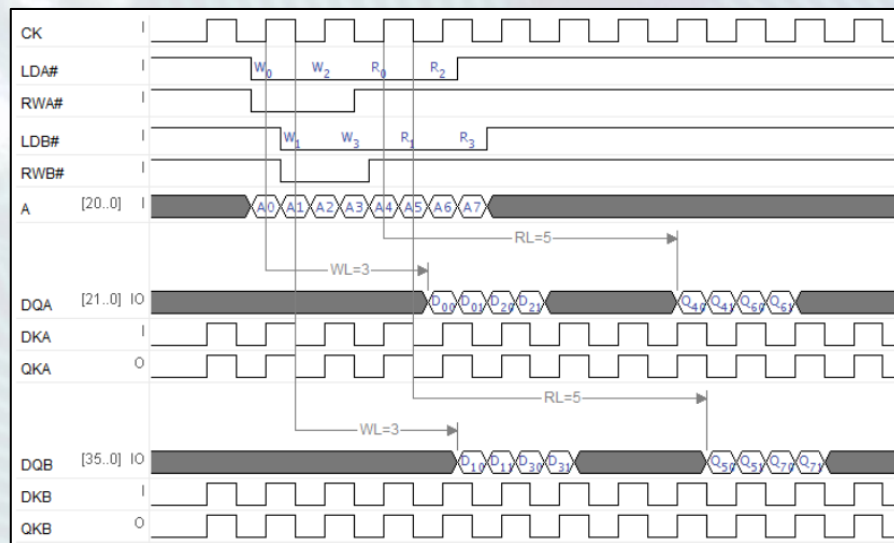


Külső memória illesztése

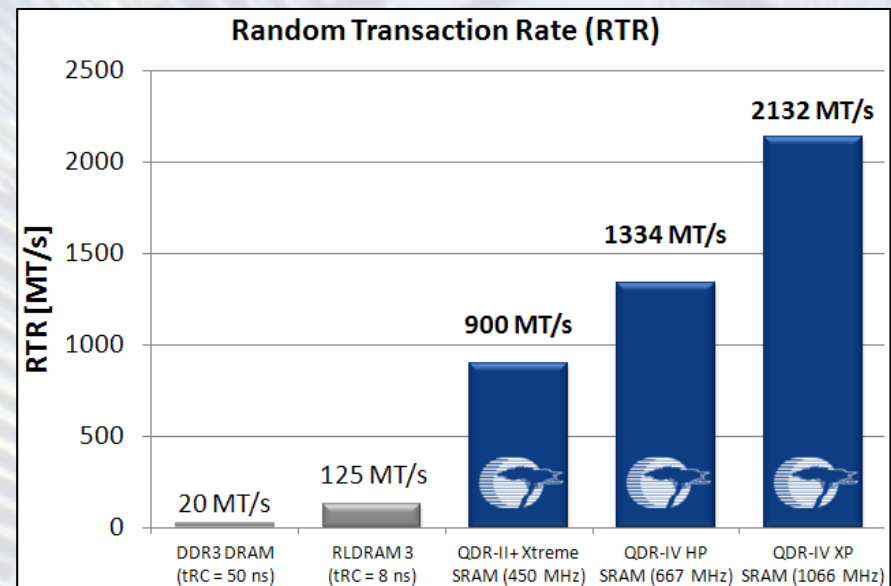
- Csak kevés FPGA eszköz esetén áll rendelkezésre nagyobb kapacitású belső memória és ezek drágák is
- Külső memória alkalmazása szükséges nagymennyiségű adat tárolásához. Mai modern memória eszközök:
 - DDR3 SDRAM
 - A LOGSYS Kintex-7 FPGA kártyán ilyen található
 - Ezzel foglalkozunk részletesebben
 - DDR4 SDRAM
 - A szükséges I/O szabvány (POD, Pseudo Open-Drain) csak az UltraSCALE eszközcsaládtól kezdődően támogatott
 - QDR SRAM, RLDRAM
- **Nagy működési sebesség, párhuzamos interfész**
 - Viszonylag sok FPGA I/O lábat igényel
 - PCB tervezés: impedancia illesztés, hossz kiegyenlítés és nagyobb rétegszám (min. 6 – 8) szükséges

QDR (Quad Data Rate) SRAM

- Nagysebességű szinkron statikus RAM, drága
- Egy cím és vezérlő busz, két külön DDR adat interfész
- 2 – 144 Mbit tárolási kapacitás chipenként
- Véletlen elérésnél is nagy sávszélességet biztosít



QDR IV SRAM írás és olvasás



RLDRAM (Reduced Latency DRAM)

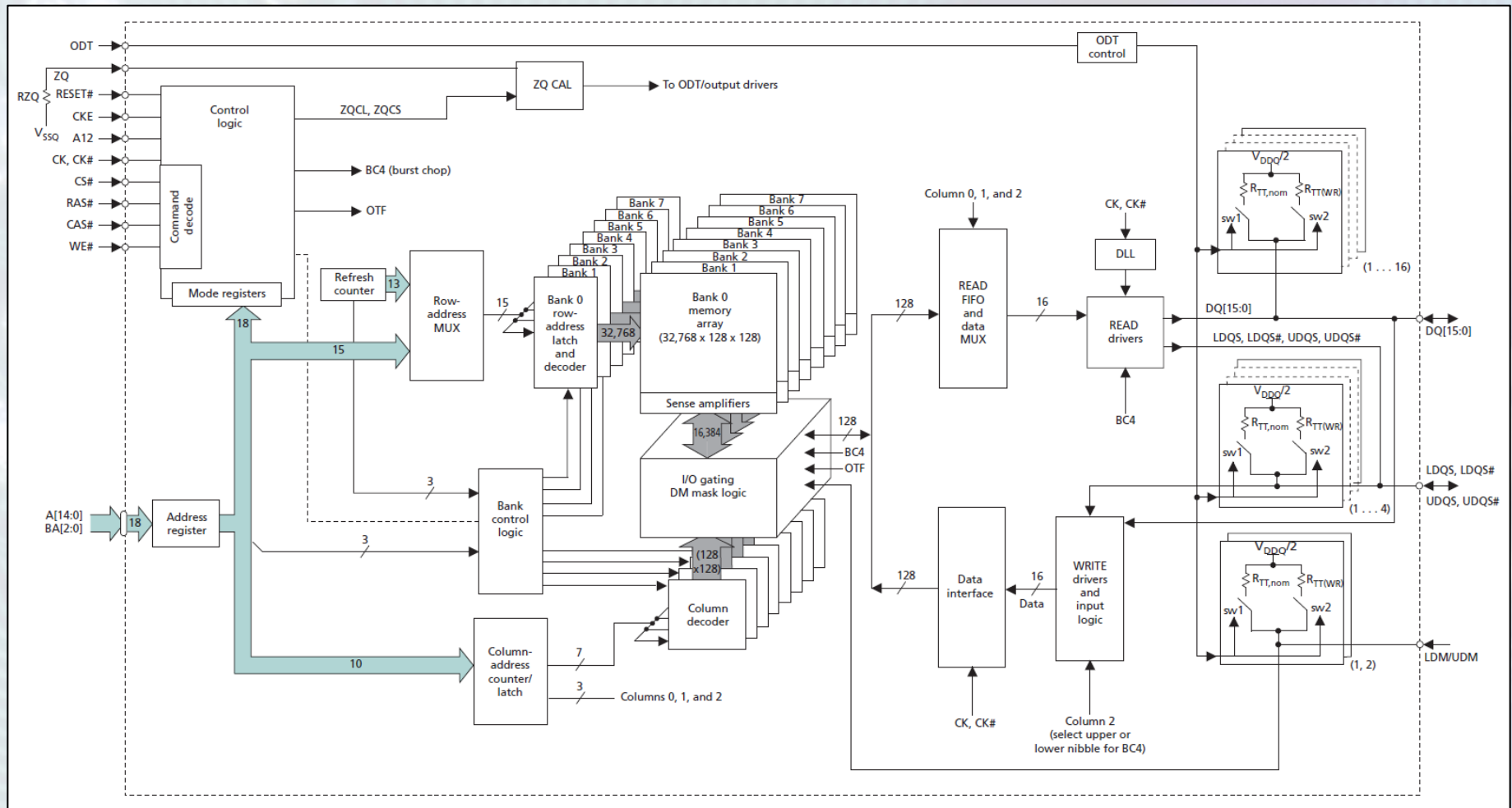
- Nagysebességű szinkron dinamikus RAM, drága
- Szinkron SRAM jellegű interfész, egy DDR adatbusz
- 288 Mb – 1,125 Gb tárolási kapacitás chipenként
- Egy chip 8 bankot tartalmaz
- Véletlen elérésnél is nagy sávszélességet biztosíthat
 - Címzés: következő adat elérése a következő bankból
 - Nem használható ki a teljes kapacitás (effektív sűrűség)

Feature	RLDRAM 3	RLDRAM 3 (2 pieces)	QDR4 SRAM	Sigma DDR-IVe
Performance (Random Transaction Rate)	1200 million	2400 million	2133 million	1200 million
Density (Effective Density)	1125Mb (144Mb)*	2250Mb (288Mb)*	144Mb	144Mb
Footprint (mm ²)	182	392	441	308
Power (W)	~2.7	~5.5	~5.9	~3.4
Cost per Effective Mb	X	X	4X	–

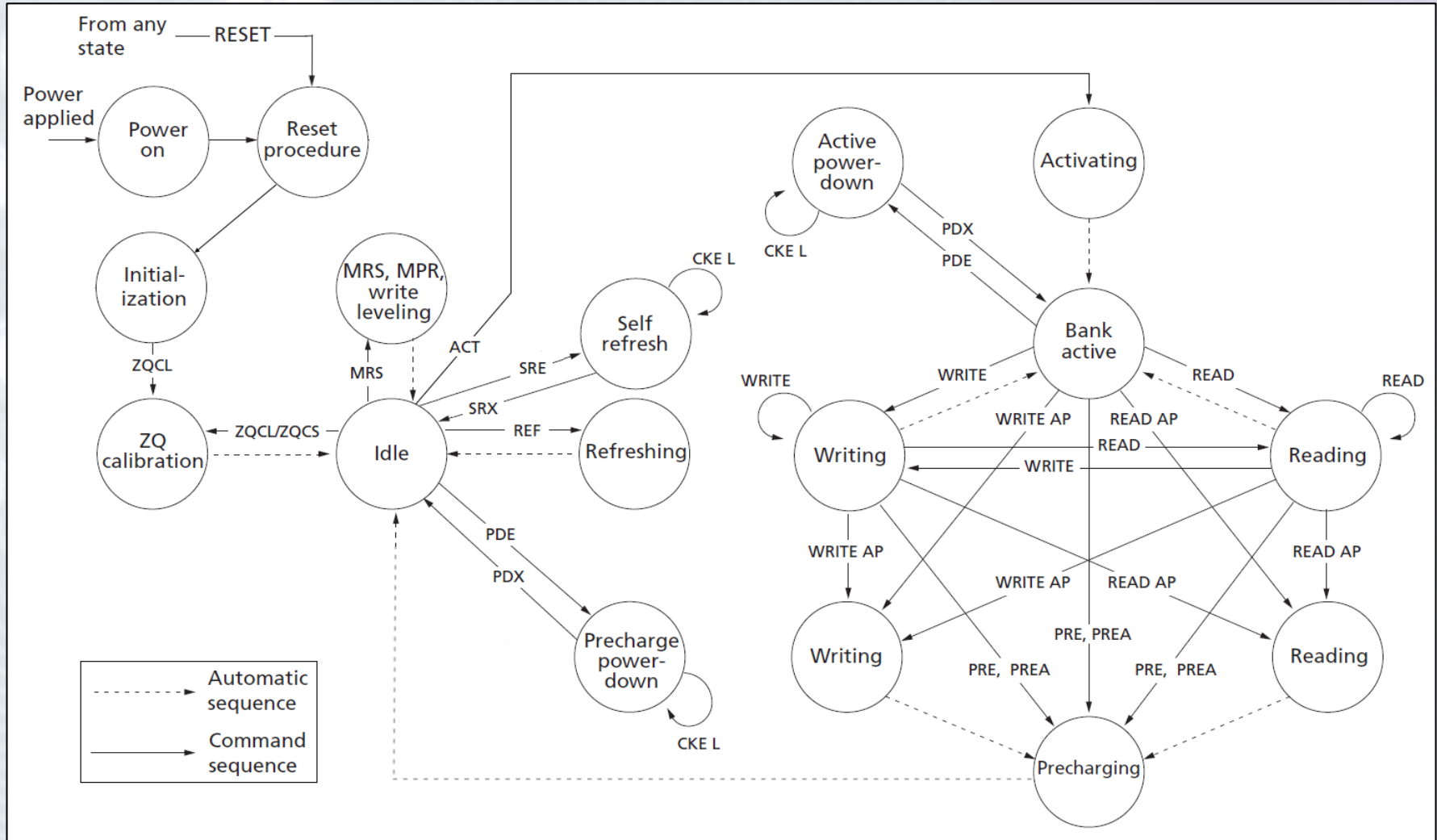
DDR3 SDRAM

- **A DDR szinkron DRAM család 3. generációja**
- **Olcsón biztosít nagy tárolási kapacitást**
 - 1 Gb, 2 Gb, 4 Gb és 8 Gb méretű chippek
- **SDR cím, parancs és vezérlő interfész**
 - A mintavételt a differenciális órajel vezérli
 - Külső lezárás szükséges
- **4, 8 vagy 16 bites DDR adat interfész**
 - A mintavételt a differenciális DQS jel vezérli
 - Belső lezárás (ODT), állítható meghajtó impedancia
- **Egy chip 8 önállóan kezelhető bankot tartalmaz**
- **Címzés: bankcím, sorcím, oszlopcím**
- **Fix 8 szavas burst-ös adatátvitel (lerövidíthető)**

DDR3 SDRAM – Blokkvázlat



DDR3 SDRAM – Állapotdiagram

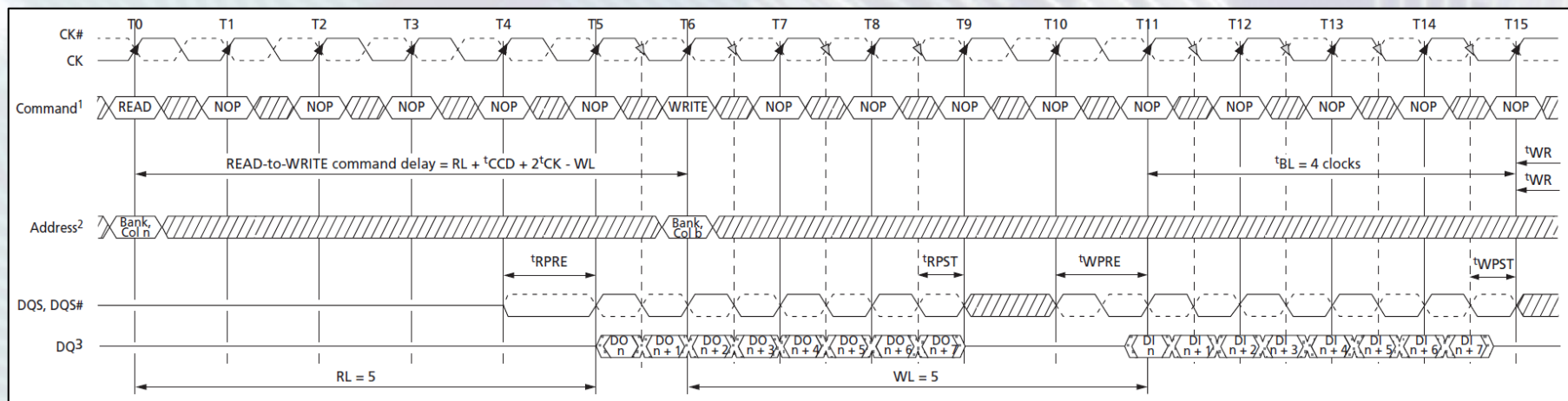


DDR3 SDRAM

- A DDR3 SDRAM parancsokkal vezérelhető
- Inicializálás: RESET, ZQ kalibrálás (ZQCL, ZQCS), mód reg. írás (MRS)
- Hozzáférés előtt a bankban aktiválni kell egy sort (ACT)
 - Minimum T_{RCD} idő múlva adható ki WRITE vagy READ parancs a bank megnyitott sorának egy oszlopára
 - WRITE parancs és az első adat között WL késleltetés kell
 - READ parancs és az első adat között RL (CL) késleltetés van
 - ACT parancs után másik bank is megnyitható min. T_{RRD} idő múlva
- Frissítés vagy más sor aktiválása előtt le kell zárni az aktuális sort a bankon belül (precharge, PRE)
 - T_{RAS} : ACT és PRE parancsok között szükséges minimális idő
 - T_{RTP} : READ és PRE parancsok között szükséges minimális idő
 - T_{WR} : minimális idő írásnál az utolsó adat és a PRE parancs között
- Egy sor frissítése (REF), önfrissítés (SRE, SRX)
- Az adatlap számos egyéb betartandó időzítési paramétert is előír

DDR3 SDRAM

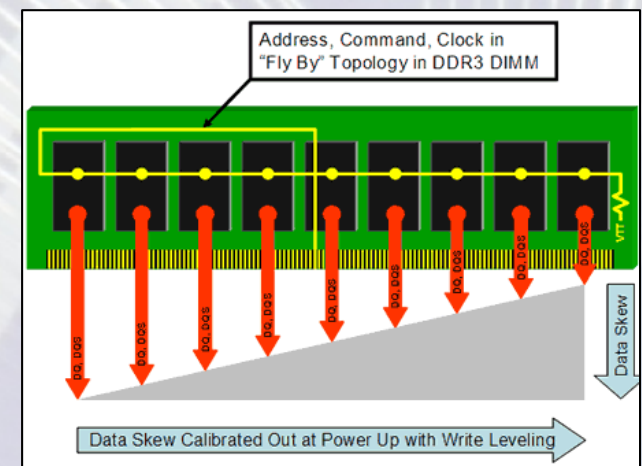
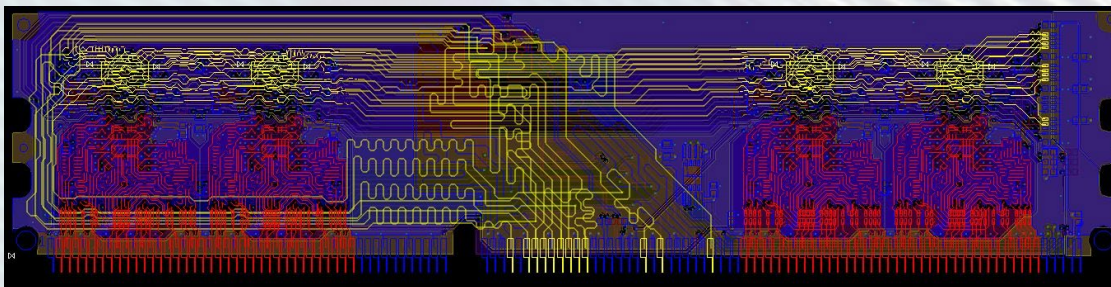
- Olvasás esetén DQS és DQ kimenetek, a memória a DQS éleknél adja ki a következő adatot a DQ-ra
- Írás esetén DQS és DQ bemenetek, a memória a DQS éleknél mintavételezi a DQ adatvonal értékét
- A késleltetések miatt csak a burst-ös és átlapolt adatátvitel biztosít megfelelő hatékonyságot



DDR3 SDRAM

- Szóhossz növelése több memória IC felhasználásával
 - Cím, parancs, vezérlés: minden IC-hez közös
 - Távolabbi IC esetén nagyobb a késleltetés
 - Adat: egyedi bájt csoportok, eltérő késleltetés
- Írásnál és olvasásnál az eredő késleltetéseket ki kell egyenlíteni bájt csoportonként (Write & Read Leveling)
 - A vezérlőben hangolható késleltető egységek vannak
- Bonyolult vezérlő szükséges

fly-by
topológia



Xilinx Memory Interface Generator (MIG)

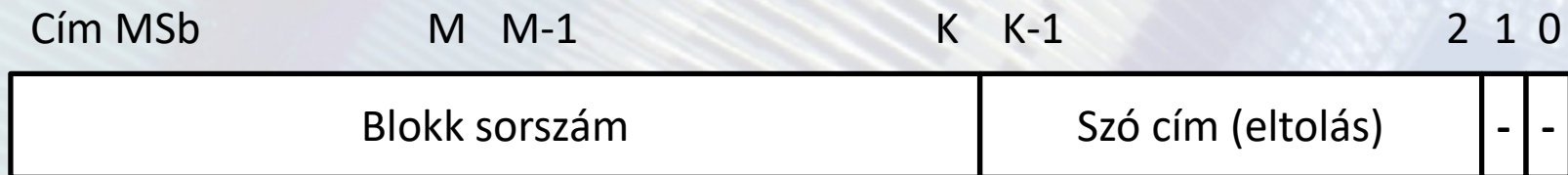
- **Memória vezérlő IP külső memóriákhoz**
- **Támogatott memória típusok**
 - **SDRAM:** DDR2¹, DDR3, DDR4², LPDDR2¹, LPDDR3²
 - **QDR SRAM:** QDR II+, QDR IV²
 - **RLDRAM:** RLDRAM II¹, RLDRAM 3²
- **AXI és natív interfészt biztosít**
 - AXI interfész csak egyes memória típusok esetén
- **Nagyszámú konfigurációs paraméterrel rendelkezik**
 - A LOGSYS Kintex-7 FPGA kártyához külön leírás van
 - A kártya leíró fájl is tartalmazhatja a beállításokat
- **Részletek: Zynq-7000 SoC and 7 Series Devices Memory Interface Solutions v4.2 User Guide (UG586)**

Gyorsítótár (cache)

- **Miért kell?**
 - DRAM hozzáférés tulajdonságai
 - Kis késleltetés
- **Cache-ben:**
 - Tárolt memória cím (TAG) – cache találat megállapítás
 - Adat – cache line
- **Memória írás**
 - Write-through: minden cache írás hatására frissül a RAM-ban az adat
 - Write-back: adat kiírás a cache frissítése esetén
- **Cache koherencia**
 - Több CPU mag, DMA képes HW (cache invalidálás)

Gyorsítótár (cache)

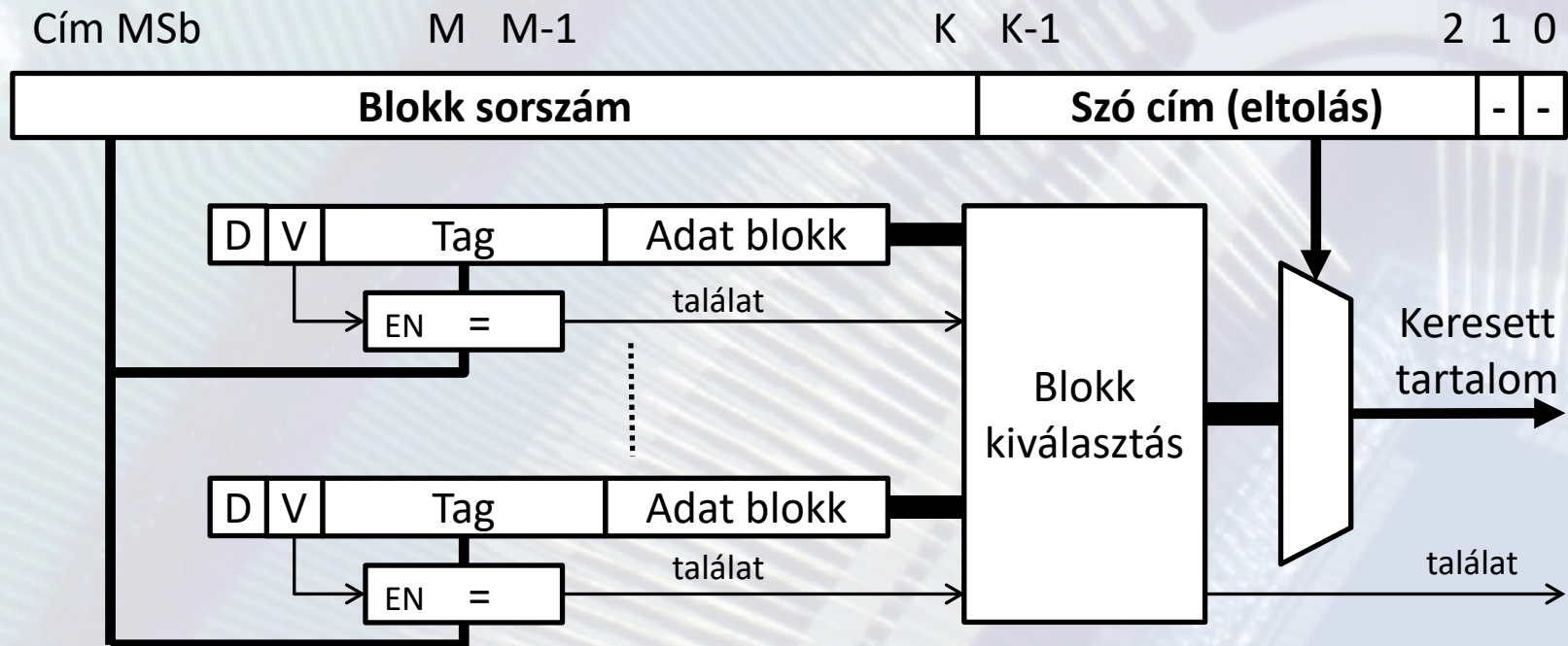
- Az adatok tárolása 2^K byte méretű blokkokban (cache line) történik, a cache mérete 2^M byte ($M > K$)
 - A cím $[K-1:0]$ bitjei adják a blokkon belüli eltolást
 - A cím felső bitjei adják a blokk sorszámát
- Minden blokkban az adatok mellett tárolni kell még
 - Tag: a memória hányadik blokkja tartozik a tárolt adathoz (a cím felső bitjei)
 - Valid bit: a blokk érvényességének jelzése
 - Dirty bit: történt-e írás erre a blokkra



Gyorsítótár (cache)

Teljesen asszociatív gyorsítótár (az egyik véglet)

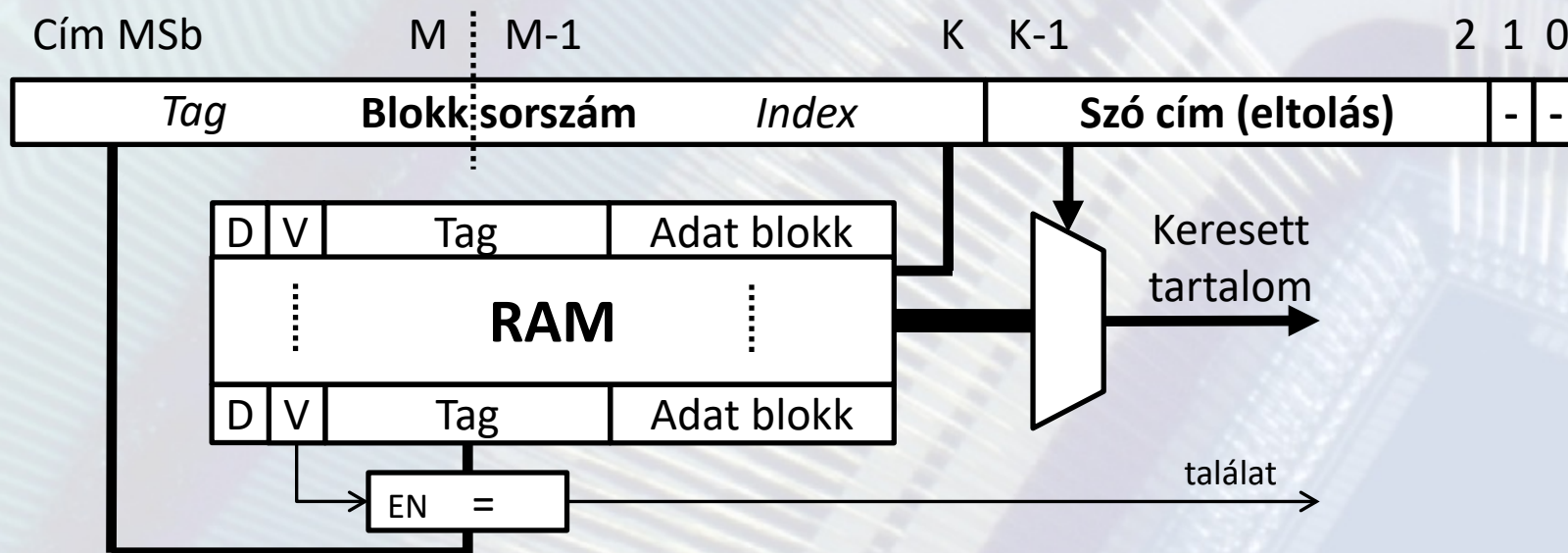
- A memória blokkok bárhová elhelyezhetők a cache-ben
- Tartalom szerint címezhető memória (CAM)
- Nagy erőforrás- és energiaigény: sok széles komparátor



Gyorsítótár (cache)

Direkt leképezésű gyorsítótár (a másik egyik véglet)

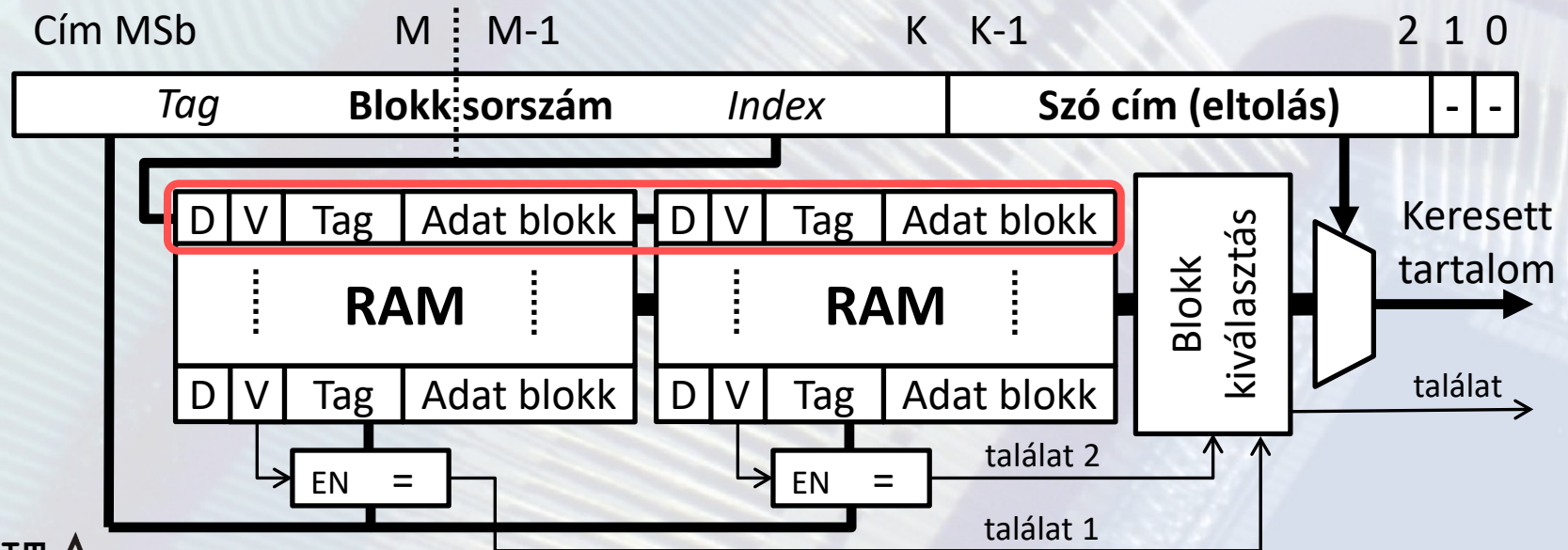
- A memória blokkok csak egy helyre kerülhetnek
 - Pl. a blokk sorszám alsó bitjei (index) döntik ezt el
- Jóval kisebb erőforrásigény: memória és 1 komparátor
- Hátrány: gyakori cache miss nem megfelelő program vagy adatpuffer szervezésnél a működés jellege miatt



Gyorsítótár (cache)

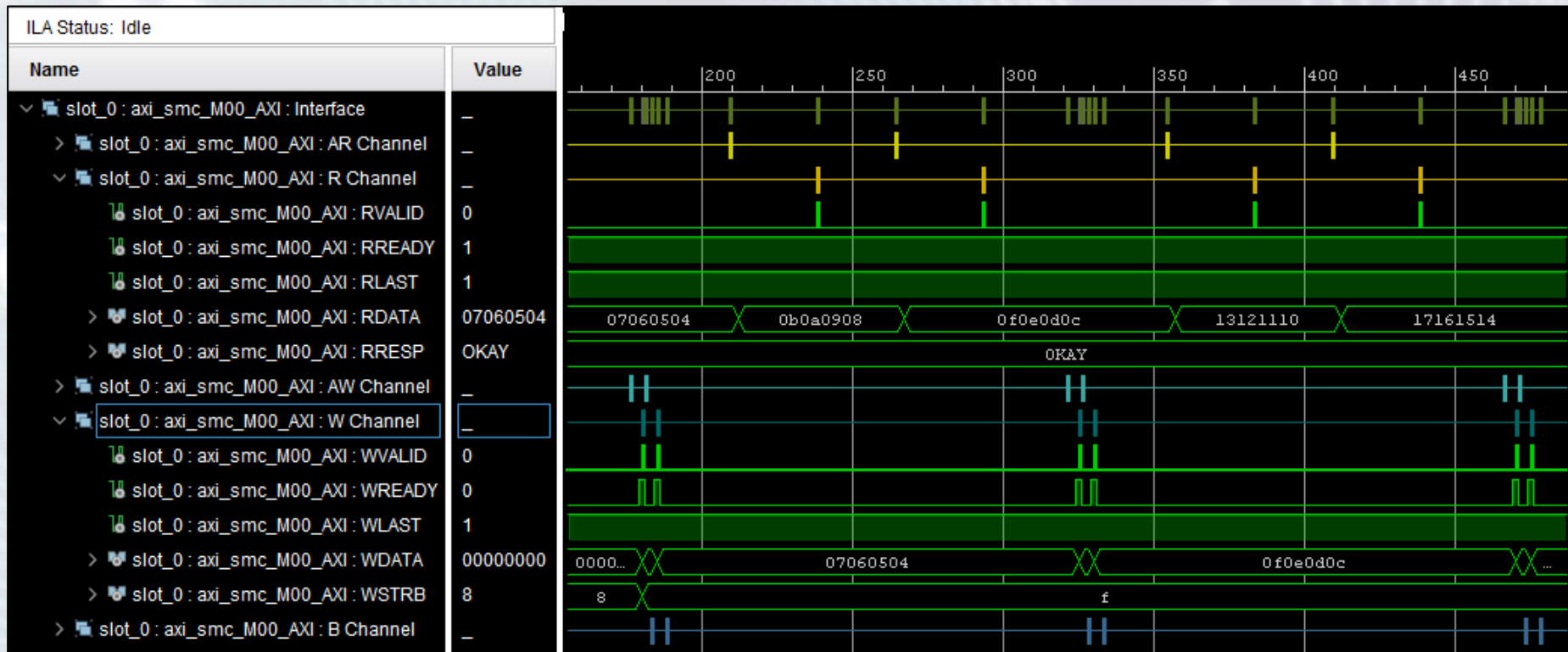
N-utas asszociatív gyorsítótár (a kettő között)

- A memória blokkok N helyre kerülhetnek (tipikusan $N=2-16$)
 - Az index bitek egy N elemű halmazt jelölnek ki
- Erőforrásigény: N db memória és N db komparátor
- Ritkább cache miss, mérsékelt komplexitás és fogyasztás



Programozott adatátvitel

- 1 MB adat másolása DDR3 külső memórián belül
- A MicroBlaze cache tiltott → egyszavas adatátvitel
- A busz kihasználtsága rossz (AXI4 R: 1,4 %, AXI4 W: 1,4 %)



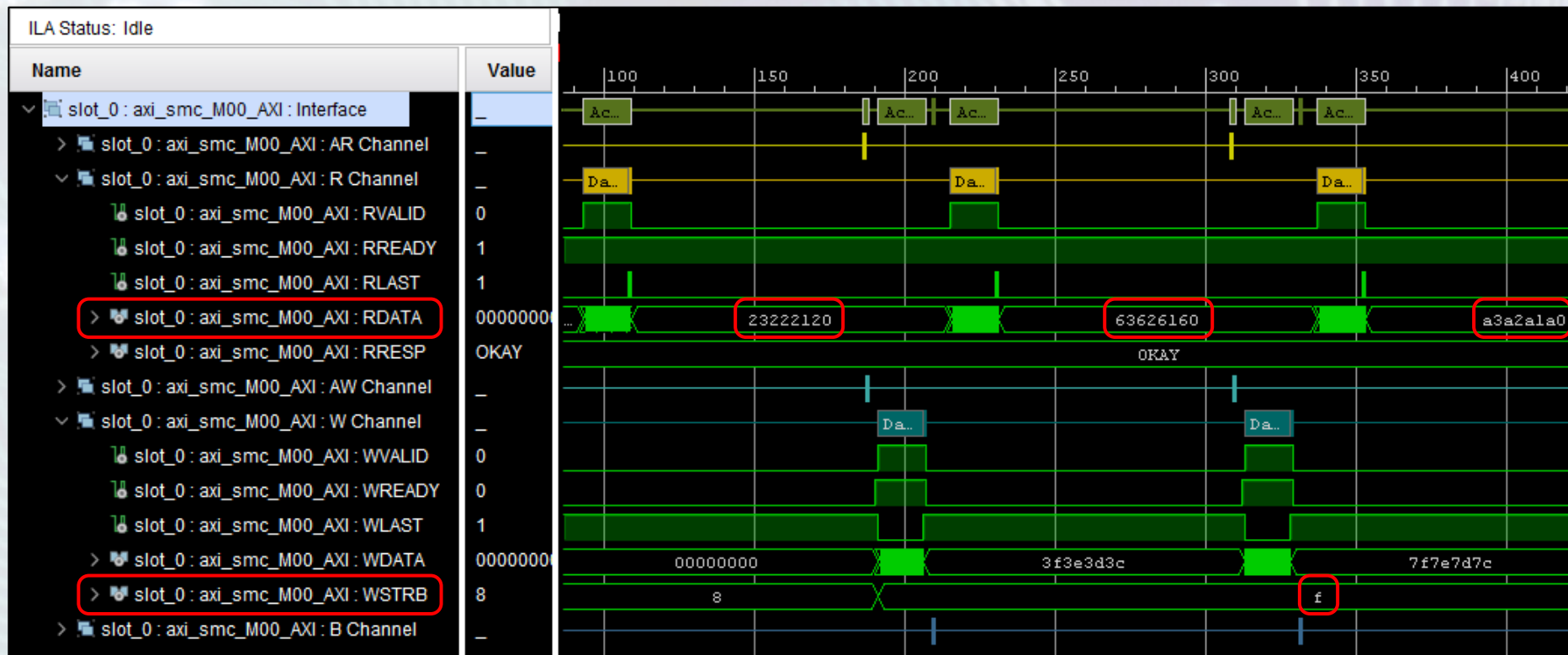
Programozott adatátvitel

- A cache engedélyezett (8 kB, write-back) → burst-ös átvitel
- A két 1 MB-os adatpuffer folytonosan helyezkedik el, így a cache direkt leképzése miatt a példában nincs valódi javulás!



Programozott adatátvitel

- A cache engedélyezett (8 kB, write-back) → burst-ös átvitel
- A két 1 MB-os adatpuffer között 64 bájt (1 cacheline) van, így a burst-ök teljesen kihasználtak (AXI4 R: 13,1 %, AXI4 W: 13,1 %)



Közvetlen memória hozzáférés (DMA)

- **A szoftveres adatátvitel nem hatékony**
 - Az adatátvitel alatt a processzor teljesen elfoglalt
 - A memória elérés mellett adminisztrációs teendők is vannak (pl. mutatók aktualizálása)
 - Adatpufferek elhelyezkedése → cache találati arány?
- **A hatékonyság nagymértékben növelhető, ha az adatátvitel megvalósítása közvetlenül hardveres (DMA)**
 - A CPU egyéb hasznos tevékenységet is végezhet
 - Az adminisztrációs teendők párhuzamosan elvégezhetők az adatátvitel mellett a hardverben
 - Tipikusan burst-ös adatátvitel történik
- **Megvalósítási lehetőségek**
 - Centrális DMA vezérlő: dedikált adatátviteli periféria
 - Az I/O periféria bus-master képességgel is rendelkezik

Közvetlen memória hozzáférés (DMA)

- **A DMA funkció használata**

1. A CPU felprogramozza a DMA vezérlőt vagy a bus-master képességgel rendelkező perifériát
 - Üzem mód, forráscím, célcím, adatméret, stb. megadása
2. A periféria végrehajtja az adatátvitelt
3. A CPU megszakítást kap, ha az adatátvitel befejeződött
 - Lekérdezéses perifériakezelés is használható lenne, de nem hatékony, mert a CPU egyéb tevékenységet nem tud végezni

- **Fontosabb Xilinx DMA IP-k**

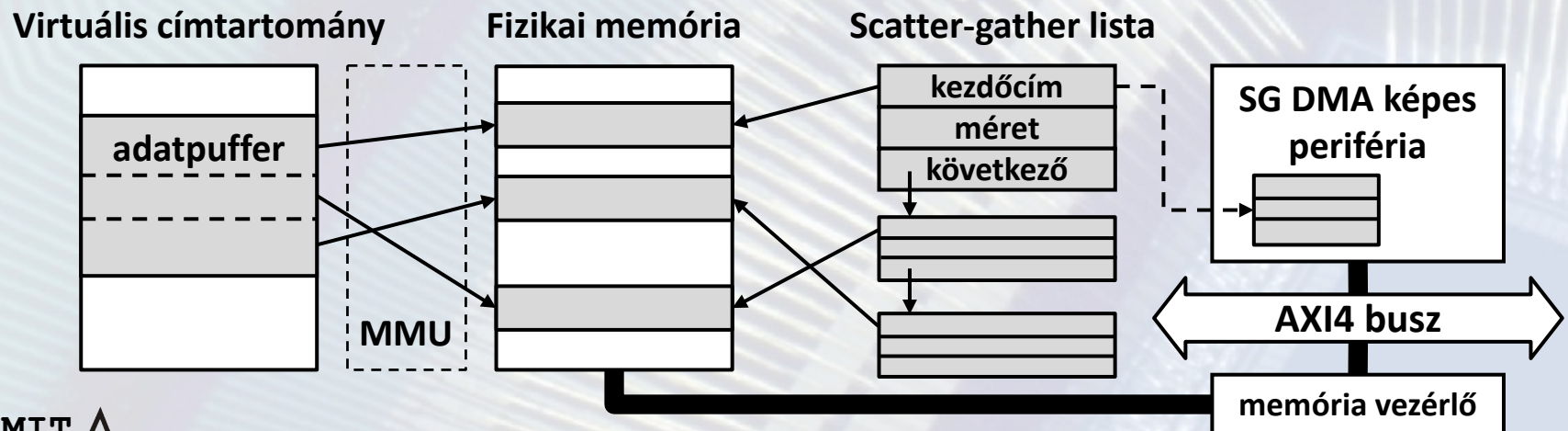
- AXI Central Direct Memory Access (AXI CDMA)
- AXI Direct Memory Access (AXI DMA)
- AXI Video Direct Memory Access (AXI VDMA)

DMA – CPU cache

- **Az AXI interfész nem biztosít cache koherenciát**
 - A memória és a gyorsítótár tartalma nem biztos, hogy megegyezik
 - A memória tartalmának módosulása esetén a gyorsítótár tartalma nem frissül
- **DMA memória olvasás előtt a write-back típusú gyorsítótár tartalmát ki kell üríteni a memóriába**
 - `microblaze_flush_dcache()`
- **DMA memória írás után a gyorsítótár tartalmát érvényteleníteni kell**
 - `microblaze_invalidate_dcache()`

DMA – Virtuális memóriakezelés

- A modern operációs rendszerek (például a Linux is) virtuális memóriakezelést alkalmaznak
- A DMA átvitel során fizikai címeket használunk
- A virtuális címtérben lévő folytonosnak látszó memóriaterület nem biztos, hogy folytonos a fizikai memóriában
- Scatter-gather DMA: az adatátvitel egy láncolt lista alapján történik, amely tartalmazza az adatpuffer fizikai memóriabeli darabjainak adatait (kezdőcím, méret, stb.)
 - Normál DMA esetén minden részre külön felprogramozás kell



Xilinx AXI Central DMA

- Nagy sávszélességű adatátvitelt biztosít memóriába leképzett perifériák között
- AXI4 adat interfész és AXI4-Lite regiszter interfész
- Konfigurálható AXI4 cím és adatbusz méret
- Konfigurálható maximális burst hossz
- Egyszerű és opcionális scatter-gather DMA mód
- Opcionális belső FIFO tároló (Store & Forward)
- Inkrementális és fix címezésű burst-ös adatátvitel támogatása
- Részletek: AXI CDMA v4.1 Product Guide (PG034)

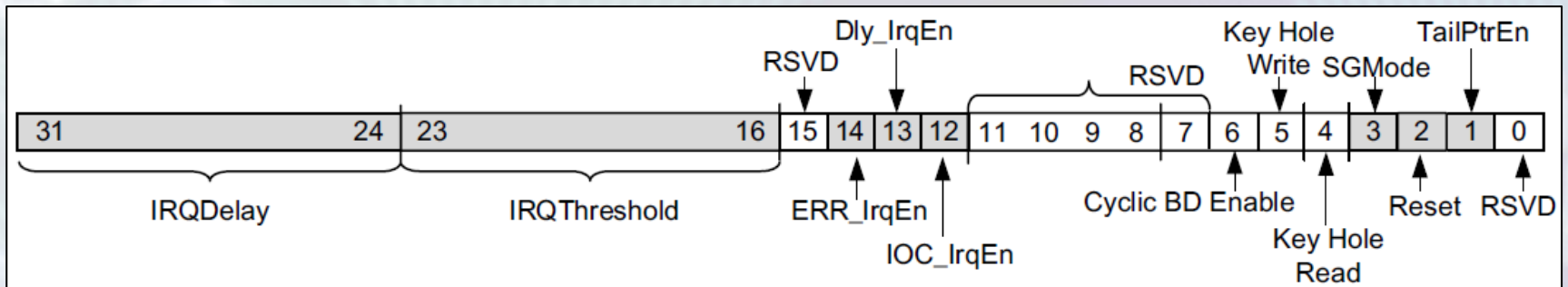
Xilinx AXI Central DMA

Regiszterkészlet

Address Space Offset ⁽¹⁾	Name	Description
00h	CDMACR	CDMA Control
04h	CDMASR	CDMA Status
08h	CURDESC_PNTR	Current Descriptor Pointer
0Ch ⁽²⁾	CURDESC_PNTR_MSB	Current Descriptor Pointer. MSB 32 bits. Applicable only when the address space is greater than 32.
10h	TAILDESC_PNTR	Tail Descriptor Pointer
14h ⁽²⁾	TAILDESC_PNTR_MSB	Tail Descriptor Pointer. MSB 32 bits. Applicable only when the address space is greater than 32.
18h	SA	Source Address
1Ch ⁽²⁾	SA_MSB	Source Address. MSB 32 bits. Applicable only when the address space is greater than 32.
20h	DA	Destination Address
24h ⁽²⁾	DA_MSB	Destination Address. MSB 32 bits. Applicable only when the address space is greater than 32.
28h	BTT	Bytes to Transfer

Xilinx AXI Central DMA

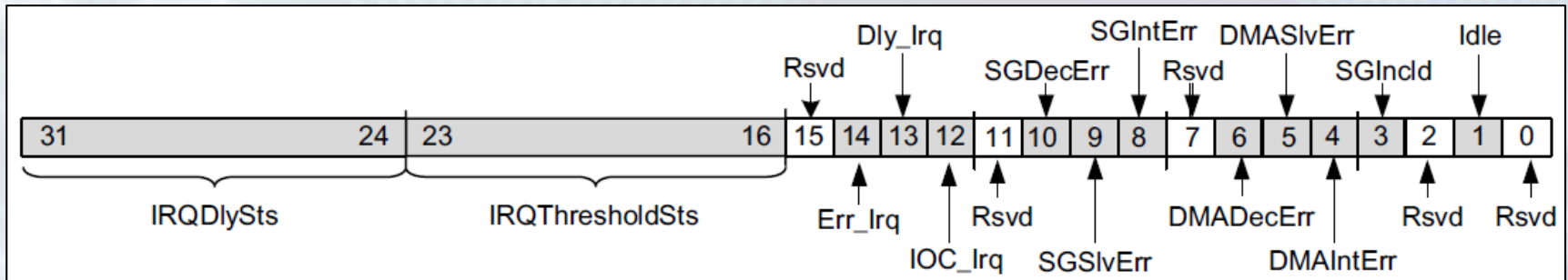
A vezérlő regiszter fontosabb bitjei egyszerű DMA mód esetén



- **Reset (bit 2):** a periféria alapállapotba állítása
- **SGMode (bit 3):** egyszerű (0) vagy scatter-gather (1) mód
- **Key Hole Read (bit 4):** az olvasási cím növelésének tiltása
- **Key Hole Write (bit 5):** az írási cím növelésének tiltása
- **IOC_IrqEn (bit 12):** a „DMA adatátvitel kész” megszakítás engedélyezése

Xilinx AXI Central DMA

A státusz regiszter fontosabb bitjei egyszerű DMA mód esetén



- **Idle (bit 1)**: a periféria tétlen (1) vagy dolgozik (0)
- **SGIncl (bit 3)**: az SG funkció implementált (1) vagy nem (0)
- **DMASlvErr (bit 5)**: AXI slave hiba történt
- **DMADecErr (bit 6)**: AXI címdekódolási hiba történt
- **IOC_Irq (bit 12)**: „DMA adatátvitel kész” megszakítás flag
 - A jelzés 1 beírásával törölhető

Xilinx AXI Central DMA

Az egyszerű DMA üzemmód használata

1. Ellenőrizzük a tétlen állapotot (***CDMASR.IDLE=1***)
2. Engedélyezzük az adatátvitel kész megszakítást, ha szükséges (***CDMACR.IOC_IrqEn=1***)
3. A forráscím beállítása (***SA, SA_MSB***)
4. A célcím beállítása (***DA, DA_MSB***)
5. Az adatméret megadása (***BTT***) indítja a DMA-t
6. Várakozás a ***CDMASR.IDLE*** bit 1 állapotára vagy az „adatátvitel kész” megszakításra

Xilinx AXI Central DMA

- 1 MB adat másolása DDR3 külső memórián belül
- Az AXI CDMA IP-t használjuk → burst-ös adatátvitel
- A busz kihasználtsága nagyon jó (kisebb szünet előfordul)



Xilinx AXI DMA

- Nagy sávszélességű adatátvitelt biztosít memóriába leképzett és AXI4-Stream perifériák között
- Külön-külön engedélyezhető független MM→S és S→MM irányú csatornák
- Konfigurálható AXI4 cím és adatbusz méret
- Konfigurálható AXI4-Stream adatbusz méret
- Konfigurálható maximális burst hossz
- Egyszerű és opcionális scatter-gather DMA mód
- Inkrementális és fix címezésű burst-ös adatátvitel támogatása
- Részletek: AXI DMA v7.1 Product Guide (PG021)

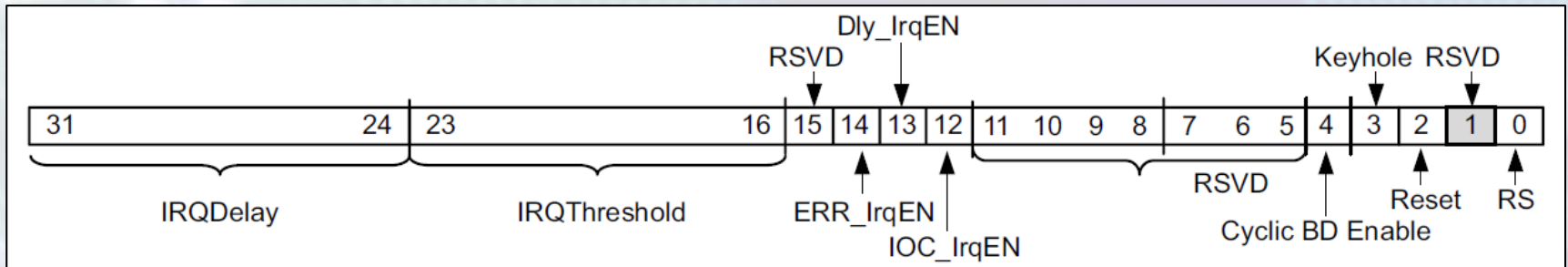
Xilinx AXI DMA

Regiszterkészlet egyszerű DMA mód esetén

Address Space Offset ⁽¹⁾	Name	Description
00h	MM2S_DMOCR	MM2S DMA Control register
04h	MM2S_DMASR	MM2S DMA Status register
08h – 14h	Reserved	N/A
18h	MM2S_SA	MM2S Source Address. Lower 32 bits of address.
1Ch	MM2S_SA_MSB	MM2S Source Address. Upper 32 bits of address.
28h	MM2S_LENGTH	MM2S Transfer Length (Bytes)
30h	S2MM_DMOCR	S2MM DMA Control register
34h	S2MM_DMASR	S2MM DMA Status register
38h – 44h	Reserved	N/A
48h	S2MM_DA	S2MM Destination Address. Lower 32 bit address.
4Ch	S2MM_DA_MSB	S2MM Destination Address. Upper 32 bit address.
58h	S2MM_LENGTH	S2MM Buffer Length (Bytes)

Xilinx AXI DMA

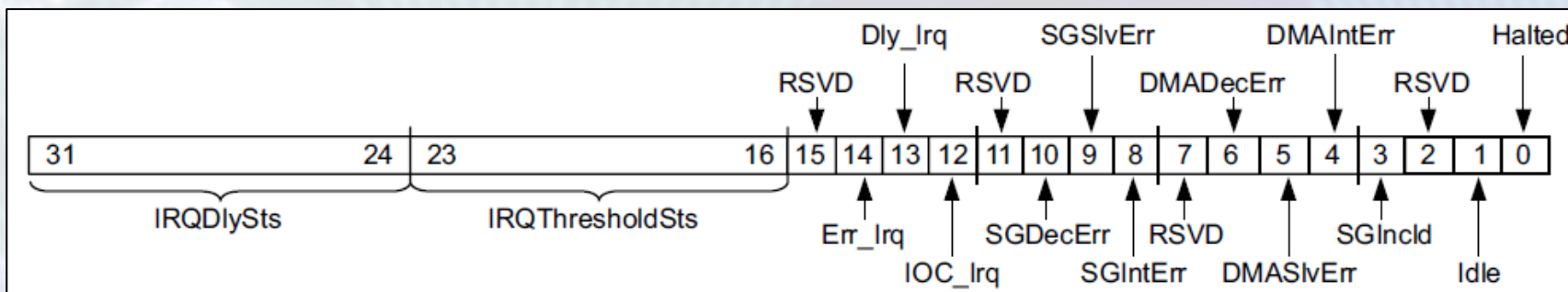
A vezérlő regiszter fontosabb bitjei egyszerű DMA mód esetén



- **RS (bit 0):** a csatorna engedélyezése (1) vagy tiltása (0)
- **Reset (bit 2):** a csatorna alapállapotba állítása
- **Keyhole (bit 3):** a memóriacím növelésének tiltása
- **IOC_IrqEn (bit 12):** a „DMA adatátvitel kész” megszakítás engedélyezése

Xilinx AXI DMA

A státusz regiszter fontosabb bitjei egyszerű DMA mód esetén



- **Halted (bit 0):** a csatorna le van állítva (1) vagy működik (0)
- **Idle (bit 1):** a csatorna tétlen (1) vagy dolgozik (0)
- **SGIncl (bit 3):** az SG funkció implementált (1) vagy nem (0)
- **DMASlvErr (bit 5):** AXI slave hiba történt
- **DMADecErr (bit 6):** AXI címdekódolási hiba történt
- **IOC_Irq (bit 12):** „DMA adatátvitel kész” megszakítás flag
 - A jelzés 1 beírásával törölhető

Xilinx AXI DMA

Az egyszerű DMA üzemmód használata

1. Engedélyezzük az adott csatornát (***DMACR.RS=1***), a ***DMASR.Halted*** bit ennek hatására törlődik
2. Engedélyezzük az adatátvitel kész megszakítást, ha szükséges (***DMACR.IOC_IrqEn=1***)
3. Állítsuk be a forráscímet (***MM2S_SA, MM2S_SA_MSB***) vagy a célcímet (***S2MM_DA, S2MM_DA_MSB***)
4. Az adatméret megadása (***LENGTH***) indítja a DMA-t
5. Várakozás a ***DMASR.IDLE*** bit 1 állapotára vagy az „adatátvitel kész” megszakításra

Xilinx AXI Video DMA

- Az AXI DMA IP-hez hasonló funkcionalitás
- Nagy sávszélességű 2D video adatátvitelt biztosít memóriába leképzett és AXI4-Stream perifériák között
- Külön-külön engedélyezhető független MM→S és S→MM irányú csatornák
- Maximum 32 framebuffer kezelése
- Szinkronizáció az olvasási és írási csatornák között
- Az AXI4-Stream órajel dinamikusan változtatható
- Részletek: AXI VDMA v6.3 Product Guide (PG020)