



BUDAPESTI MŰSZAKI ÉS GAZDASÁGTUDOMÁNYI EGYETEM
VILLAMOSMÉRNÖKI ÉS INFORMATIKAI KAR
MÉRÉSTECHNIKA ÉS INFORMÁCIÓS RENDSZEREK TANSZÉK

Rendszerarchitektúrák

Külső memória illesztés és DMA

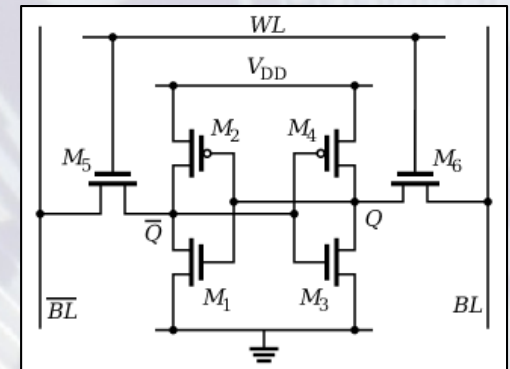
2021. tavaszi félév

Szántó Péter
Raikovich Tamás

Áttekintés – RAM típusok

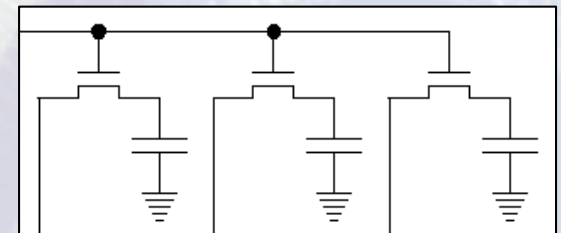
- Csak a felejtő memóriákkal foglalkozunk most
- Statikus RAM: az információt latch tárolja

- Bitenként 4 vagy 6 tranzisztor
- Kisebb adatsűrűség, drágább
- Nincs szükség frissítésre



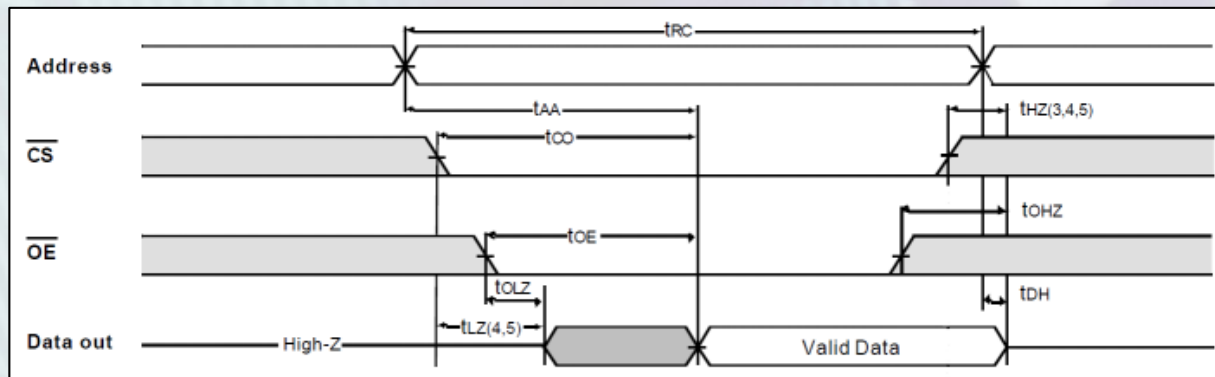
- Dinamikus RAM: az információt kapacitás tárolja

- Bitenként egy kondenzátor és egy tranzisztor
- Nagyobb adatsűrűség, olcsóbb
- Frissíteni kell a tárolt tartalmat

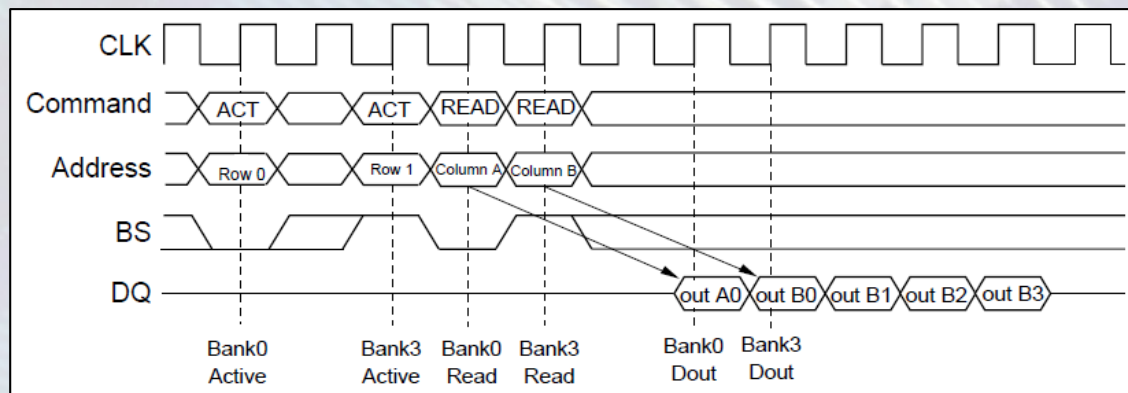


Áttekintés – RAM típusok

- **Aszinkron RAM: a műveleteket a vezérlőjelek változása ütemezi, nincs órajel**



- **Szinkron RAM: a műveleteket órajel ütemezi**



Áttekintés – RAM típusok

	Statikus	Dinamikus
Aszinkron	<i>LUT-RAM (olvasás)*</i> (aszinkron) SRAM	(aszinkron) DRAM
Szinkron	<i>LUT-RAM (írás)*</i> <i>Blokk-RAM*</i> <i>UltraRAM*</i> QDR SRAM	SDRAM (LP)DDR _x SDRAM RLDRAM <i>HBM*</i>

* Az FPGA eszközökben rendelkezésre álló memória típusok.

Memóriák a Xilinx FPGA-kban

- **LUT-RAM vagy Distributed-RAM**
 - Egyes LUT-ok RAM-ként is felhasználhatóak
 - Például: LUT6 → 32 x 1 bit RAM vagy 16 x 2 bit RAM
 - Szinkron írás, aszinkron olvasás
 - Felhasználás: kisméretű tároló, FIFO, regisztertömb
- **Blokk-RAM**
 - 36, 18 vagy 9 kbit kapacitású szinkron duál-port RAM
 - Portonként külön órajel és konfigurálható adatméret
 - A 7-es sorozattól kezdve beépített FIFO logika
 - Típustól függően 5 – 3780 db RAMB36 és 380 – 800 MHz elméleti maximális órajel frekvencia
 - Párhuzamos használat esetén nagy sávszélességet biztosít

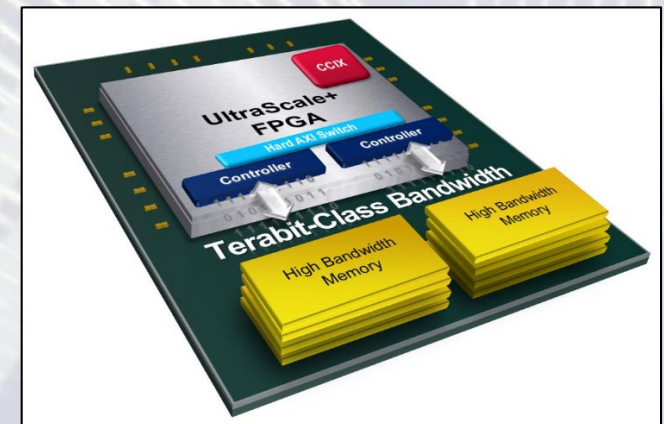
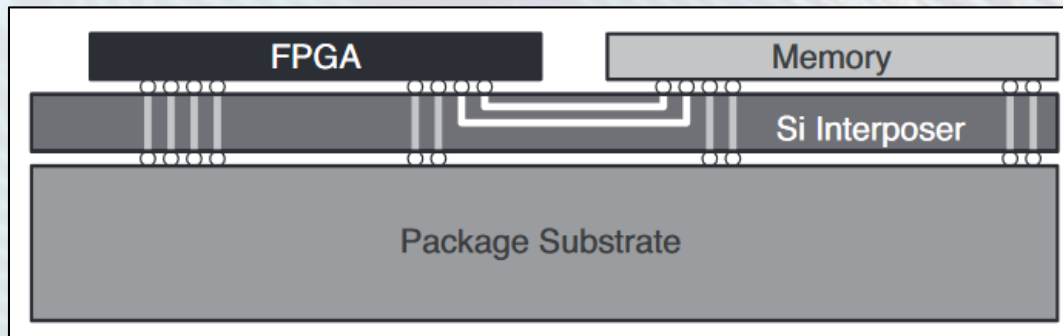
Memóriák a Xilinx FPGA-kban

- **UltraRAM**

- 288 kbit (4 k x 72 bit) szinkron duál-port RAM
 - A blokk-RAM-hoz hasonló, de négyszeres kapacitású
- Egyetlen közös órajel, fix 72 bites adatméret
- Dedikált vonalak a kaszkádosításhoz
- A tartalma nem inicializálható
- Csak egyes UltraSCALE+ eszközökben
- Típustól függően 48 – 1280 darab UltraRAM blokk és 380 – 650 MHz elméleti max. órajel frekvencia
 - Párhuzamos használat esetén nagy sávszélesség

Memóriák a Xilinx FPGA-kban

- **High-Bandwidth Memory (HBM)**
 - Egymásra rétegzett szinkron DRAM chipekből áll
 - Csak egyes Virtex UltraSCALE+ eszközökben
 - 1 vagy 2 darab 4 GB méretű HBM blokk
 - Dedikált vezérlő 32 db 256 bites AXI interfésszel
 - 460 GB/s sávszélesség

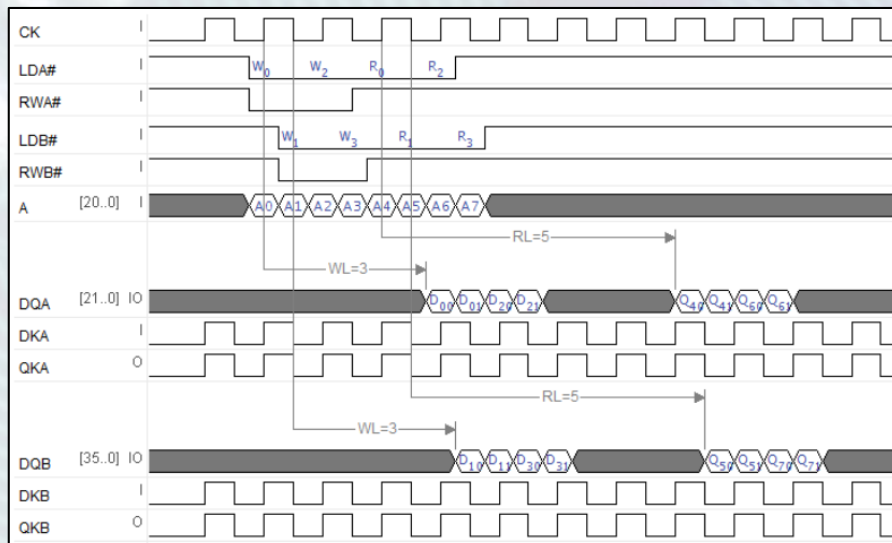


Külső memória illesztése

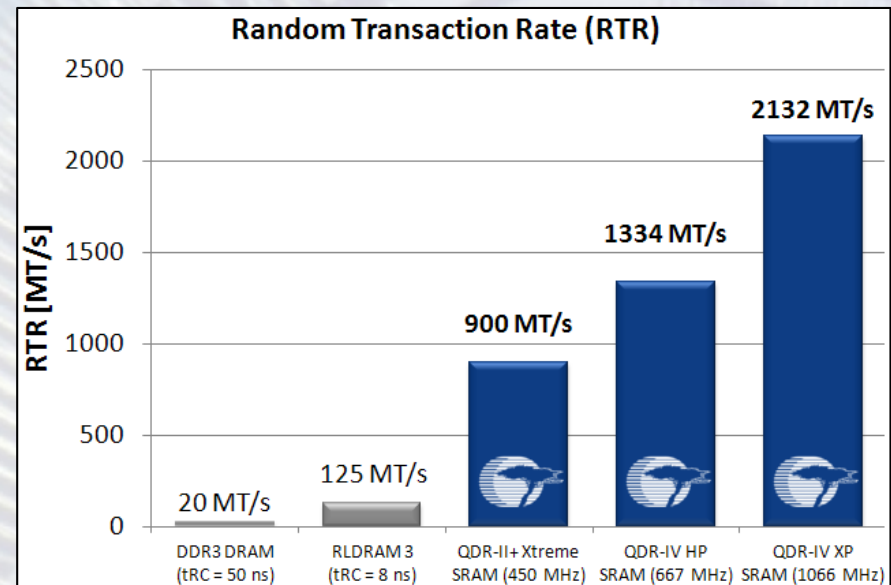
- Csak kevés FPGA eszköz esetén áll rendelkezésre nagyobb kapacitású belső memória és ezek drágák is
- Külső memória alkalmazása szükséges nagymennyiségű adat tárolásához. Mai modern memória eszközök:
 - DDR3 SDRAM
 - A LOGSYS Kintex-7 FPGA kártyán ilyen található
 - Ezzel foglalkozunk részletesebben
 - DDR4 SDRAM
 - A szükséges I/O szabvány (POD, Pseudo Open-Drain) csak az UltraSCALE eszközcsaládtól kezdődően támogatott
 - QDR SRAM, RLDRAM
- **Nagy működési sebesség, párhuzamos interfész**
 - Viszonylag sok FPGA I/O lábat igényel
 - PCB tervezés: impedancia illesztés, hossz kiegyenlítés és nagyobb rétegszám (min. 6 – 8) szükséges

QDR (Quad Data Rate) SRAM

- Nagysebességű szinkron statikus RAM, drága
- Egy cím és vezérlő busz, két külön DDR adat interfész
- 2 – 144 Mbit tárolási kapacitás chipenként
- Véletlen elérésnél is nagy sávszélességet biztosít



QDR IV SRAM írás és olvasás



RLDRAM (Reduced Latency DRAM)

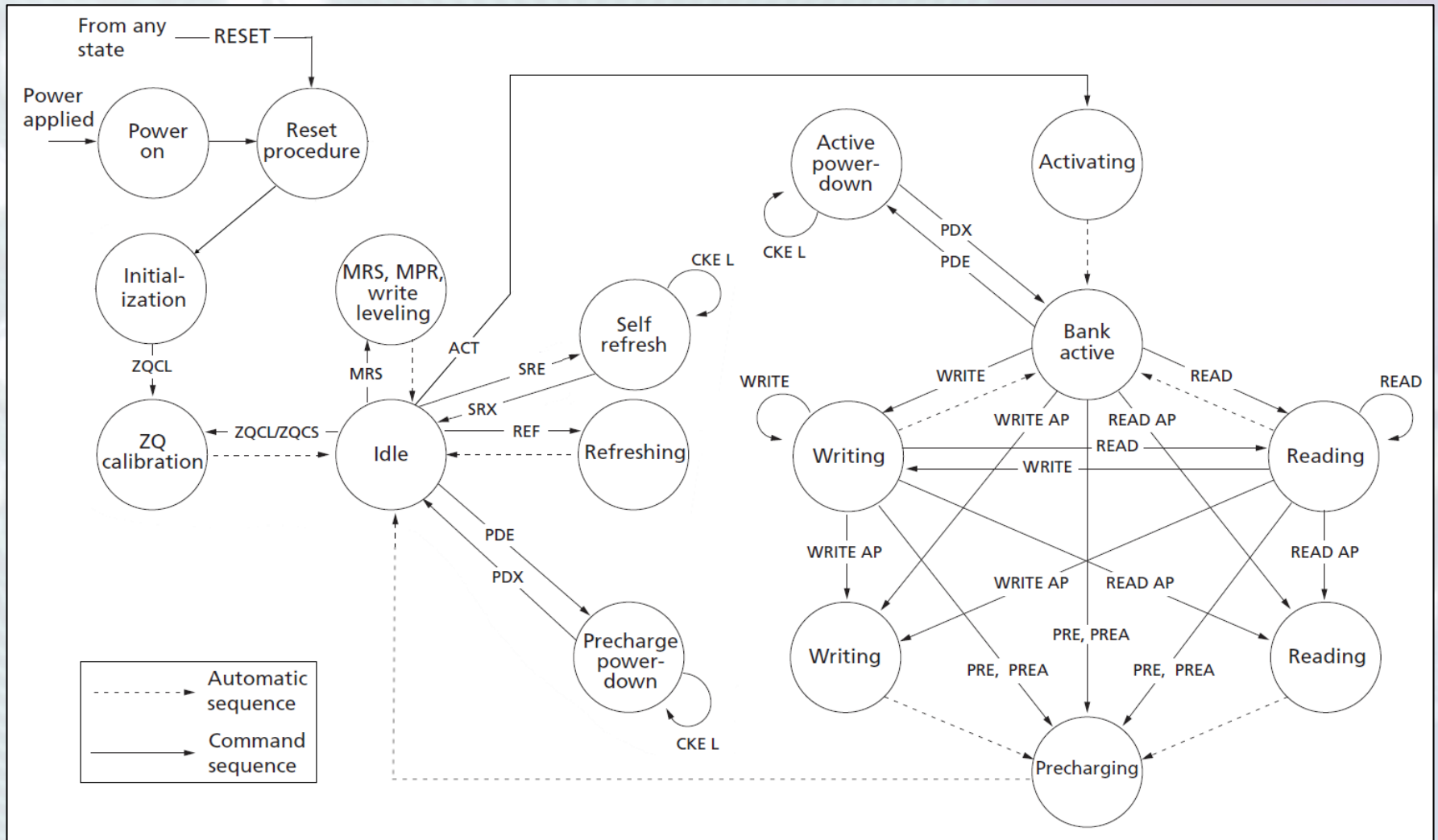
- Nagysebességű szinkron dinamikus RAM, drága
- Szinkron SRAM jellegű interfész, egy DDR adatbusz
- 288 Mb – 1,125 Gb tárolási kapacitás chipenként
- Egy chip 8 bankot tartalmaz
- Véletlen elérésnél is nagy sávszélességet biztosíthat
 - Címzés: következő adat elérése a következő bankból
 - Nem használható ki a teljes kapacitás (effektív sűrűség)

Feature	RLDRAM 3	RLDRAM 3 (2 pieces)	QDR4 SRAM	Sigma DDR-IVe
Performance (Random Transaction Rate)	1200 million	2400 million	2133 million	1200 million
Density (Effective Density)	1125Mb (144Mb)*	2250Mb (288Mb)*	144Mb	144Mb
Footprint (mm ²)	182	392	441	308
Power (W)	~2.7	~5.5	~5.9	~3.4
Cost per Effective Mb	X	X	4X	–

DDR3 SDRAM

- **A DDR szinkron DRAM család 3. generációja**
- **Olcsón biztosít nagy tárolási kapacitást**
 - 1 Gb, 2 Gb, 4 Gb és 8 Gb méretű chipek
- **SDR cím, parancs és vezérlő interfész**
 - A mintavételt a differenciális órajel vezérli
 - Külső lezárás szükséges
- **4, 8 vagy 16 bites DDR adat interfész**
 - A mintavételt a differenciális DQS jel vezérli
 - Belső lezárás (ODT), állítható meghajtó impedancia
- **Egy chip 8 önállóan kezelhető bankot tartalmaz**
- **Címzés: bankcím, sorcím, oszlopcím**
- **Fix 8 szavas burst-ös adatátvitel (lerövidíthető)**

DDR3 SDRAM – Állapotdiagram

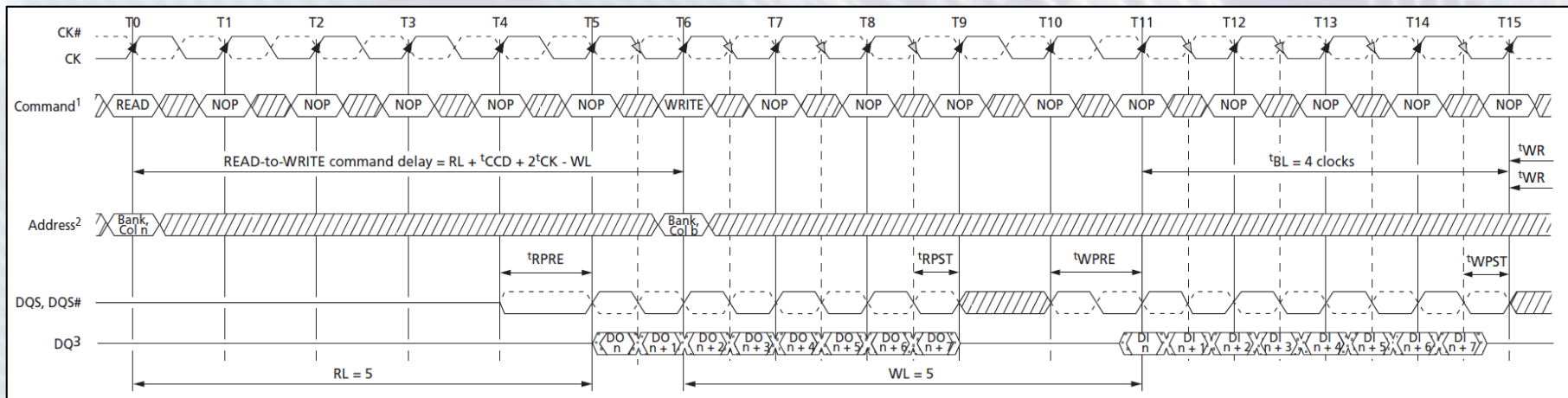


DDR3 SDRAM

- A DDR3 SDRAM parancsokkal vezérelhető
- Inicializálás: RESET, ZQ kalibrálás (ZQCL, ZQCS), mód reg. írás (MRS)
- Hozzáférés előtt a bankban aktiválni kell egy sort (ACT)
 - Minimum T_{RCD} idő múlva adható ki WRITE vagy READ parancs a bank megnyitott sorának egy oszlopára
 - WRITE parancs és az első adat között WL késleltetés kell
 - READ parancs és az első adat között RL (CL) késleltetés van
 - ACT parancs után másik bank is megnyitható min. T_{RRD} idő múlva
- Frissítés vagy más sor aktiválása előtt le kell zárni az aktuális sort a bankon belül (precharge, PRE)
 - T_{RAS} : ACT és PRE parancsok között szükséges minimális idő
 - T_{RTP} : READ és PRE parancsok között szükséges minimális idő
 - T_{WR} : minimális idő írásnál az utolsó adat és a PRE parancs között
- Egy sor frissítése (REF), önfrissítés (SRE, SRX)
- Az adatlap számos egyéb betartandó időzítési paramétert is előír

DDR3 SDRAM

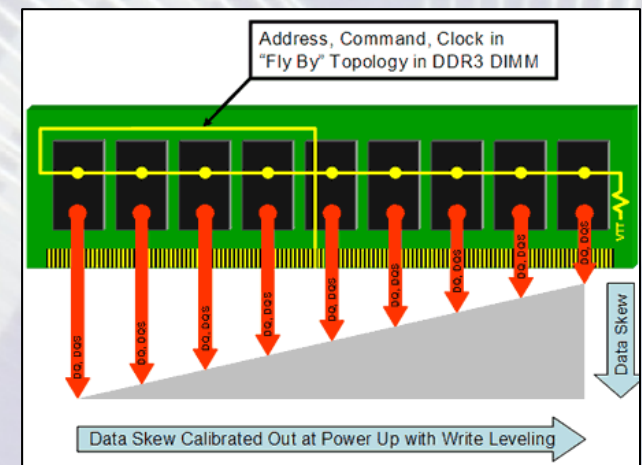
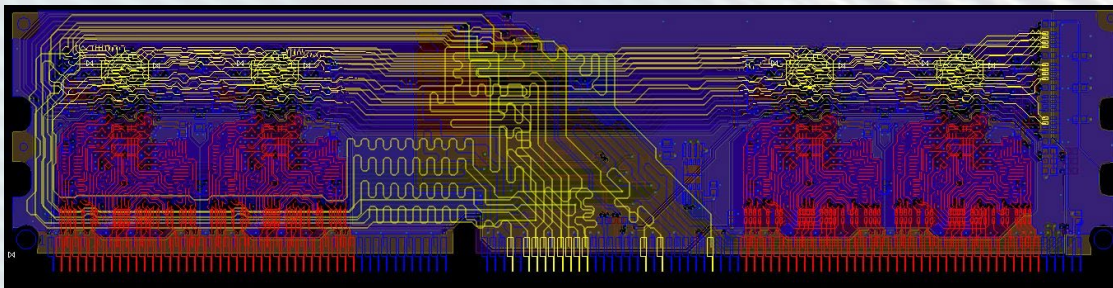
- Olvasás esetén DQS és DQ kimenetek, a memória a DQS éleknél adja ki a következő adatot a DQ-ra
- Írás esetén DQS és DQ bemenetek, a memória a DQS éleknél mintavételezi a DQ adatvonal értékét
- A késleltetések miatt csak a burst-ös és átlapolt adatátvitel biztosít megfelelő hatékonyságot



DDR3 SDRAM

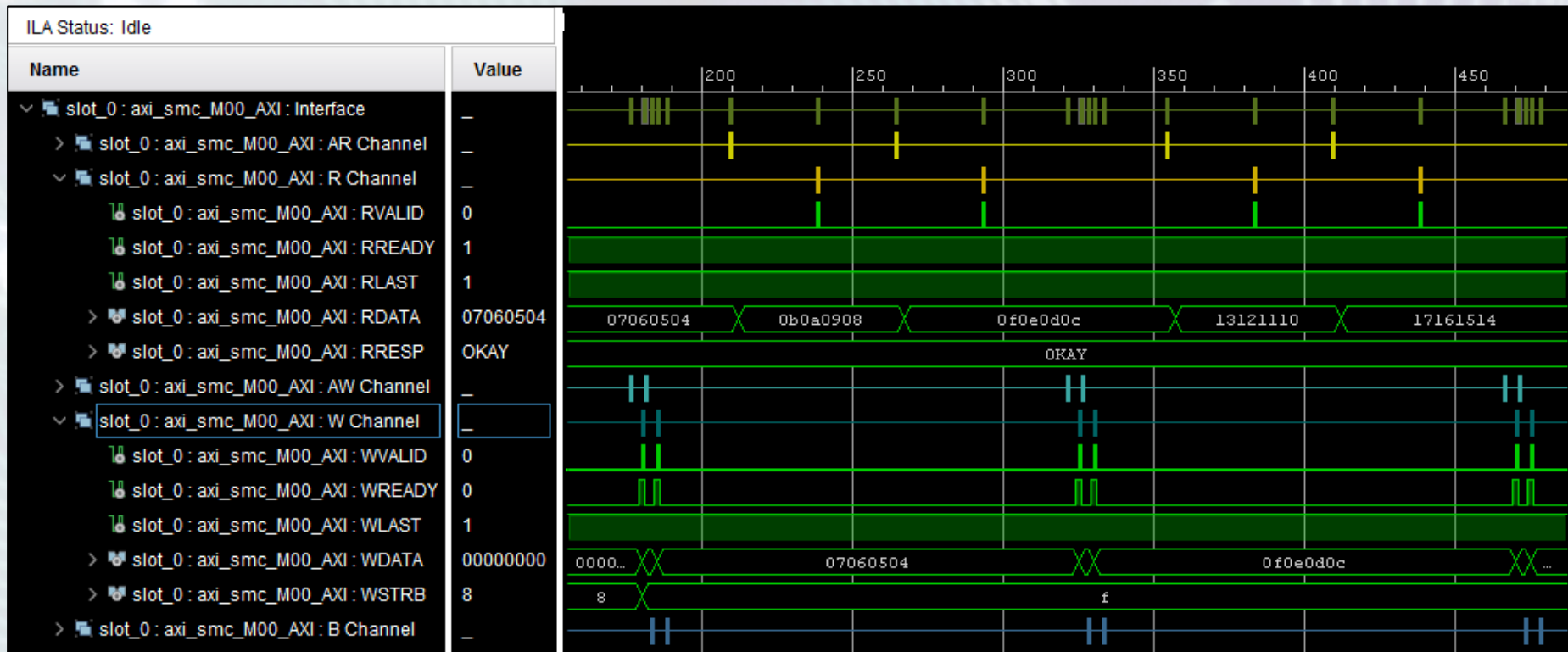
- Szóhossz növelése több memória IC felhasználásával
 - Cím, parancs, vezérlés: minden IC-hez közös
 - Távolabbi IC esetén nagyobb a késleltetés
 - Adat: egyedi bájt csoportok, eltérő késleltetés
- Írásnál és olvasásnál az eredő késleltetéseket ki kell egyenlíteni bájt csoportonként (**Write & Read Leveling**)
 - A vezérlőben hangolható késleltető egységek vannak
- **Bonyolult vezérlő szükséges**

fly-by
topológia



Programozott adatátvitel – MicroBlaze

- 1 MB adat másolása DDR3 külső memórián belül
- A MicroBlaze cache tiltott → egyszavas adatátvitel
- A busz kihasználtsága rossz (AXI4 R: 1,4 %, AXI4 W: 1,4 %)



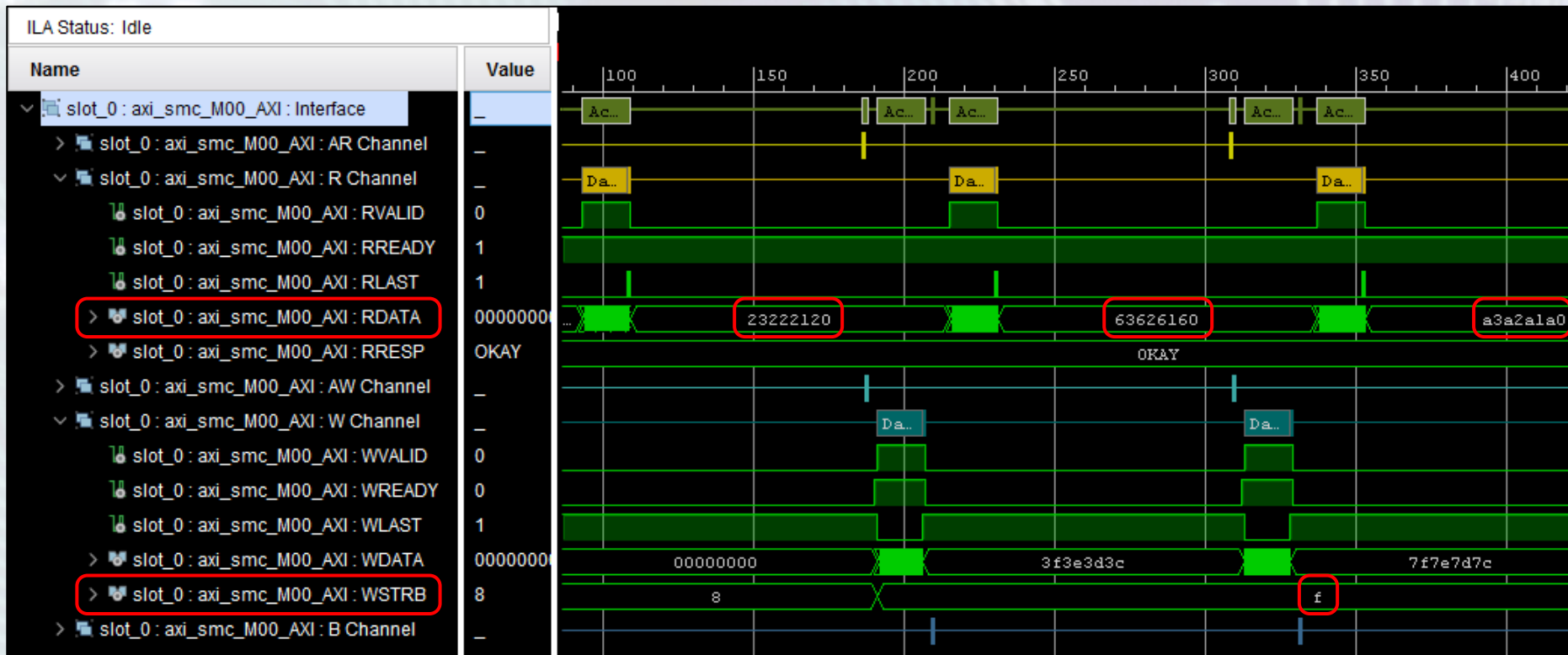
Programozott adatátvitel – MicroBlaze

- A cache engedélyezett (8 kB, write-back) → burst-ös átvitel
- A két 1 MB-os adatpuffer folytonosan helyezkedik el, így a cache direkt leképzése miatt a példában nincs valódi javulás!



Programozott adatátvitel – MicroBlaze

- A cache engedélyezett (8 kB, write-back) → burst-ös átvitel
- A két 1 MB-os adatpuffer között 64 bájt (1 cacheline) van, így a burst-ök teljesen kihasználtak (AXI4 R: 13,1 %, AXI4 W: 13,1 %)



Közvetlen memória hozzáférés (DMA)

- **A szoftveres adatátvitel nem hatékony**
 - Az adatátvitel alatt a processzor teljesen elfoglalt
 - A memória elérés mellett adminisztrációs teendők is vannak (pl. mutatók aktualizálása)
 - Adatpufferek elhelyezkedése → cache találati arány?
- **A hatékonyság nagymértékben növelhető, ha az adatátvitel megvalósítása közvetlenül hardveres (DMA)**
 - A CPU egyéb hasznos tevékenységet is végezhet
 - Az adminisztrációs teendők párhuzamosan elvégezhetők az adatátvitel mellett a hardverben
 - Tipikusan burst-ös adatátvitel történik
- **Megvalósítási lehetőségek**
 - Centrális DMA vezérlő: dedikált adatátviteli periféria
 - Az I/O periféria bus-master képességgel is rendelkezik

Közvetlen memória hozzáférés (DMA)

- **A DMA funkció használata**

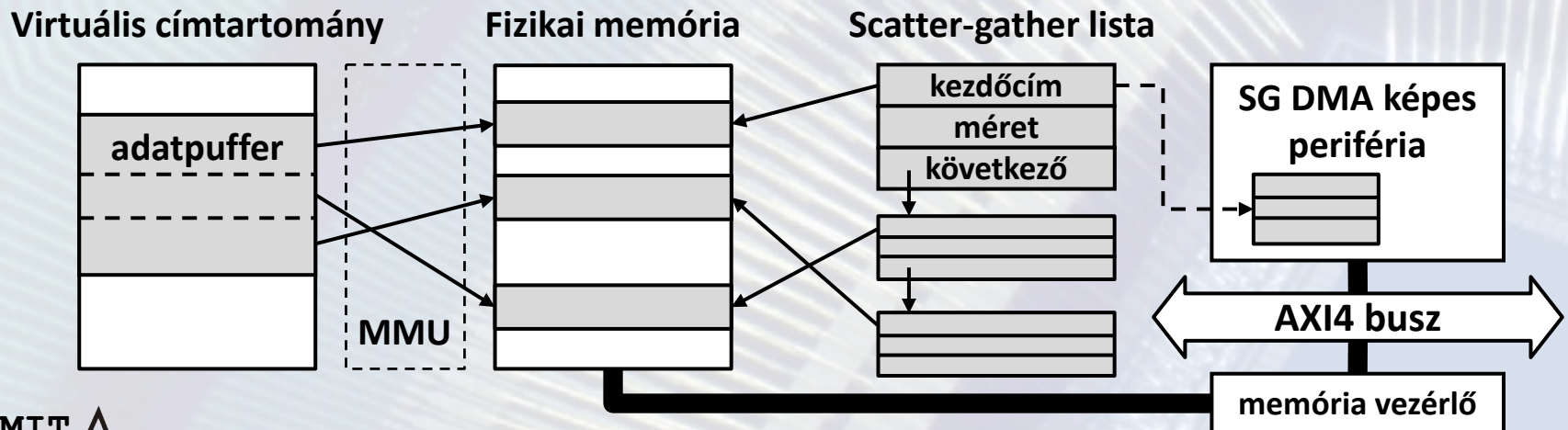
1. A CPU felprogramozza a DMA vezérlőt vagy a bus-master képességgel rendelkező perifériát
 - Üzem mód, forráscím, célcím, adatméret, stb. megadása
2. A periféria végrehajtja az adatátvitelt
3. A CPU megszakítást kap, ha az adatátvitel befejeződött
 - Lekérdezéses perifériakezelés is használható lenne, de nem hatékony, mert a CPU egyéb tevékenységet nem tud végezni

DMA – CPU cache

- **Ha a busz interfész nem biztosít cache koherenciát**
 - A memória és a gyorsítótár tartalma nem biztos, hogy megegyezik
 - A memória tartalmának módosulása esetén a gyorsítótár tartalma nem frissül
- **DMA memória olvasás előtt a write-back típusú gyorsítótár tartalmát ki kell üríteni a memóriába**
- **DMA memória írás után a gyorsítótár tartalmát érvényteleníteni kell**

DMA – Virtuális memóriakezelés

- A modern operációs rendszerek (például a Linux is) virtuális memóriakezelést alkalmaznak
- A DMA átvitel során fizikai címeket használunk
- A virtuális címtérben lévő folytonosnak látszó memóriaterület nem biztos, hogy folytonos a fizikai memóriában
- Scatter-gather DMA: az adatátvitel egy láncolt lista alapján történik, amely tartalmazza az adatpuffer fizikai memóriabeli darabjainak adatait (kezdőcím, méret, stb.)
 - Normál DMA esetén minden részre külön felprogramozás kell



DMA átvitel példa – MicroBlaze

- 1 MB adat másolása DDR3 külső memórián belül
- Az AXI CDMA IP-t használjuk → burst-ös adatátvitel
- A busz kihasználtsága nagyon jó (kisebb szünet előfordul)

