

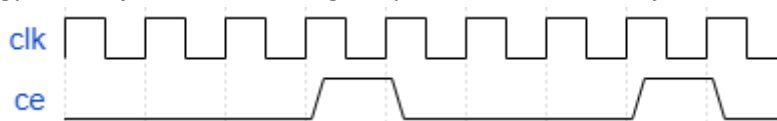
Szinkron sorrendi funkcionális elemek használata

Órajel engedélyező jel előállítás

A digitális rendszerek tervezése során gyakran felmerülő igény, hogy a rendszer egyes részeit a rendszer órajel frekvenciájánál lassabb ütemben működtessük, jó példa erre a 7-szegmenses vezérlő, melynek esetében kHz nagyságrendű működési sebességre van szükség.

Ezt megtehetnénk úgy, hogy előállítunk egy újabb, megfelelő frekvenciájú órajelet – ez azonban számos, nehezebben kezelhető problémát vet fel, amelyeket nem részletezünk.

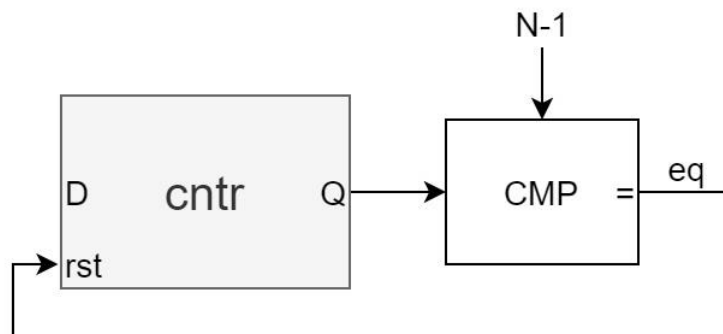
A másik megoldás a FF-k órajel engedélyezés (CE) bemenetének használata. Ebben az esetben a tárolók továbbra is a nagy sebességű rendszer órajelről működnek, de a FF-k beírását egy megfelelő frekvenciájú órajel engedélyező jellel lassítjuk. Az engedélyező jel tipikus hullámformáját (1 rendszer órajel hosszúságú impulzusok sorozata) az alábbi ábra mutatja. Jelen esetben az ezt a jelet használó FF-k minden negyedik órajelben lesznek engedélyezve, azaz frekvenciája a rendszer órajel negyede.



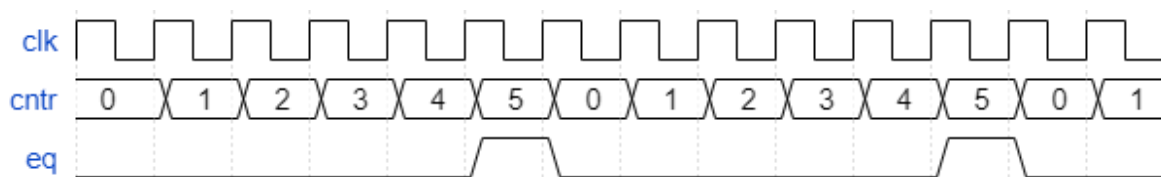
F1. Órajel engedélyező jel előállítása számlálóval.

F1.a Az engedélyező jel legáltalánosabb előállítási módja az N modulusú számláló, ahol N az engedélyező jel és a rendszer órajel frekvenciájának hányadosa. Milyen bitszámú számlálóra van szükség ehhez, hogyan valósítható meg az N modulus? Adja meg a Verilog leírást.

A számlálónak N különböző állapotot kell megvalósítania, így $B = \lceil \log_2 N \rceil$ bites számlálóra van szükség. A B bites számláló lehetséges állapotainak száma 2^B , így ahhoz hogy N állapotunk legyen, a számlálást az $N-1$ értéke elérésekor meg kell állítani, azaz a számlálót reset-elni kell.



Működés $N=6$ esetén:



Az engedélyező jel a komparátor kimenete.

```
reg [2:0] cntr;
```

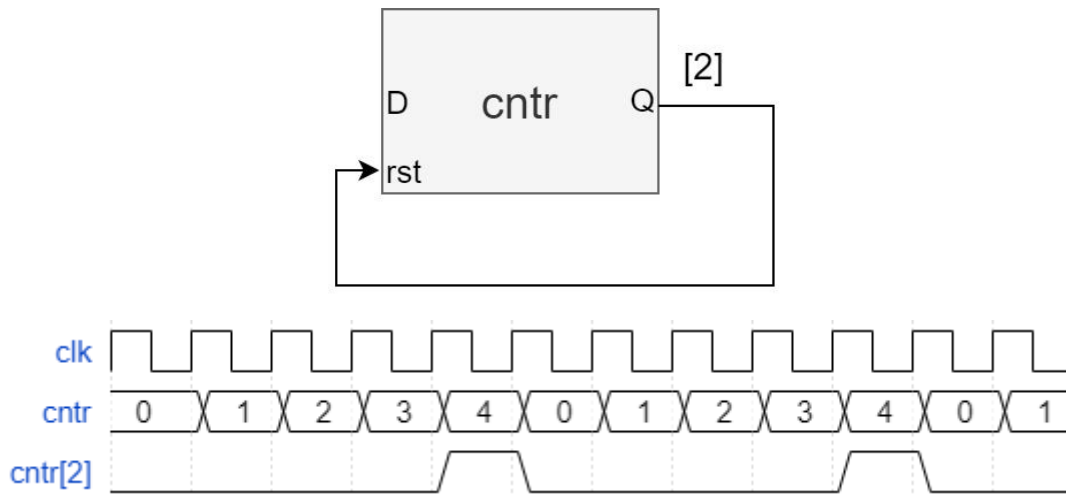
```
wire ce;
```

```
always @ (posedge clk)
if (rst) cntr <= 3'b0;
else if (ce) cntr <= 3'b0;
else cntr <= cntr + 1;
```

```
assign ce = (cntr==5);
```

F1.b Jelentősen egyszerűsíthető a megoldás, ha az órajel és az előállítandó engedélyező jel frekvenciájának aránya $N = 2^B + 1$ alakban írható fel. Milyen bitszámú számlálóra lesz ekkor szükség? Mekkora a számláló modulusa? Milyen egyszerűsítés lehetséges az **F1.a** megoldáshoz képest? Adja meg a Verilog leírást.

Ebben az esetben a számláló számlálási tartománya $0 \dots 2^B$, amihez $B+1$ bites számláló szükséges. Vegyük észre, hogy a számláló végértéke 2 hatványa, azaz binárisan felírva a legfelső bit 1 értékű, a többi 0. Az összes többi számláló érték esetében viszont a legfelső bit 0. Tehát az **F1.a** komparátora ebben az esetben a legfelső bit vizsgálatára redukálódik, azaz:



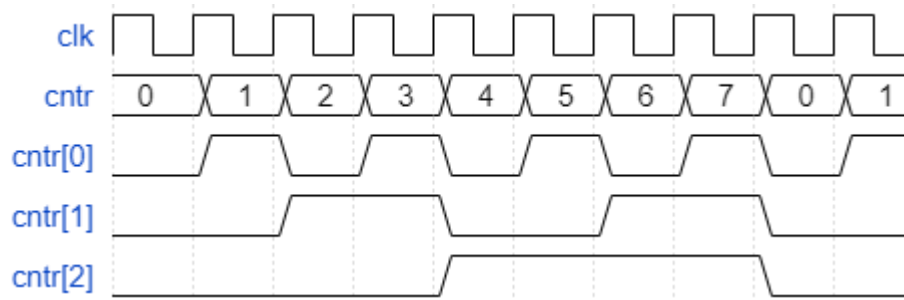
Az engedélyező jel a számláló felső bitje.

```
reg [2:0] cntr;
wire ce;
always @ (posedge clk)
if (rst) cntr <= 3'b0;
else if (ce) cntr <= 3'b0;
else cntr <= cntr + 1;
```

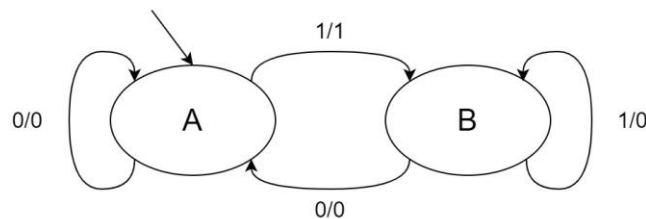
```
assign ce = cntr[2];
```

F1.c Abban az esetben is egyszerűbb megoldáshoz jutunk, ha az órajel és az előállítandó engedélyező jel frekvenciájának aránya kettő hatványa. Mi az a lehető legegyszerűbb (=a lehető legkevesebb bit megfigyelésével észlelhető) esemény, ami a számláló teljes számlálási ciklusában csak egyszer fordul elő? Hogyan detektálható ez az esemény? Adja meg a Verilog leírást.

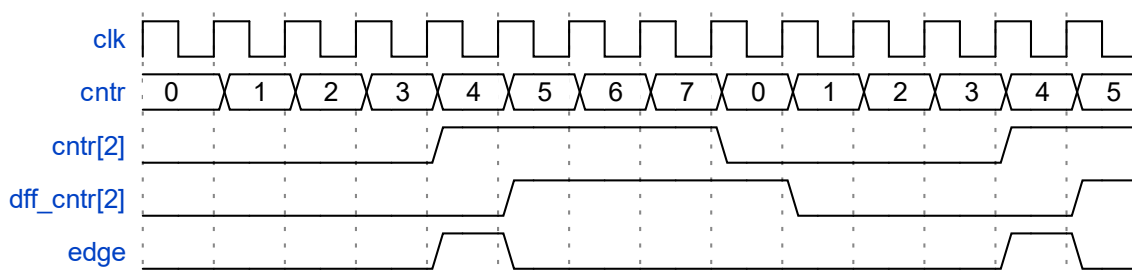
Egy B bites bináris számláló $0 \dots 2^B - 1$ értéktartományban számol, $B=3$ esetben a számláló bitjeinek hullámformája:



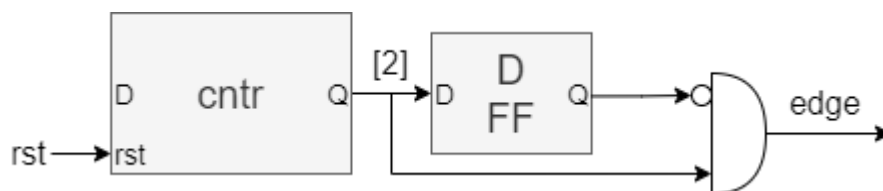
A teljes 0...7 számlálási ciklus alatt egyszer van felfutó (vagy lefutó) él a számláló legfelső bitjén, tehát ez az esemény számlálási ciklusonként egyszer fordul elő. A felfutó él detektálást végző állapotgép (Mealy) állapotgráfja:



Szemléletesen. A bit megváltozásának detektálásához nem elég a bit aktuális értéke, szükségünk van az előző órajelbeni értékre is – egy D FF-ban eltárolva a bitet tudjuk azt késleltetni egy órajellel. Amennyiben a bit megelőző értéke 0 (ez a D FF kimenete), a jelenlegi pedig 1 (ez a számláló aktuális kimenete), akkor van felfutó él. Tehát:



A blokkvázlat:



```

reg [2:0] cntr;
reg dff_cntr2;
wire ce;
always @ (posedge clk)
if (rst) cntr <= 3'b0;
else cntr <= cntr + 1;

always @ (posedge clk)
dff_cntr2 <= cntr[2];

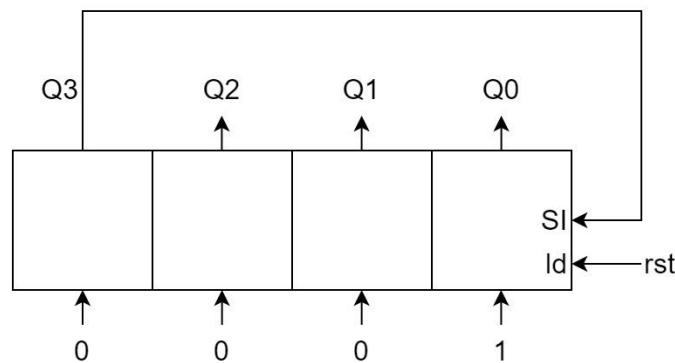
```

```
assign ce = cntr[2] & ~dff_cntr2;
```

F2. Shiftregiszteren alapuló megoldás.

F2.a A shiftregiszteren alapuló ún. gyűrűs számláló az egymást követő bináris értékek helyett egymást követő ún. 1-az-N-ből értékek segítségével valósítja meg a számlálást, azaz pl. 4 bites esetben az egymást követő értékek rendre $4'b0001 \rightarrow 4'b0010 \rightarrow 4'b0100 \rightarrow 4'b1000 \rightarrow 4'b0001 \rightarrow$. Hogy generálható ez a szekvencia shiftregiszter segítségével (mekkora bitszámú shiftregiszter szükséges, mit kössünk a shiftregiszter bemeneteire)? Adjuk meg a Verilog kódot.

A rotálás művelet úgy valósítható meg, hogy a „kishiftelt” bitet kötjük a shiftregiszter soros bemenetére, azaz visszacsatoljuk a shiftregisztert. A működés során a reset hatására betöltött, egy darab 1 bitet tartalmazó érték „kering” a regiszterben. Engedélyező jelként a shiftregiszter bármelyik bitje használható, praktikus okokból ugyanazt használjuk, mint ami a soros bemenetre van kötve (az ábrán Q3).



Ebben a megoldásban a shiftregiszter bitszáma megegyezik az órajel és az engedélyező jel frekvenciájának arányával, tehát csak kis arányokra jöhet szóba ez a megoldás (<32).

```
reg [3:0] shr;
wire ce;
always @ (posedge clk)
if (rst) shr <= 4'b1;
else shr <= {shr[2:0], shr[3]};
```

```
assign ce = shr[3];
```

F2.b Több shiftregiszter használatával sok esetben nagyobb osztási arányok is hatékonyan megvalósíthatók.

Bontsuk fel az előállítandó osztási arányt relatív prímekre, majd valósítsuk meg az egyes relatív prímeket előállító gyűrűs számlálót. Az előállítandó érték legyen 12. A különálló gyűrűs számlálókból hogyan állítható elő a megfelelő engedélyező jel?

$12 = 3 \cdot 4$, tehát egy 3 bites és egy 4 bites gyűrűs számlálót realizálunk. A 3 bites gyűrűs számláló adott bitje minden 3. órajelben 1 értékű, míg a 4 bites gyűrűs számláló adott bitje minden 4. órajelben 1 értékű. Relatív prímekről lévén szó, az az eset, hogy ugyanabban a pillanatban mind a 3 bites, mind pedig a 4 bites számláló adott bitje egy, $3 \cdot 4 = 12$ órajelenként fordul elő.

Tehát az engedélyező jel a két gyűrűs számláló kiválasztott bitjeinek ÉS kapcsolataként áll elő.

