

Budapesti Műszaki és Gazdaságtudományi Egyetem Villamosmérnöki és Informatikai Kar Méréstechnika és Információs Rendszerek Tanszék

Digitális technika Xilinx ISE GUI használata

BME MIT Fehér Béla Raikovich Tamás

FPGA labor

Xilinx ISE használata



A fejlesztőkörnyezet különböző módokon használható

1. Lokálisan a számítógépre telepítve: IE226 és IE321

Az otthoni használathoz szükséges a telepítőkészlet letöltése és ~12GB lemezterület

2. Virtuális gépen futtatva IE413

BME-MIT

3. A BME VIK kari felhőben <u>https://cloud.bme.hu</u>

Telepítés és lemezigény nélküli, de hálózati kapcsolatot igényel (VIK Cloud, KIFÜ-NIIF Cloud)

Bejelentkezés címtáron keresztül: Windows 10 ISE V2 VM Használat távoli asztal kapcsolaton keresztül vagy konzolban

4. KSZK SCHAcc távoli hozzáférés RemoteApp

Xilinx ISE

• Xilinx ISE: Összetett tervezői környezet, mi csak néhány egyszerűbb szolgáltatását használjuk



FPGA labor

Projekt létrehozása (1)

- Xilinx ISE 14.7/6 elindítása
 - Asztal \rightarrow Ikon
 - vagy
 - Start \rightarrow All Programs \rightarrow

ISE Design Suite 14.7

- Xilinx Design Tools \rightarrow
- ISE Design Suite $14.7 \rightarrow$
- ISE Design Tools \rightarrow
- 32/64-bit Project Navigator



Projekt létrehozása (2)

- Az új projekt létrehozása
 File → New Project
- Projekt neve: Lab1
- Helye pl. D:\DTLab\
- Projekt típusa: HDL

BME-MIT

BME-MIT

zard	
ject	
n and type.	
ons, and comment for the project	
Lab1	
D:\DTLab\Lab1	
D:\DTLab\Lab1	
op-level source for the project	
	Next Cance
	izard jject in and type. ions, and comment for the project Lab1 D:IDTLabIkab1 D:IDTLabIkab1 op-level source for the project pe:

Projekt létrehozása (3)

• Ami fontos: A fizikai alkatrész specifikálása

– Family: Spartan3E –		BORES	
– Device: XC3S250E –	🚱 🍃 New Project Wizard		×
– Package: TQ144 –	Project Settings Spearly device and project properties. select the device and design flow for the p	voject	
Cuanda 1	Property Name	Value	
- Speed: -4 $-$	Evaluation Development Board	None Specified	•
1	Product Category	All	•
	Family	Spartan3E	•
A feldolgozási tech-	Device	XC3S250E	-
	Package	TQ144	
17 • • • • • • • 1 7 1 7	Speed	-4	-
nologia specifikalasa	Top-Level Source Type	HDI	
8	Synthesis Tool	XST (VHDL/Verilog)	1
~	Simulator	ISim (VHDL/Verilog)	ī.
$-$ Synthesis tool \cdot XST	Preferred Language	Verilog	•
5 ynuicsis (001. 755 i	Property Specification in Project File	Store all values	•
	Manual Compile Order		_
Drof long Varilag	VHDL Source Analysis Standard	VHDL-93	-
– Piel. lang. vernog	Enable Message Filtering		
	More Info	Next Canc	:el

Projekt létrehozása (4)

- Összefoglalás a beállításokról
- A Finish után a projekt struktúra létrejön

BME-MIT

 Ezután következik a projekt forrásfájlok előkészítése



Projekt források létrehozása (1)

- A tervet a HDL forrásfájlok specifikálják
 - Project \rightarrow New Source
 - vagy a Design ablakban jobb gomb \rightarrow New Source



no files. You can add files to the project using the om the Project menu, and by using the Design, Mew Source... Add Source... ite a 👔 Add Copy of Source.. an ex Manual Compile Order : **T**o c Implement Top Module File/Path Display ۲ ed. Expand All Collapse All (A) <u>F</u>ind... Ctrl+F Design Properties...

Projekt források létrehozása (2)

Az első forrásfájl típusa:

- Verilog Module
- Fájl neve: Lab1_1
- (kiterjesztés .v)
- Helye: a projekt könyvtár
- $-\sqrt{\text{Add to project}}$

BME-MIT



FPGA labor



- Bus $\sqrt{}$
- MSB 7 LSB 0

_{вме-міт Д}Lehetne bitenkénti megadás is (sw0, sw1,..sw7)

More Info

Next Cancel

Projekt források létrehozása (4)

- Összefoglalás a beállításokról
- Finish után létrejön a Lab1_1.v Verilog HDL forrásfájl
- A hikon jelzi, hogy ez a projekt hierarchia csúcsán lévő,

"Top Module" forrás fájl



 Minden más projektfájl ez alá fog rendeződni

Summary					
Project Navigator will crea	ate a new skeleto	n source with the	e following specificat	tions.	
Add to Project: Yes Source Directory: D:\DTLa Source Type: Verilog Modu	b\Lab1 le				
Source Name: Lab1_1.v					
Module name: Lab1_1 Port Definitions:					
sw Id	Bus: Bus:	7:0 7:0	input output		

FPGA labor

Projekt források létrehozása (5)

• A Lab1_1.v Verilog minta szövegfájl tartalma

- `timescale 1ns/1ps: A szimuláció során az időfelbontás 1ps, az értékek ns-ban értendők 1,23456789us = 1234,568ns
- A (zöld) megjegyzés mező nem lényeges // Project Name:
- A Verilog fájl moduleendmodule törzse tartalmazza az általunk megadott input output paramétereket, továbbá ide kerül majd a forráskód lényeges, a működést specifikáló része, azaz a funkciót leíró kódsorok (lásd később)

`timescale 1ns / 1ps // Company: Engineer: Create Date: 23:5 Design Name: Module Name: Lab1 Tool versions: Description: Dependencies: 11 // Revision: :// Revision 0.01 - Fil€ // Additional Comments: 11 module Lab1 1(input [7:0] sw, output [7:0] ld); endmodule

Projekt források létrehozása (6)

- Összetett feladatok esetén a terv részleteit önálló modulokba érdemes elhelyezni
- A modulok legyenek önálló fájlok
- A részekre osztás (partícionálás) finomsága (az egyes modulok komplexitása) egyéni döntés kérdése
- A lényeg, hogy segítse a terv megértését
- Sok esetben használhatunk már meglévő, könyvtári modulokat. Ezek vagy csak olvashatók, vagy ha nem, akkor csak a másolatukat adjuk hozzá a projekthez.

• Léteznek paraméterezhető modulok is (lásd később)

FPGA labor

– Projek			- 8-	idasa	(.UCF)	!
-110 JCM	$\Delta \Delta d a$	1 Conv of Sc	niro	0		
	$a \rightarrow Auc$	r Copy of Sc	Juic	└		
- Johh c	romh és	$\rightarrow Add Cor$	W O	f Sour	20	
- J000 g	501110, CS		<i>y</i> 0.	Design		
Add Copy of Source			×	View: @	🔯 Implementation 💿 🞆 Si	mulation
🔾 🗢 🖟 « Helyi lem	ez (D:) 🕨 DTLab 🕨	✓ 4y Keresés: DTLab	2	Hierarch	/ _b1	
Rendezés 🔻 Új mappa	3	811 -	1 0		aD1 c3s250e-4tq144 llab1_1 (D:\DTLab\Lab1	1\[ab1 1.v]
🖳 Legutóbbi helyek 🔺	Név	Módosítás dátuma	Típus			
Felvett tévéműso	lab1	2014 07 28 23:56	Fáilmann:	63	[The New Source
🐔 OneDrive	Lab2	2014.07.29. 0:27	Fáilmappi			Add Source
	📗 Lab3	2014.07.29. 0:27	Fájlmappi			👔 Add Copy of Source
Könyvtárak	📗 Lab4	2014.07.29. 0:27	Fájlmappi			Open
Dokumentumok	📗 Lab5	2014.07.29. 0:27	Fájlmappi			Bemove
Videók	LOGSYS_SP3E	2014.07.28.14:55	UCF fájl	► 70 NoF	rocesses Running	Manual Compile Order
J Zene				Processe	s Lab1 1	Set as Top Module
•					– Design Summary/Reports	Smart <u>G</u> uide
🖓 Otthoni csoport				Bi 🖶 🏅	Design Utilities User Constraints	🕨 Implement Top Module
				Q	Synthesize - XST	File/Pat <u>h</u> Display
🖳 Számítógép				S = 1	Implement Design Generate Programming Fi	Expand All
🕌 Helyi lemez (C:)				⊕ §	Configure Target Device	Collapse All
🕞 Helyi lemez (D:) 👻	•	III	÷.		Analyze besign osing chil	M Find Ctrl-
		Courses(* bat *b.d *b.d *	*1			en contra
Fájlné	V: LOGSYS_SP3E	 Sources(v^.h ▼			(The Device Devention

FPGA labor

Projekt források létrehozása (8)

A projektstruktúra elkészült

#NET "ld<7>" #NET "ld<6>"

#NET "1d<5>"

#NET "1d<4>"

#NET "1d<3>"

#NET "1d<2>"

#NET "ld<1>"

BME-MIT

#NET "1d<0>" LOC = "P59";

LOC = "P43";

LOC = "P50";

LOC = "P51";

LOC = "P52";

LOC = "P53"

LOC = "P54";

LOC = "P58";

4 digites kijelző aktív ALACSONY szegmens v # Ugyanezeket a lábakat használjuk a 7x5 matr.

!# vezérlésére is, a row<i> = seg<i>, megfelel

:‡ ahol 0≺=i≺=6 és a felső sort jelöli a 0 ind

#NET "seg_n<7>" LOC = "P34"; #7

#NET "seg_n<6>" LOC = "P33";

#NET "seg_n<5>" LOC = "P32";

-0-

÷

#6 5

#5



8 LED, balról jobbra számozva NET "1d<7>" NET "1d<6>" LOC = "P43"; LOC = "P50"; NET "ld<5>" LOC = "P51"; NET "ld<4>" LOC = "P52"; NET "ld<3>" LOC = "P53"; LOC = "P54"; NET "ld<2>" NET "ld<1>" LOC = "P58"; NET "ld<0>" LOC = "P59";

4 digites kijelzõ aktív ALACSONY szegme: # Ugyanezeket a lábakat használjuk a 7x5 r # vezérlésére is, a row<i> = seg<i>, megfe # ahol 0<=i<=6 és a felsõ sort jelöli a 0 # ----#NET "seg_n<7>" LOC = "P34"; #7 | #NET "seg_n<6>" LOC = "P33"; #6 5

Projekt terv megvalósítása (1)

- A tervezési feladat alapján megírjuk a "Top Module" és az esetleges egyéb modulok funcionalitását realizáló kódrészleteket
 - Lásd pl. Lab1_1.v 1, 2, 3 feladatok
- Mentés, szintaktikai ellenőrzések, javítások
- Ha minden rendben, akkor
 - Az elvi (funkcionális) terv ellenőrzése szimulációval
 - A terv realizálása és a generált konfiguráció letöltése a kártyára, és tesztelése a működő hardveren

BME-MIT

FPGA labor

Példa: Lab1_1 tervezési feladatok

• A létrehozott Lab1_1.v Verilog HDL modul üres vázába készítjük el az első tervspecifikációt

```
`timescale 1ns / 1ps
  // Digitális Technika Laboratórium 1. hét
  // 1. bemutató projekt: A környezet használatának bemutatása
  // LED-ek vezérlése DIP kapcsolókkal
  // Részfeladatok:
  // 1 1 1 Egyszerű vezetékezés, műveletvégzés nélkül, 8 bites vektor jelekkel
  // 1 1 2 Kettes komplemens képzés
  // 1_1_3 Aritmetikai műveletek vizsgálata (+, *, /, %, **) 4 bites operandusokon
  module Lab1 1(
     input
           [7:0] sw,
     output [7:0] ld
     );
  // IDE ÍRANDÓ A VERILOG KÓD
  // ....
  // ....
  endmodule
BME-MIT
```

A terv ellenőrzése szimulációval

- A szimulátor egy számítógépes program, amely a terv logikai működését ellenőrzi
- Funkcionális szimulációnál csak a modulok bemeneti – kimeneti összefüggéseit szimulálja, a valós fizikai hatásokat, a végleges terv valódi belső paramétereit (időzítés, terhelés) nem kezeli
- A szimulátor egy tesztkörnyezetet ad, amelyben <u>a bemeneteket jelforrásokkal, "generátorokkal"</u> <u>vezéreljük és vizsgáljuk "monitorozzuk" a</u> <u>kimenetek állapotát</u> (mintha valóban működtetnénk)

BME-MIT

FPGA labor

A szimulációs környezet

- A Xilinx ISE beépített szimulátora az ISim
 - Verilog és VHDL tervek funkcióját szimulálja
 - Gyári alkatrészmodell könyvtárakat használ
- A tesztkörnyezet neve Verilog Test Fixture
 - Speciális modul, nincsenek bemenetei/kimenetei, azaz minden belül van, ami a szimulációhoz kell
 - Persze mindent nekünk kell beletenni, mert kezdetben üres
 - Specifikáljuk a meghajtó jeleket, tesztvektorokat, gondoskodunk az alaphelyzetbe állításról és a kimeneti eredmények kiértékelési módjáról.

BME-MIT

A szimulációs környezet

• A tesztkörnyezet hierarchia felépítése

- Szimulációs környezet = (Verilog Test Fixture)
- A beágyazott Verilog module, a tesztelt tervfájl azonosítója UUT, "Unit Under Test"
 - Ez egy általános azonosító a tesztkörnyezetbe beillesztett tetszőleges tervezési fájlra (pl. Lab1_1.v)
- Megjegyzés: A szimulációs környezet felépítése általában összetettebb munka, mint a tervfájl elkészítése. Sokan nem is szeretik ezt a feladatot.
- De ellenőrzés nélkül a terv ritkán működik helyesen!
 Ez jellemzően minden területen igaz!

BME-MIT

BME-MIT

FPGA labor

A szimuláció előkészítése

- A projekt nézetet átváltjuk szimulációs módba
- View → Simulation
 - Hatás: UCF nem látható
 - Alul Process ablak ,,kiürül"
 - Csak a legfelső szintű (jelen esetben egyetlen) Lab1_1.v tervfájl marad látható
 - Ehhez rendeljük hozzá új forrásként a tesztkörnyezetet

```
(az ismert módokon...)
```

1	View: O 191 Implementation @ E	Simulation	
E	Behavioral		
6	Hierarchy		
	🖳 🔄 Lab1		
0.0	□- ☐ xc3s250e-4tq144	1.561.1.50	
æ		2801_1.0)	
62		New Source	
		Add Source	
		Add Copy of Source	
		Manual Compile Order	
		File/Path Display	
	No Processes Running	Expand All	
٩Ľ	No single design module is selected	Collapse All	
觊	🔄 🎾 Design Utilities	A Find Ctrl+E	
94			
		Design Properties	
		·	

FPGA labor

A szimuláció előkészítése

- Az új forrás típusa Verilog Test Fixture
 - Neve legyen a tervhez kapcsolódó, _TF kiegészítéssel. Pl. Lab1 1 TF.v
 - Ez is egy Verilog HDL fájl, csak a használata speciális
 - Csak az ellenőrzés során használjuk

BME-MIT

BME-MIT

Select Source Type, fle name and its location.	File name: Lab1_1_TF Location: D:\pTLab\Lab1 (
--	---

FPGA labor

A szimuláció előkészítése

- A Verilog Test Fixture mintafájl generálása a tesztelendő fájl (UUT) interfészjellemzőitől (a bemeneti és a kimeneti jelektől) függ, ezért meg kell adni a fájlt.
 - A példában csak egy fájl van, ezért ez egyértelmű
 - Összetettebb projektnél kiválasztható, mi legyen a teszt célpontja

	×
🚱 🍃 New Source Wizard	
Associate Source	
Select a source with which to associate the new source.	
Lab1_1	
More Info	Next Cancel

A szimuláció előkészítése

- A létrehozott Lab1_1_TF a szimulációs üzemmód beágyazó környezetét biztosítja
- Vezérli a bemeneteket, megfigyeli a kimeneteket
- Beépíti a Lab1_1.v tervet, mint UUT
- Inicializálja a változókat, és futtat 100ns idejű szimulációt
- Ezután várja a saját tesztvektorok, tesztelőírások megadását az initial begin end blokkon belül



FPGA labor

A szimuláció indítása

- A szimuláció indítása a Lab1_1_TF.v Verilog Test Fixture fájl kiválasztásával és a Process ablakban a Simulate Behavioral Model parancs kiadásával lehetséges
- Ekkor egy önálló program, az ISim szimulátor indul el
- Ez beolvassa a forrásokat és szintaktikai ellenőrzés után a szimulációs projekt futatható modelljét generálja, amit az ISim GUI-ban tesztelhetünk



BME-MIT

A Xilinx ISim szimulátor

• A szimulátor egy összetett program környezet

 Legfontosabb részlete a hullámforma ablak, ahol az idő függvényében látjuk, hogy a bemeneti vezérlésre



Az ISim használata

- A HDL alapú tesztelés a programozott tesztvektor generálással használható
 - A Test Fixture fájlban előírjuk a teszt időbeli lefutását.
 - Az initial begin end egyfajta ütemezett lefutást biztosít, azaz 100ns ütemezéssel (`timescale) kiadja/aktiválja/végrehajtja az új tesztvektorokat, majd leáll
- A Test Fixture újrafordítás után használható az Isim

újraindításával vagy Re-launch

timescale 1ns / 1ps
nodule Lab1_1_TF;
// Inputs reg [7:0] sw;
// Outputs wire [7:0] ld;
<pre>// Instantiate the Unit Under Test (UUT) Lab1_1 uut (.sw(sw), .ld(ld));</pre>
<pre>initial begin // Initialize Inputs sw = 0;</pre>
<pre>// Wait 100 ns for global reset to finish #100;</pre>
<pre>// Add stimulus here #100 sw = 8'b01010101; #100 sw = 8'b0111000; #100 sw = 8'b11001100; #100 sw = 8'b10001011;</pre>
end
endmodule

Lab1 1 1 feladat A szimuláció befejezése után generáljuk a specifikációhoz tartozó konfigurációs adatfájlt - Implementációs mód (NEM SZIMULÁCIÓS!) View: () 🔯 Implementation () 👰 Simulation J Hierarchy – A Lab1 1.v tervezői fájl aktív (+ az UCF is) Design 👔 View: 💿 🔯 Implementation 🔘 🔝 Simulation Hierarchy Processes: Lab1_1 - 🖻 Lab1 £ ⊨ 🛄 xc3s250e-5tq144 Σ Design Summary/Reports □ V Lab1_1 (D:\Xilinx\Projects\DTLab\Lab1\Lab1_1.v) • 2 **Design Utilities** D:\Xilinx\Projects\DTLab\Lab1\LOGSYS SP3E.ucf User Constraints – Konfigurációs fájl generálás Ē-€2 Synthesize - XST (**5** -⊕ Implement Design Generate Programming File Ē٠ Configure Target Device ் செ Analyze Design Using ChipScope BME-MIT FPGA labor

Az FPGA felkonfigurálása

• Indítsuk el a LOGSYS alkalmazást



- Csatlakoztassuk a fejlesztői kábelt a számítógéphez és az FPGA kártyához
- Kapcsoljuk be a +5V tápfeszültséget, ellenőrizzük a mért adatokat:
 V_{out}: 5V;
 V_{ref} I/O: 3,3V;
 V_{ref} JTAG: 2,5V;
 I_{out}: kb. 50mA

BME-MIT

Az FPGA felkonfigurálása

- Nyissuk meg a JTAG Download konfigurációs interfészt
- Azonosítsuk az elérhető eszközöket→ Query JTAG Chain
- Válasszuk ki az FPGA-t a listából (csak egy eszköz van)
- Töltsük le az FPGA-ra a projekt könyvtárból a

labl 1.bit fájlt	I Logsys Control Panel		X
(Configure)	File View Window Help LDC201 Info LOGSYS development cable Incomfiguration LDCSYS development cable Incomfiguration	JTAG Devices in the JTAG chain:	▼ X ■ JTAG
A zöld színű	Control Communication RST BitBang I/O CLK UART	Query JTAG chain XC3S250E (Xilnx)	Configure the selected device
DONE LED kigyulladása	Power Voltage Current Maximum Value: 450 ▼ mA Log to file	Config0n Falure Stop User Level Novice MessageLevel Detailed svilber Time Tale SviblerSwap Ado_Correction Adotrier false	
jelzi a sikeres konfigurálást	Presourcement Stort AS V Maximum Value: 500 ⊕ mA I/Oref: 3,29 V Critical Value: 90 ⊕ % JTAGref: 2,48 V Samples/Second: 10 ⊕	SMPByQloglayComments tase "L' Loading file" OUTLAb Lab Nbb 1_1 bit" done. UserID read from the bitstream file = 0xFFFFFFF. 	
 Teszteljük a 		1": Programming device LCK_cycle = NoWat. LSK_cycle = NoWat.	F
működést!	0 U/2,00 500,00	Configuration is finished . Duration: 12,73 s.	• •
¥ ·			FPGA labor