

**BUDAPESTI MŰSZAKI ÉS GAZDASÁGTUDOMÁNYI EGYETEM**  
**VILLAMOSMÉRNÖKI ÉS INFORMATIKAI KAR**  
**MÉRÉSTECHNIKA ÉS INFORMÁCIÓS RENDSZEREK TANSZÉK**

# **Digitális rendszerek tervezése**

## **FPGA áramkörökkel**

**Fehér Béla**

**Szántó Péter, Lazányi János, Raikovich Tamás**

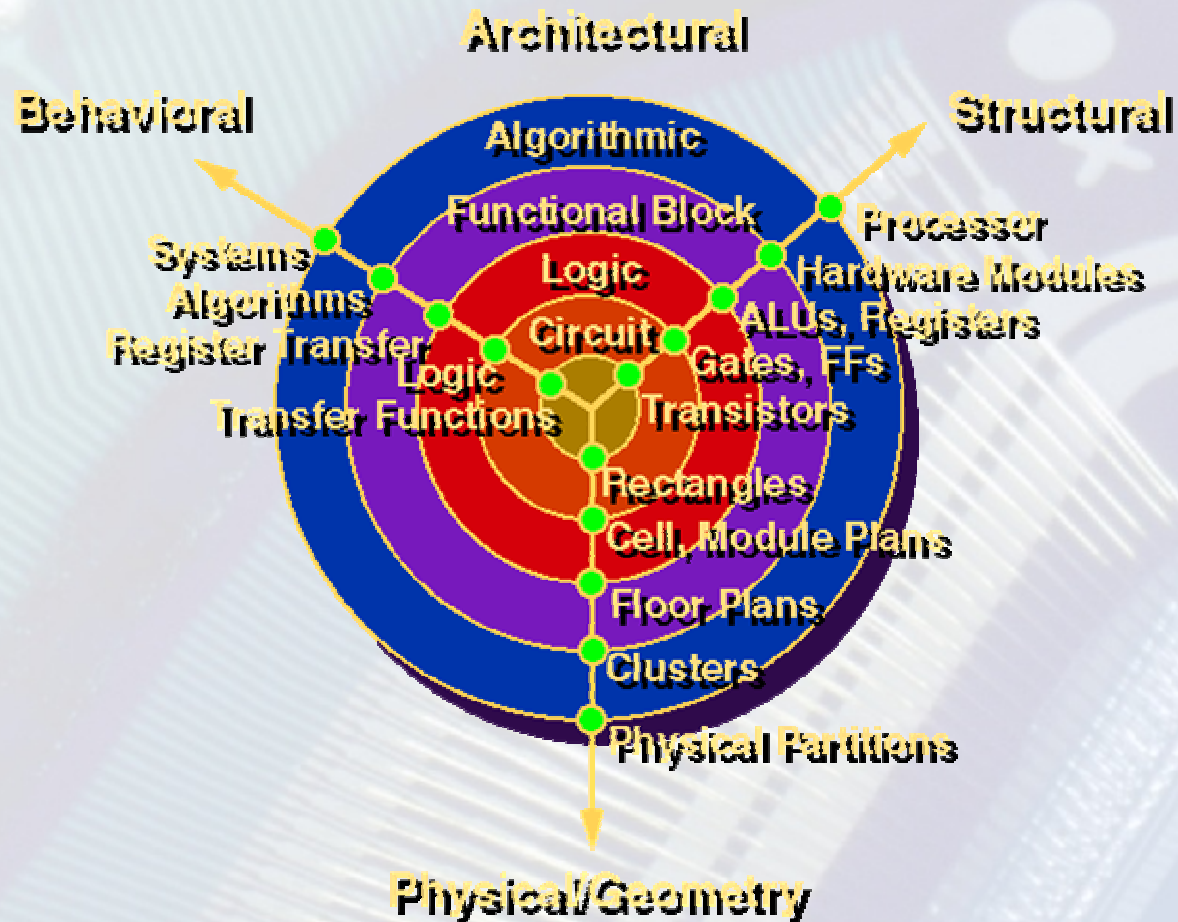
**BME MIT**

**FPGA laboratórium**



# Rendszer leírási módszerek

- Gajski – Kuhn féle Y diagram



# Rendszerspecifikáció

- Felhasználói/piaci igények alapján





# Specifikáció finomítása

- **Felhasználói specifikáció**
  - Általában szöveges formában
  - Jellemzően nem műszaki paraméterek
- **Előzetes rendszerterv**
  - Követelmények lefordítása
  - Főbb paraméterek meghatározása
- **Funkcionális rendszerterv**
  - Globális döntések a megvalósításról
  - Modul funkciók specifikálása
- **Logikai tervezés**



# Hierarchikus tervezési módszerek

- Felülről lefelé (top-down)

- Alulról felfelé (bottom-up)

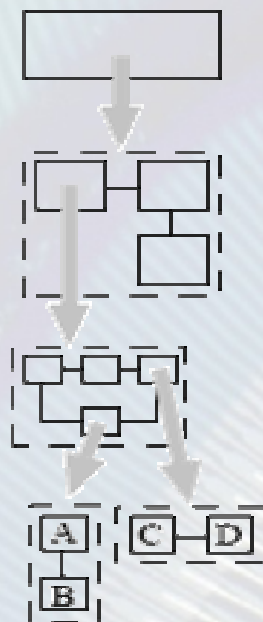
Level:

System

Modules

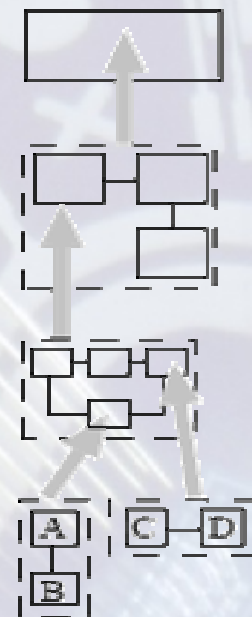
Gates and  
flip-flops

Transistors



*Top level*

*Bottom level*

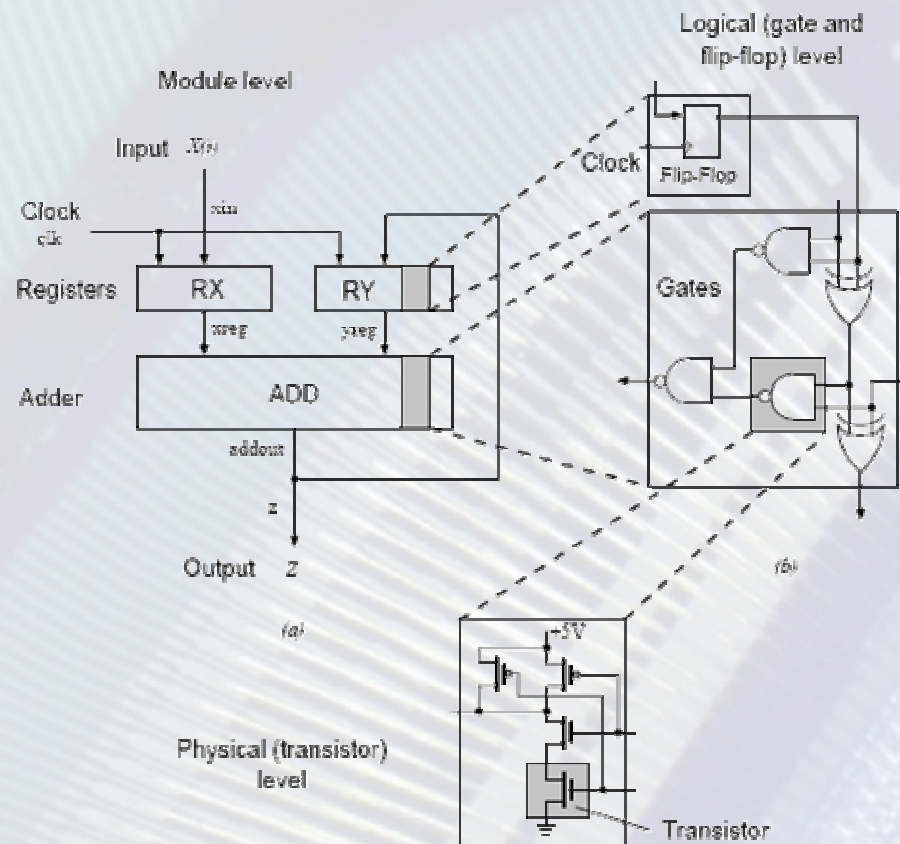


– Léteznek a kívánt típusú komponensek?

– Megfelel a rendszer a specifikációnak?

# Tervezési szintek

- A hierarchikus szintek szétválaszthatók
- Gyakran egyedi tervezési megközelítést igényelnek



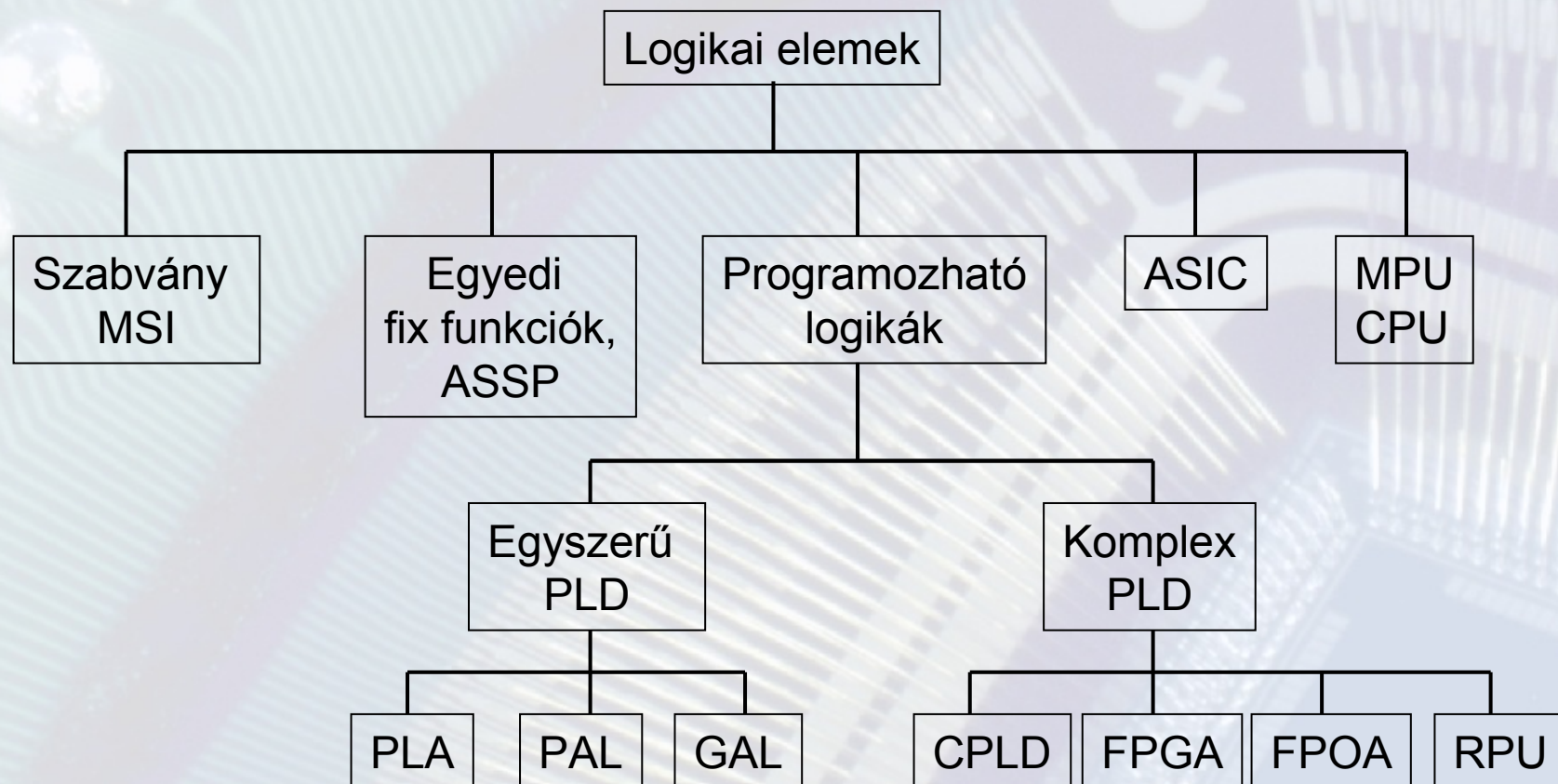
# FPGA technológia előnyei

- **Az eszköz hardver szinten programozható**
  - A **MIT** ↔ **HOGYAN** több iterációban is elemezhető
- **Általában a felülről-lefelé haladó tervezési módszertant választjuk**
  - **DE** vetünk egy pillantást az eszköz adatlapjára, tudjuk milyen elemi és összetett komponenseket kínál
- **A modulszintű, funkcionális leírásra koncentrálnunk, a részletek kidolgozását a tervezőrendszerre hagyjuk**
  - **DE** ellenőrizzük a megvalósítás fontos paramétereit



# Technológiai áttekintés

- **Digitális eszközök típusai**



# Egyszerű PLD eszközök

- **Egyszerű struktúra, egyszerű használat**
- **Kétszintű kombinációs logika + regiszter**
- **Domináns elrendezés: mintermek összege**
- **Általános formában**

$$F^k = \Sigma m_i$$

- **Például 4 változóra egy egyszerű kifejezés**

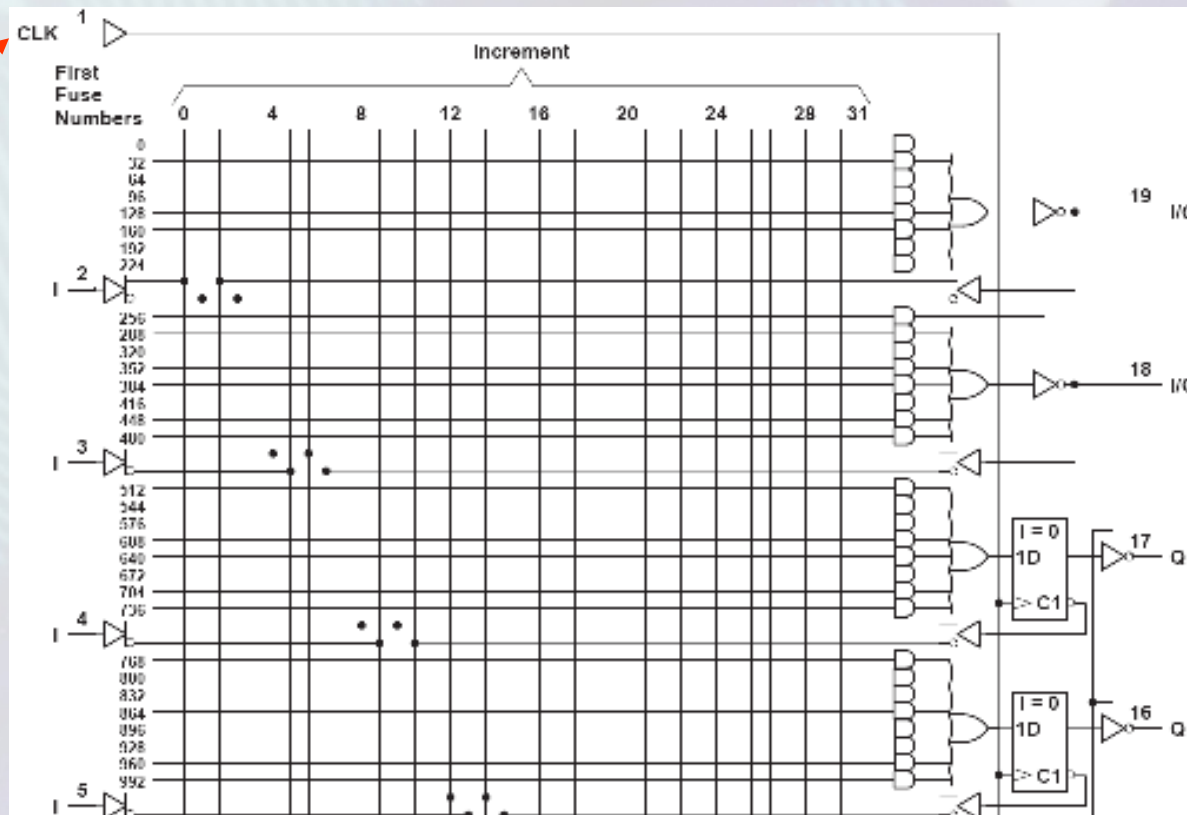
$$F^4 = AB + ACD + BC$$

- **Minimális szemantikus távolság**
  - Specifikáció → megvalósítás

# Egyszerű PLD eszközök

- PAL áramkörök felépítése (részlet PAL16xx)

Dedikált  
CLK láb



Logic I/O

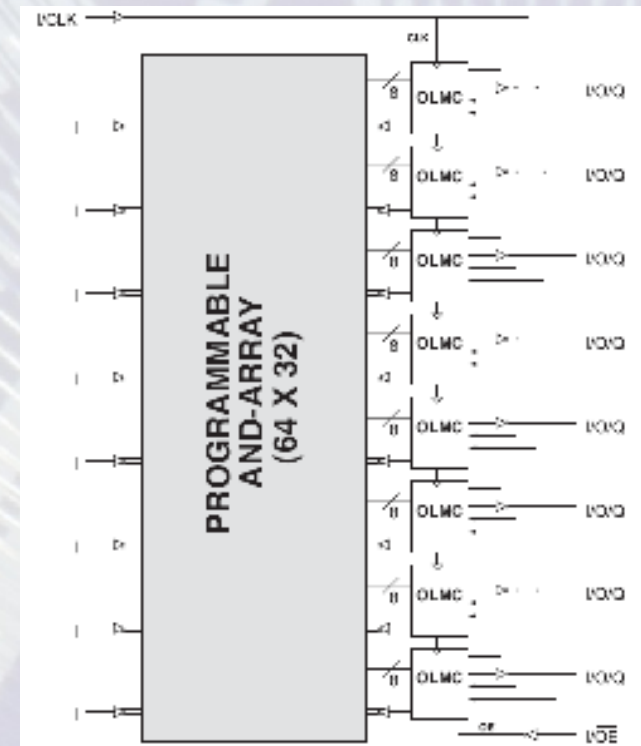
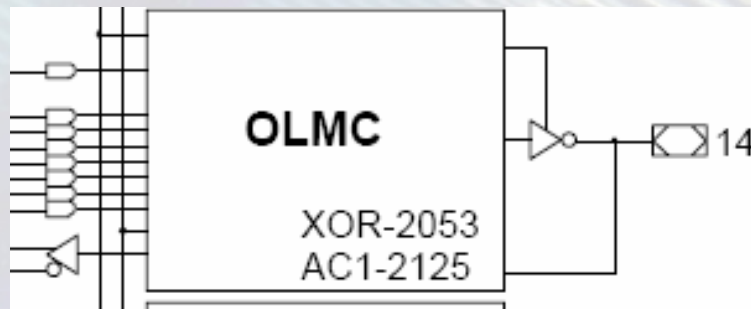
Register Q

Dedikált  
OEn láb



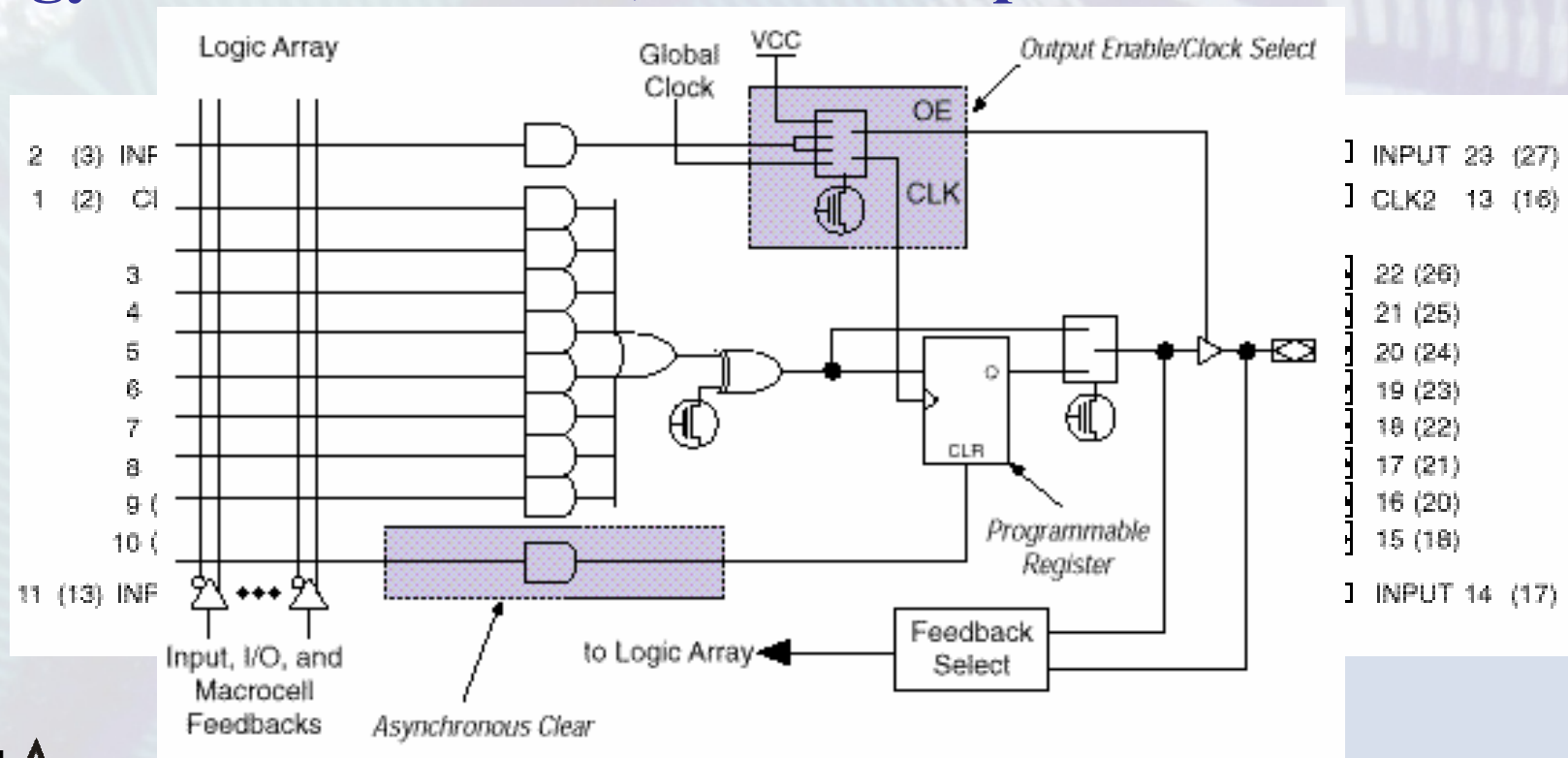
# Egyszerű PLD eszközök

- PAL, PLA → Programozható logika
- GAL → Programozható architektúra
  - Kimeneti makrocella
    - Logika
    - Regiszter
    - Ponált/negált



# Egyszerű PLD eszközök

- Altera EP sorozat → Valóban univerzális PLD
- Szimmetrikus felépítés, minden láb I/O, kivéve...
- Egyszerű makrocella, az összes opcióval



# Tervezési szempontok

- **Komplexitás becslés (lábszám, logika, sebesség)**
- **Terv előkészítés egyszerű leírónyelven (PALSM, ABEL, CUPL, AHDL)**
- **Fordítás, feldolgozás**
- **Szimuláció, tesztvektorok (logikai egyenletekre!)**
- **Optimalizálás, leképezés**
- **Szimuláció eszközmodell alapján (nincs időzítés!)**
- **JEDEC fájl generálás és programozás**



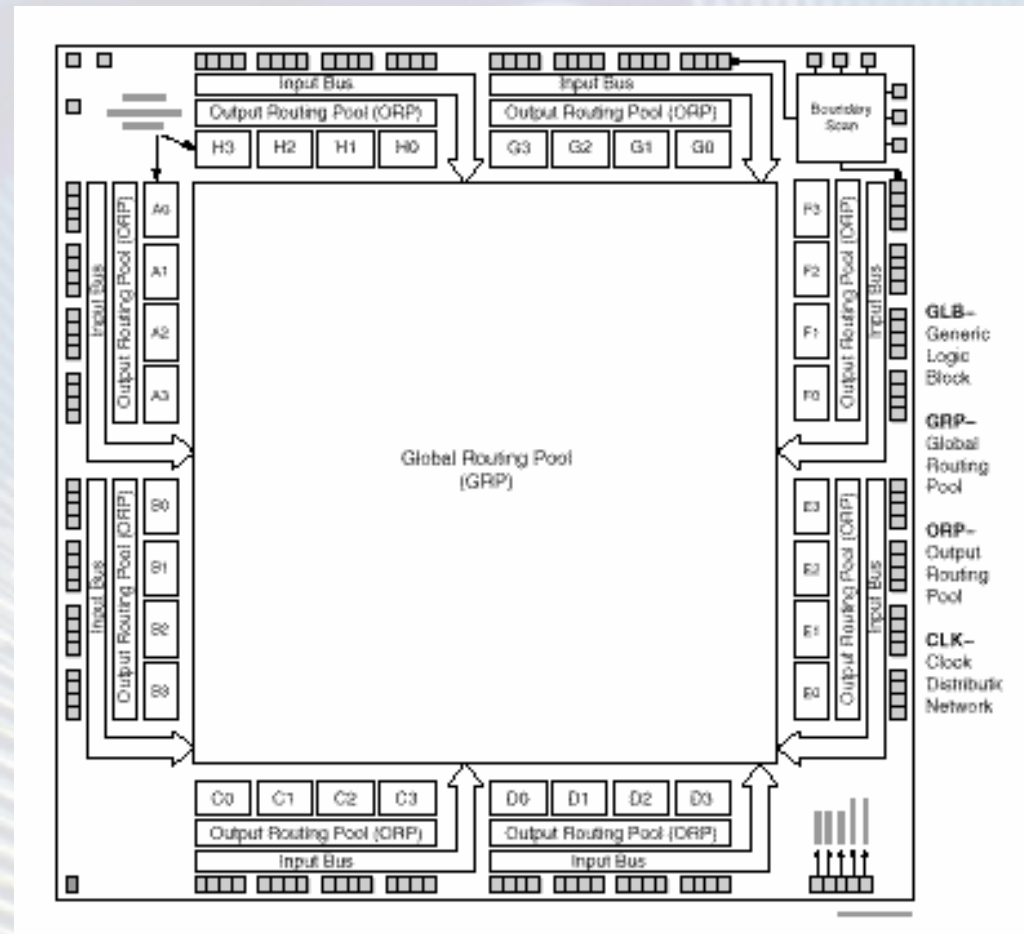


# Komplex programozható eszközök

- **80-as évek közepén**
  - Felhasználói igények
    - nagyobb logikai és interfész kapacitás
  - Technológiai lehetőségek
    - Integráltság növelhető
- **Két megközelítés**
  - Programozhatóság → Komplexitás                      CPLD
  - Komplexitás                      → Programozhatóság      FPGA

# Programozhatóság → Komplexitás

- CPLD/MEGAPAL eszközök
- A meglévő struktúra skálázása
- Egyszerű megoldás
- Blokkos felépítés
- Egyszintű/kétszintű huzalozás
- Determinisztikus időzítés



# CPLD eszközök

- **Komplexitás felépítésből adódóan korlátozott**
  - Maximum 512 makrocella
    - 512 FF
  - Maximum ~200 I/O láb
    - BGA 256, PQ208
- **Kiváló időzítések**
  - Garantált I → O kombinációs 4 -7 ns
  - 100 – 200 MHz működési frekvencia
  - Könnyű tervezés ( ma már HDL alapon)



# CPLD eszközök

- **Kiváló kiegészítő/illesztő logika**
  - Kis tokozás
  - Flexibilis I/O kiosztás
  - I/O lábak függetlenítése, többszörös VIO
    - Sokszor 5V toleráns
    - Működés közbeni csatlakoztathatóság
- **Kedvező fogyasztás**
  - Igazi CMOS, minimális statikus áram
  - Órajel felező/duplázó
  - Bemenetek leválaszthatóak, kimenet tart

# CPLD eszközök (spec)

- **Technológia**
  - Flash vagy EEPROM
  - Áramkörön belüli programozhatóság
- **Fontosabb gyártók**
  - Altera
  - Lattice
  - Xilinx
- **Megjegyzés:**
  - Altera MAXII
    - Valójában nem CPLD, hanem egyszerűsített FPGA struktúra kétszintű huzalozással
    - Belső flash a konfiguráció tárolásához, SRAM logikai cellákkal

# Komplexitás → Programozhatóság

- **Hagyományos technológia**
  - Felhasználói igények figyelembevétele
    - MPGA Maszk Programozott áramkör
- **Moore törvény hatása a PLD piacon**
  - Tranzisztor ára, elérhetősége folyamatosan csökken
  - Redundancia, áramköri költség növelhető
- **Piacra jutási idő jelentősége nő**
  - Prototípus, kis sorozat, induló termék
  - „Time to Market”



# FPGA

- **Field Programmable Gate Array**
  - 1984 Xilinx megalapítása
    - Ross Freeman feltaláló
    - Bernie Vonderschmitt „fabless company idea”
    - Jim Barnett csendestárs??
- **1985 XC2064**
  - 64 logikai cella
    - LUT + DFF
  - ~50 I/O
  - 5V, 50MHz „toggle rate”

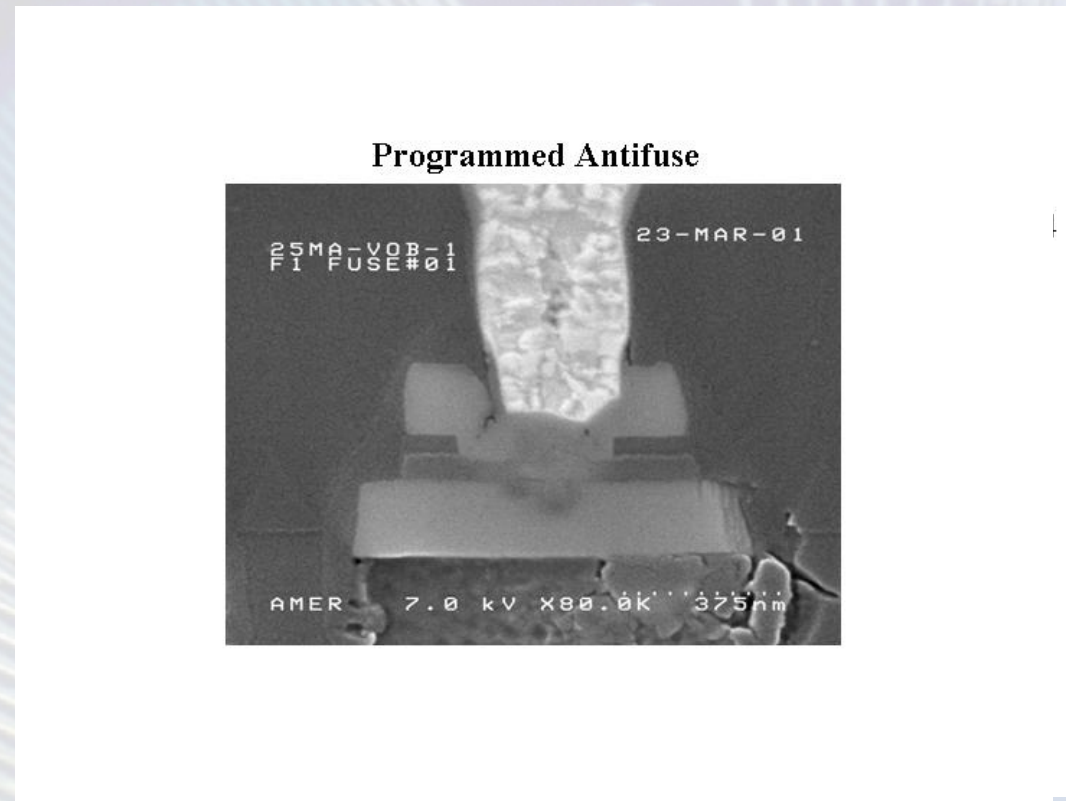


# FPGA technológiák

- **Felhasználó általi programozhatóság**
  - Egyszer, nem javíthatóan (max. inkrementális jav.)
  - Többször, de csak törlés után
  - Minden induláskor
    - Automatikusan master módban, vagy külső vezérlés alatt, slave módban
  - Működés közben
    - Teljes konfiguráció átkapcsolása ( indulási + egyéb)
    - Részleges, dinamikus átkonfigurálás

# OTP FPGA

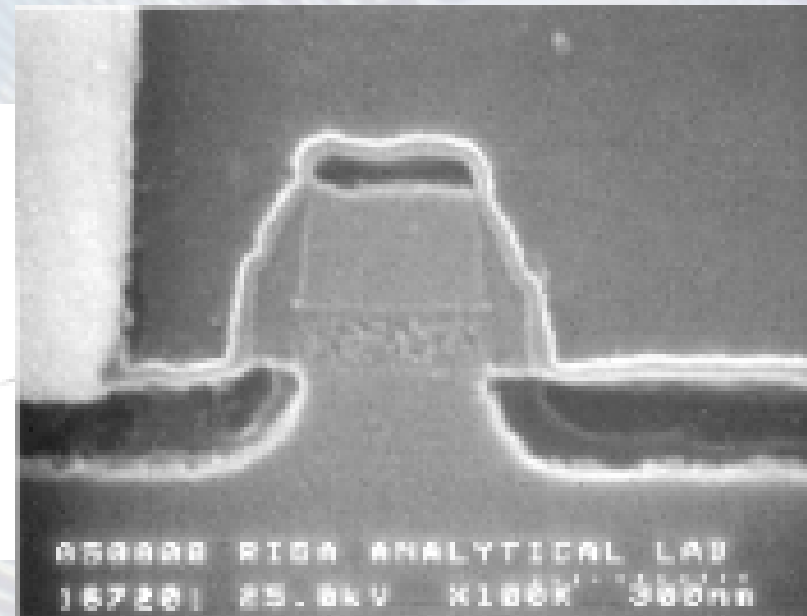
- Egyszer programozható eszközök
- A konfigurációs elem neve : antifuse
- Információ: Fizikai állapot változtatása
- Előnyök:
  - Kis méret
  - $R_{OFF}$ ,  $r_{ON}$ ,  $C$
  - Biztonságos
    - Kiolvasás
    - Változás
- Actel, Quicklogic





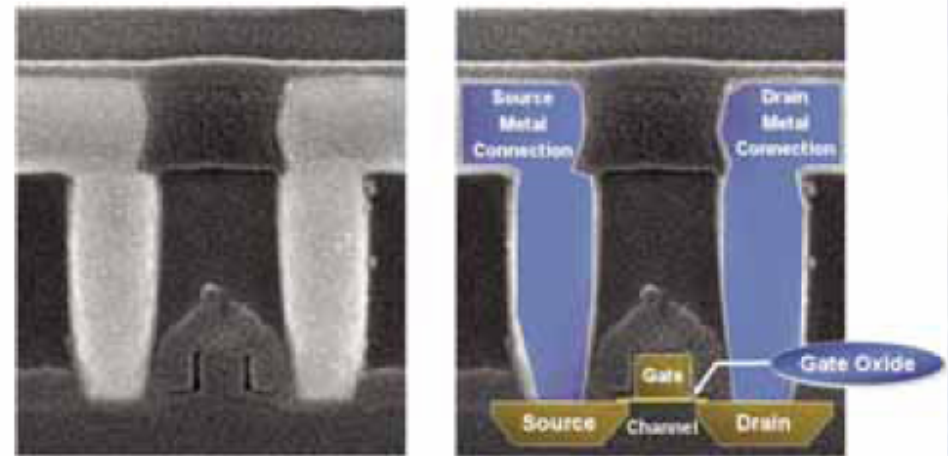
# Flash FPGA

- Sokszor programozható, törlés után
- Programozás, törlés beépítve is lehetséges
- Flash cella felépítése (Actel ProASIC)
- Információ: töltés
- Előny:
  - Állandó
  - Módosítható
  - Biztonságos
- Actel



# SRAM FPGA

- A „hagyományos” FPGA megvalósítási elv
- A legáltalánosabb CMOS technológia
- Minden információ memória cellákban
  - Beolvasandó, betöltendő
- Előny:
  - Bármikor átprogramozható
  - Olcsó technológia
  - Mindig a legjobb felbontás
- Konfiguráció módosulhat
  - Kozmikus sugárzás
  - SEU, egyedi változás



*Figure 3a, 3b – Middle oxide thickness Virtex-4 transistor used in triple-oxide process and with highlighted portions of the transistors*

# Értékelés technológia alapján

- **Technológia alapján**
  - Elérhető komplexitásban az SRAM verhetetlen
    - Altera Stratix4 40nm 680k LE
    - Xilinx Virtex5 65nm 330k LE
  - Sebességben az SRAM jobb
    - Blokkok 300 - 400MHz, rendszer 200 – 250 MHz
  - Tokozás, lábszám, interfészek SRAM
    - > 1000 – 2000 láb BGA tokok
    - Speciális interfészek SERDES, DDR, LVDS,



# Más paraméterek

- **Fogyasztás**

- SRAM kritikus, relatíve nagy nyugalmi áram

- Sok tranzisztor, sokszor x fA statikus áram

- Megoldás:

- Globális: különböző tranzisztor geometriák (Xilinx)

- Tartományonkénti belső feszültség csökkentés (Altera)

- Bekapcsolási induló áram lökés

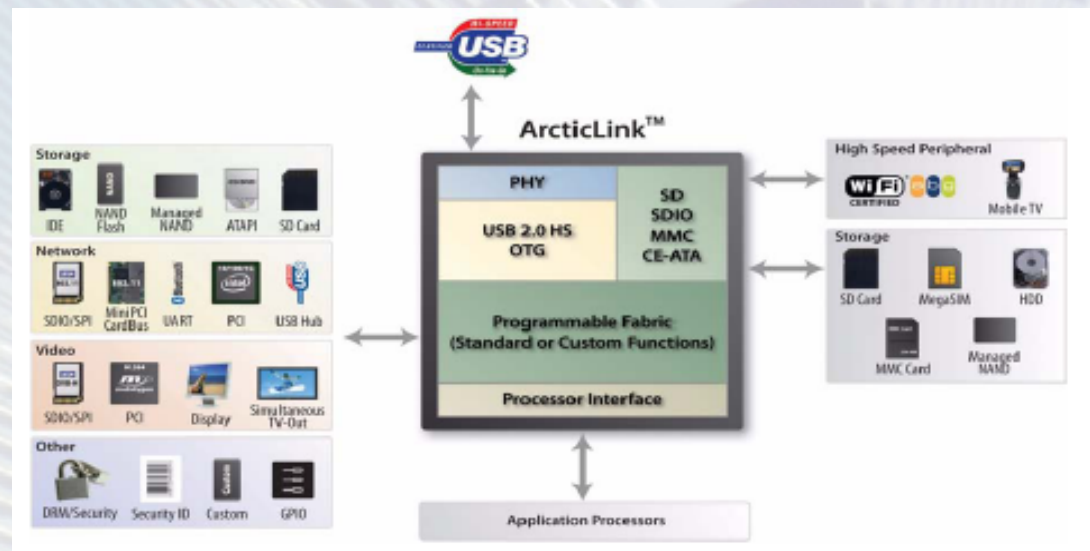


# Kis fogyasztású alkalmazások

- **Az antifuse vagy flash technológiájú eszközök használhatók**
  - Hordozható eszközök (PDA, MP3, Mobil telefon)
  - Intelligens szenzor elemek
  - Kamerák, képképzők
- **Actel IGLOO**
  - Flash programozhatóság,
  - minimális fogyasztás

# QuickLogic CSSP

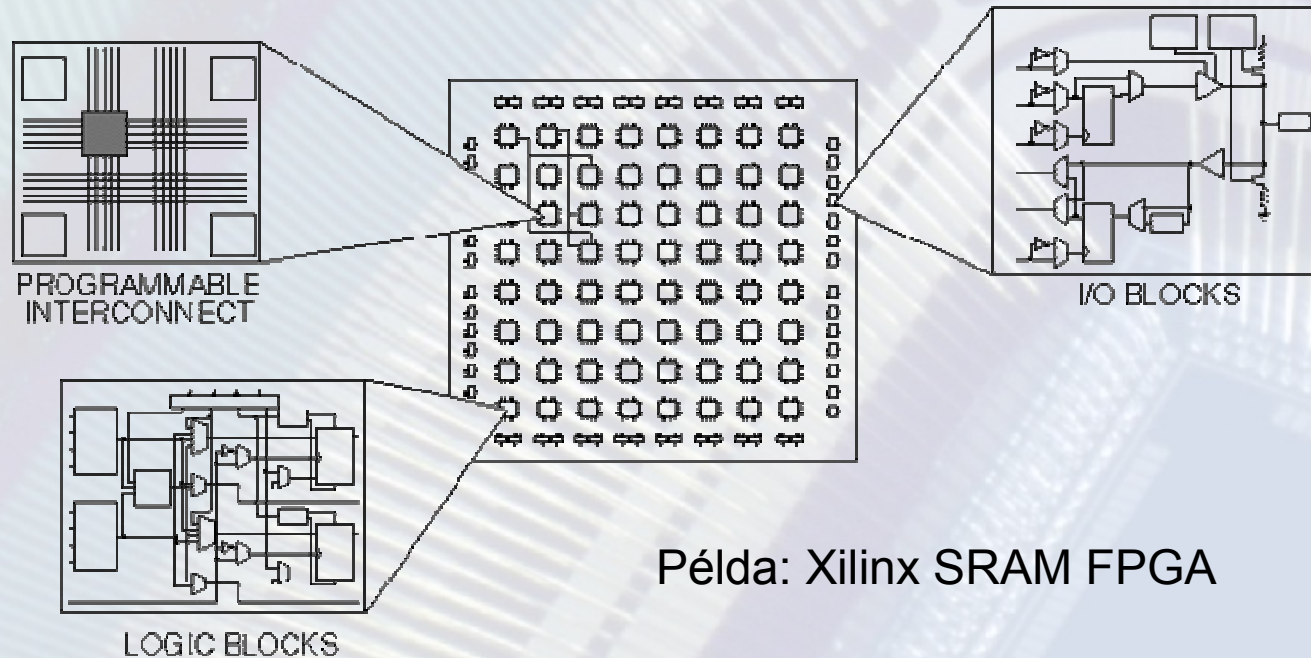
- **PolarPro, ArcticLink**
  - Antifuse alapú eszközök
  - Lényegében ASIC helyettesítő alkalmazásokra
- **Customer Specific Standard Product**
  - Sok szabványos periféria, jó könyvtár
  - Egyedi blokkok
  - Kis méret
  - Interfészek





# FPGA felépítése

- Egyszerű felépítés (felhasználói oldalról nézve)
  - Általános célú logikai elemek
  - Programozható huzalozás
  - Kivezetések

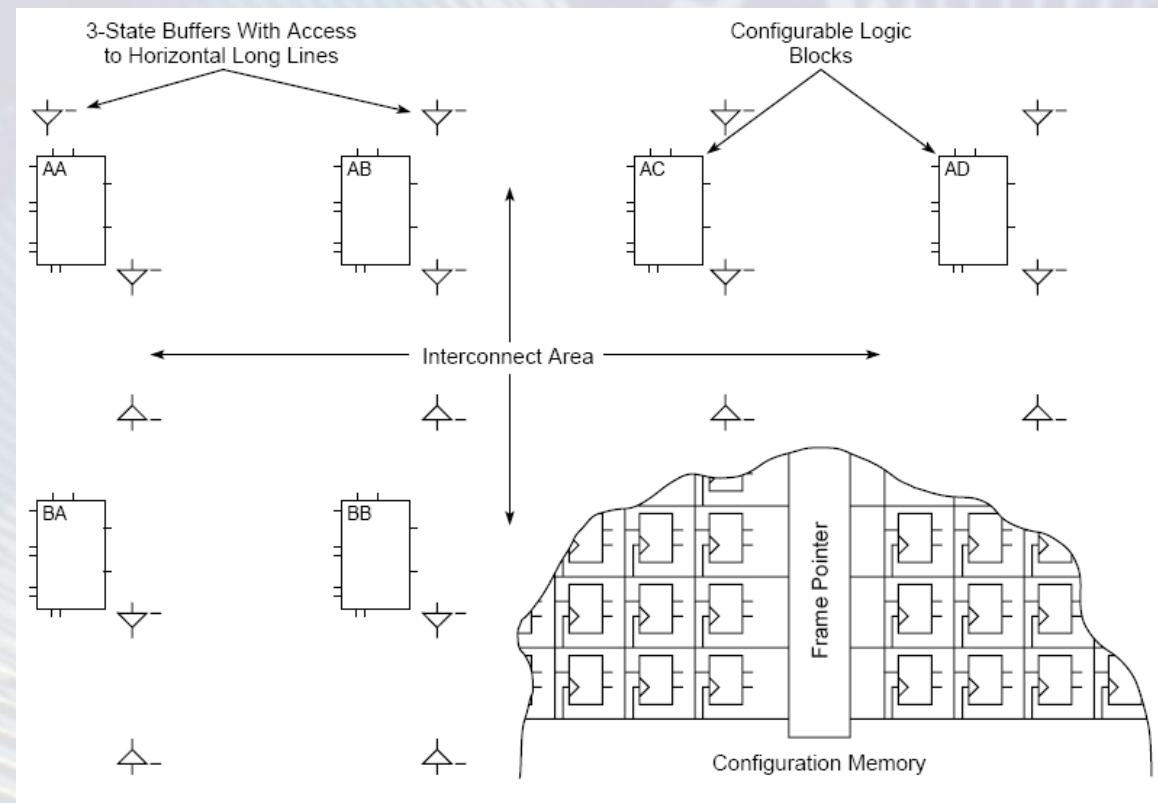
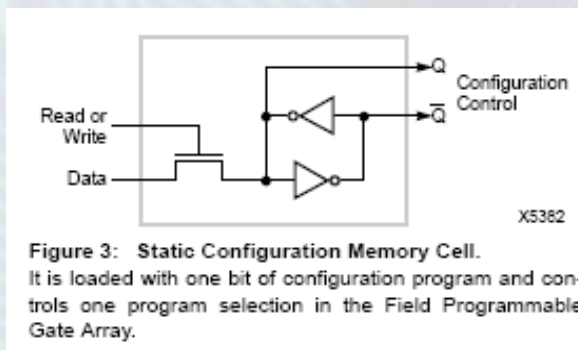


Példa: Xilinx SRAM FPGA

# FPGA felépítése

- A valódi komplexitás részben rejtve van
- Két réteg logika
- Konfiguráció beléptetése
- Visszaolvasás

Példa: Xilinx SRAM FPGA



# Általános tulajdonságok

- **Logikai cella alapkövetelménye: univerzális elem**
- **Granularitás szerint széles skála**

**Finom**

**1T**

**NAND2**

**MUX4**

**LUT4**

**Durva**

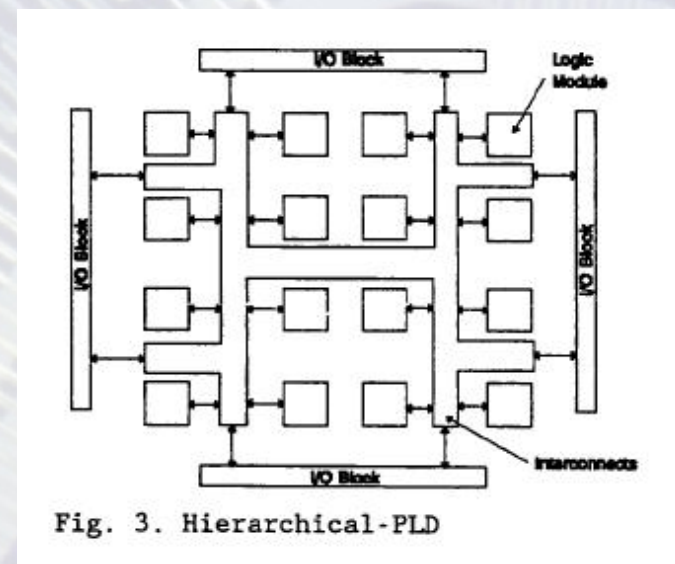
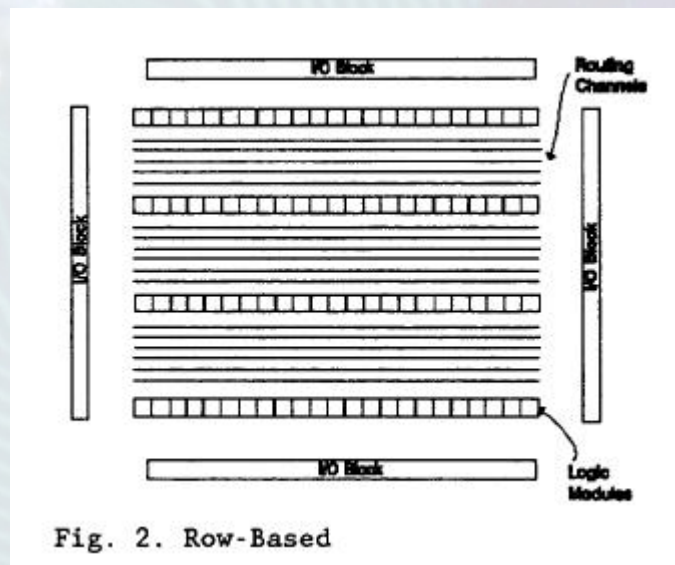
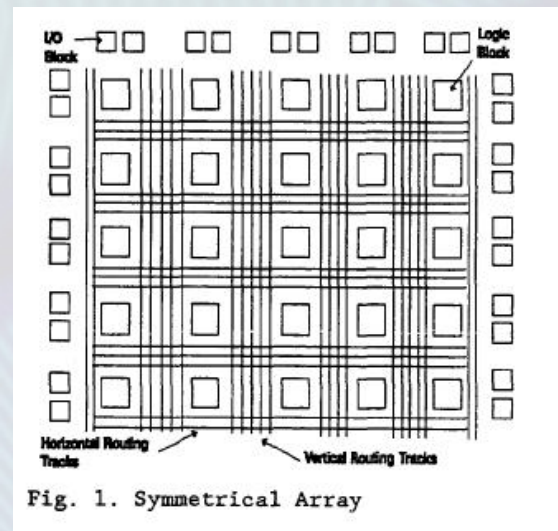
**1/2GAL**

- **Típusok felépítés szerint**
  - Egyszintű, „sea of gates”
  - Csatorna
  - Szimmetrikus /Manhattan
  - Hierarchikus



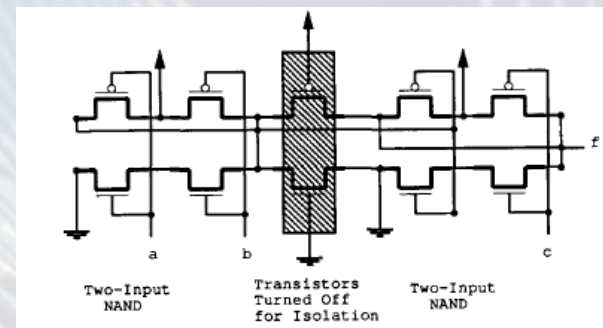
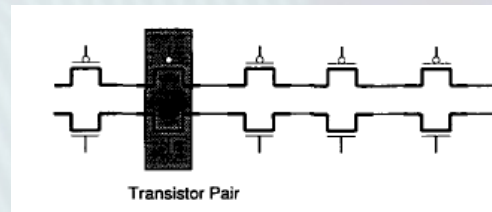
# Felépítés szerinti osztályozás

- Szimmetrikus
- Csatorna típusú
- Hierarchikus



# Logikai cella példák

- 1T finomságú konfigurálás



- Minimális redundancia
- Rengeteg kapcsolóelem
- Kihalt típus, csak példa

# Logikai cella példák

- **NAND2** logikai cella alapú, finom garnularitás
- **Lokális** kapcsolatok, nincs külön huzalozás
- **Nincs** globális órajel

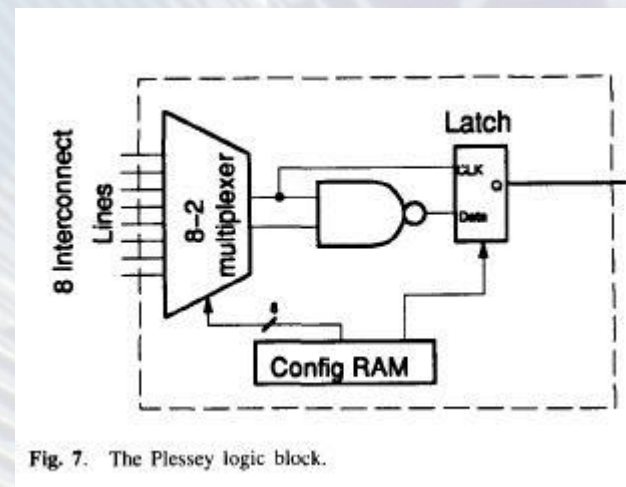
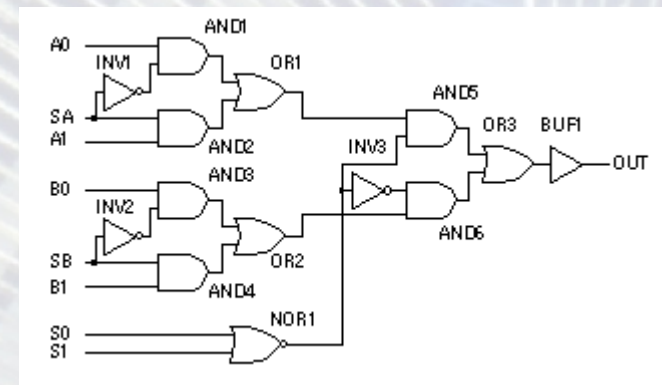
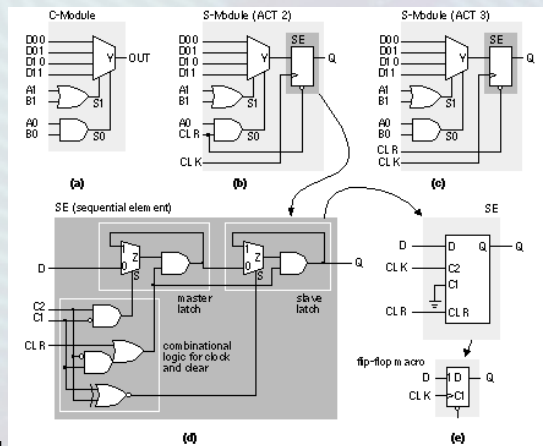
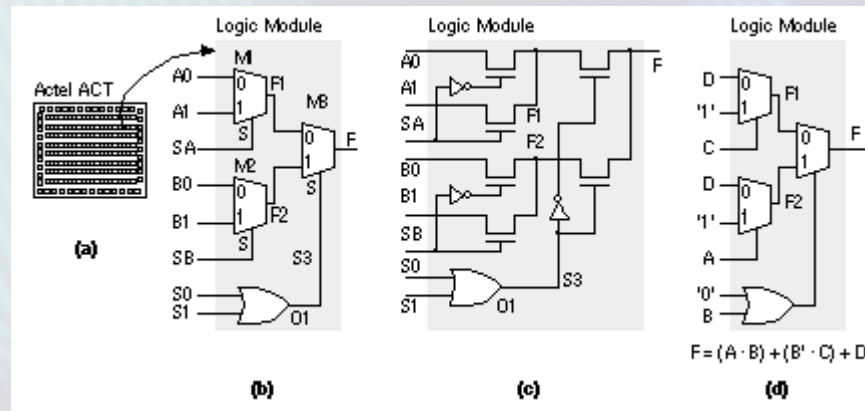


Fig. 7. The Plessey logic block.



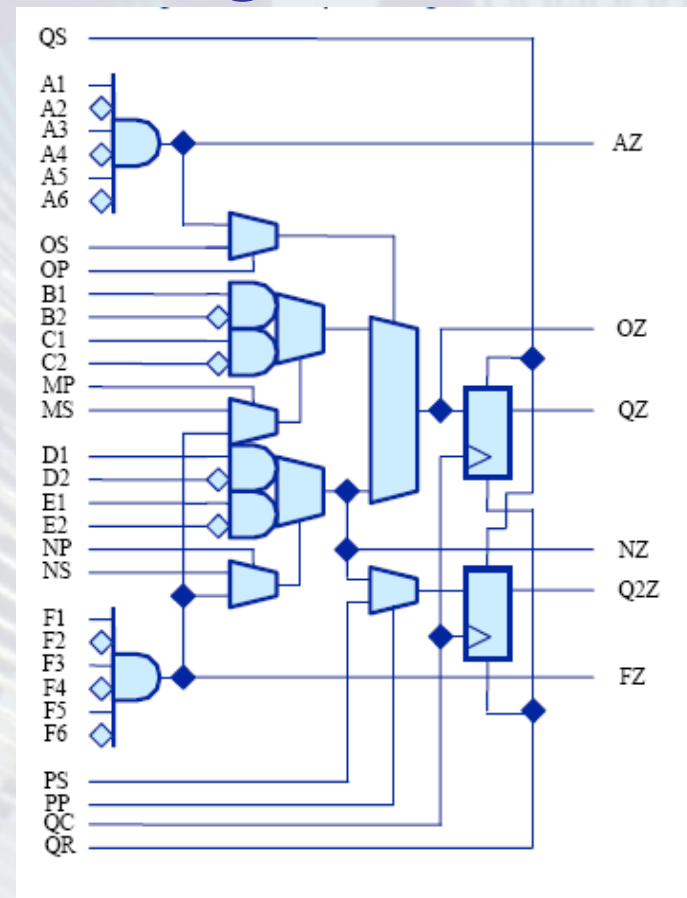
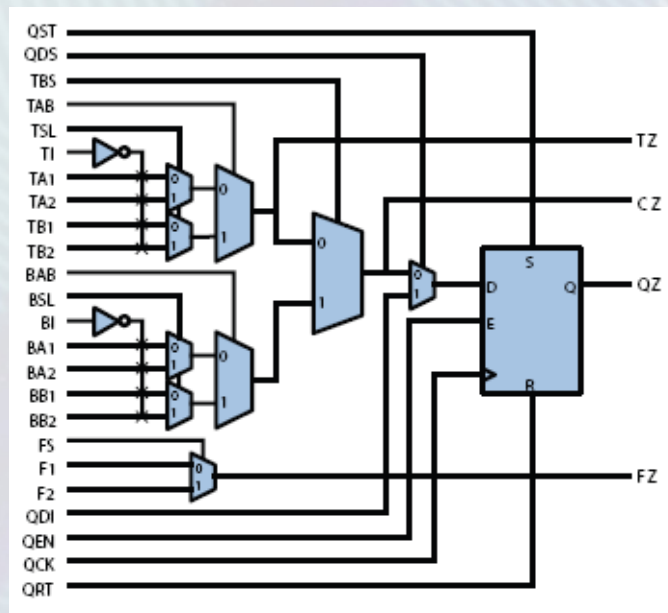
# Logikai cella példák

- Közepes granularitású, MUX4 alapú cella
- Actel ACT1, ACT2, ACT3



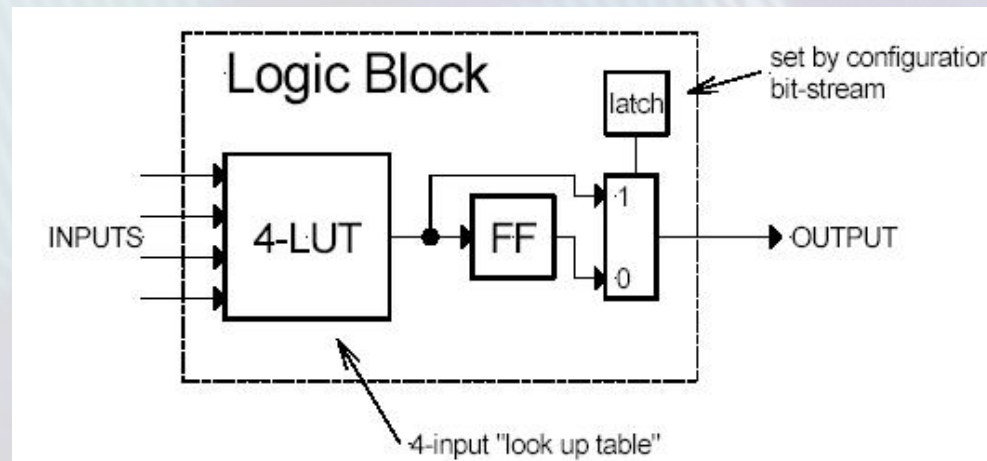
# Logikai cella példák

- QuickLogic ProASIC, Eclipse, PolarPRO
- MUX alapú ViaLink antifuse konfiguráció
- Sok bemenet
- Több kimenet

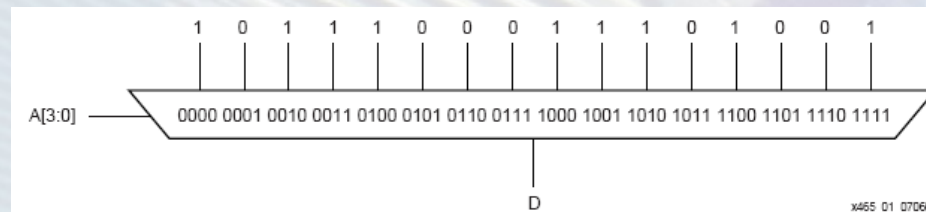


# Logikai cella példák

- Közepes granularitású SRAM LUT cellák
- LUT = Look Up Table = memória
- 4 változó tetszőleges függvénye, táblázat a konfigurációból



- A LUT4 tekinthető egy MUX16-nak is, a konfigurációs program által rögzített adatbemenetekkel





# Logikai cella problémák

- Örökös gond a marketing
- Hogyan lehet eladni az eszközöket?
- Mire jó a beépített/rendelkezésre álló erőforrás?
- Feladat komplexitása VLSI terminológiában
  - KAPUSZÁM
- ASIC gyártási költség méret ~ kapuszám arányos
- FPGA költség gyártási költség igen
- Vevő költsége mivel arányos ?
- Innováció → EQVIVALENS KAPUSZÁM

# Logikai cella problémák

- **EQVIVALENS KAPUSZÁM**
- **Jelent-e valamit?**
  - Valószínűleg
- **A tipikus problémákra jó**
  - A mi problémánk tipikus?
- **ASIC:**
  - a kapuszám arányos a logika komplexitással
- **FPGA**
  - A teljes terv hogyan képezhető le a cellákra?

# Logikai cella problémák

- **CrossPoint 1T cella költségarányos, bár túl sok kapcsoló**
- **Plessey NAND2 cella költségarányos, de elveszik huzalozásra**
- **Nagyobb granularitás**
  - 1 db inverter = 1 logikai modul
  - 1 db MUX4 = 1 logikai modul (Actel, QuickLogic)
  - Tetszőleges 4 bemenetű logika = 1 LUT (Xilinx, Altera)
- **Optimum nincs, csak kompromisszum**
- **Hogyan számoljuk a beépített egyéb apróságokat?**
  - Pl. JTAG tesztelési logikát
    - Hasznos, ha kell, lényegtelen, ha nem
    - Az ASIC esetén ki kell fizetni a rá eső kapuk árát!!!!!!



# Logikai cella problémák

- **SRAM technológia**
  - Kezdetben volt a CLB Configurable Logic Block
    - XC2000 1 LUT + 1FF
- **Megjelent a LE/LC elnevezés Logic Element/Logic Cell**
  - Ez maradhatna a legjobb referencia 1 LUT + 1FF
- **Kialakult a Slice 2 LUT + 2FF**
  - Mivel ma 1 CLB tartalmaz 2 db jobb és 2 db baloldali slice-ot (ezek nem teljesen azonosak), ezért a CLB kb. 8 LE komplexitású, 2x2x2, plusz a beépített

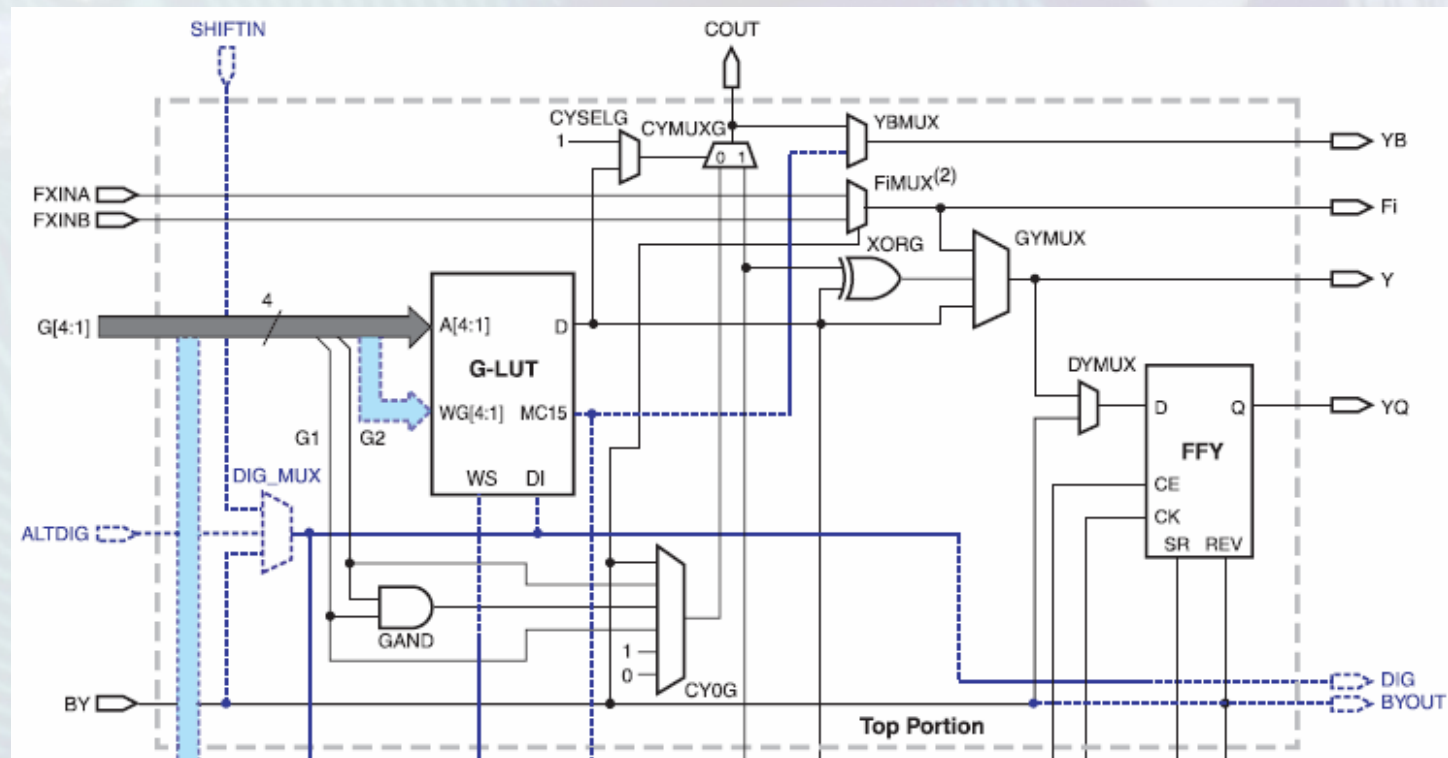
Device	System Gates	Equivalent Logic Cells	CLB Array (One CLB = Four Slices)				Distributed RAM bits <sup>(1)</sup>	Block RAM bits <sup>(1)</sup>	Dedicated Multipliers	DCMs	Maximum User I/O	Maximum Differential I/O Pairs
			Rows	Columns	Total CLBs	Total Slices						
XC3S100E	100K	2,160	22	16	240	960	15K	72K	4	2	108	40
XC3S250E	250K	5,508	34	26	612	2,448	38K	216K	12	4	172	68
XC3S500E	500K	10,476	46	34	1,164	4,656	73K	360K	20	4	232	92
XC3S1200E	1200K	19,512	60	46	2,168	8,672	136K	504K	28	8	304	124
XC3S1600E	1600K	33,192	76	58	3,688	14,752	231K	648K	36	8	376	156

# Logika cella felépítése

- **Összegzés**
  - A cella felépítés alapjaiban egyszerű
  - Tartalmaz persze sok kiegészítést
  - Belső kapuk, erőforrások
    - Lokális kapcsolatokhoz
    - Független LUT / FF használathoz
    - Speciális logikákhoz
      - Sok bemenetű dekóder
      - Sok bemenetű multiplexer
      - Aritmetikai kiegészítés

# Logikai cella felépítése

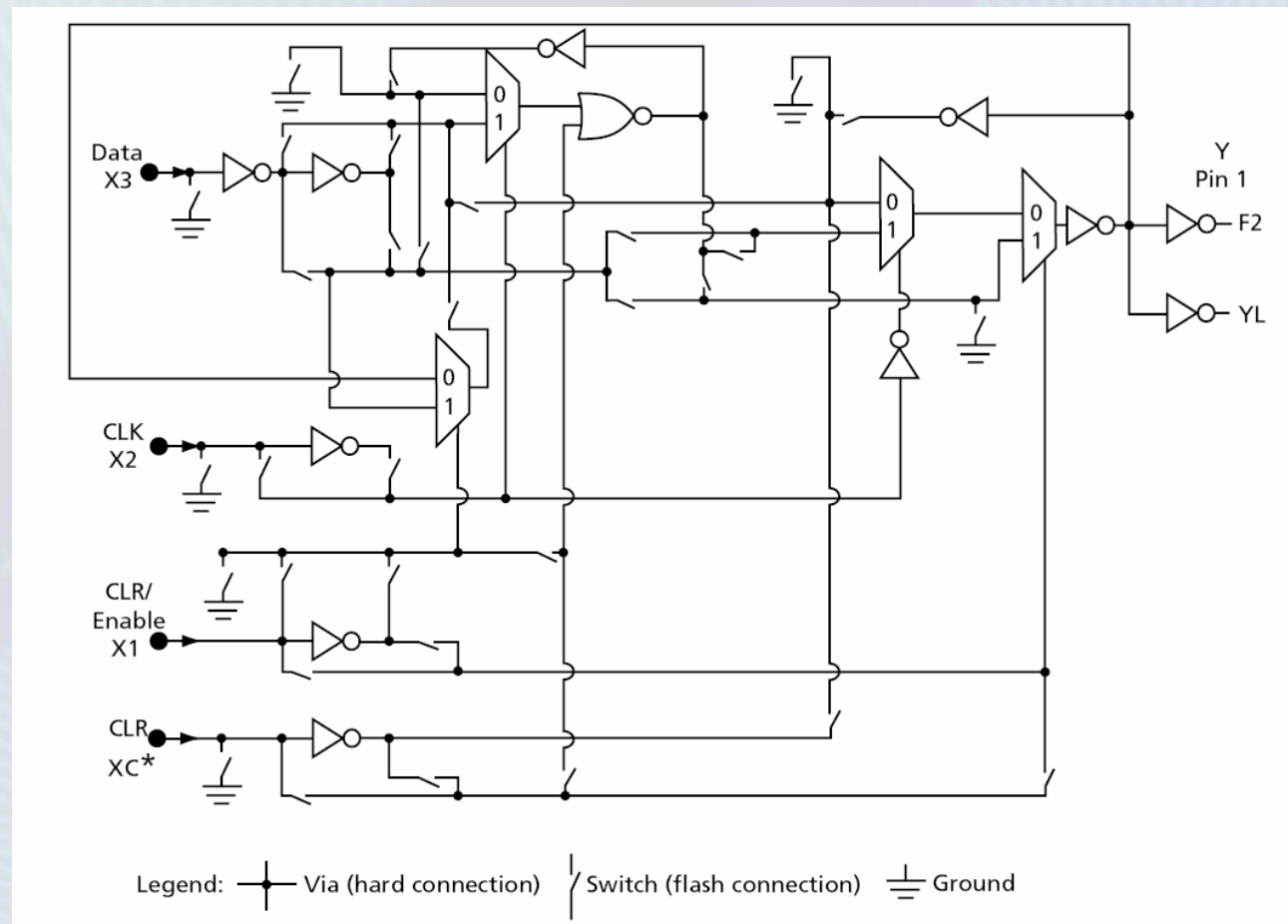
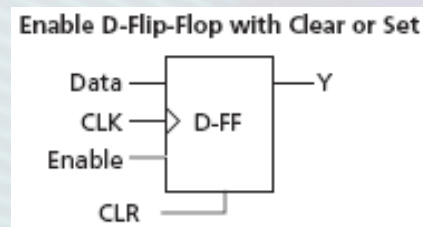
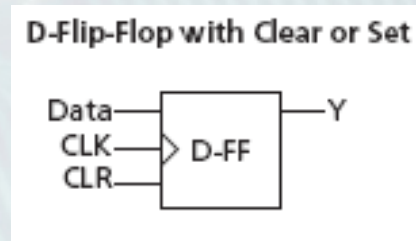
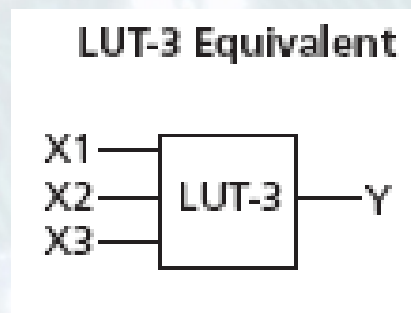
- Xilinx XC3S250E SliceM felső Logikai Cella





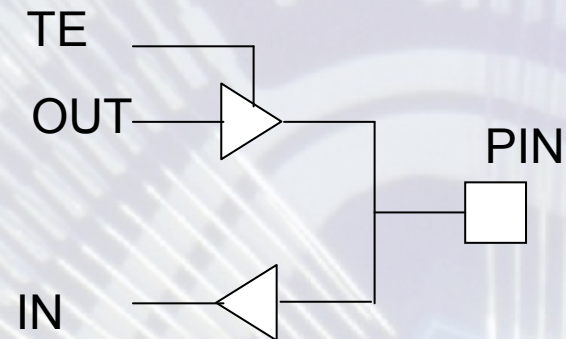
# Logikai cella felépítése

- Actel IGLOO, flash alapú VersaTile cellája



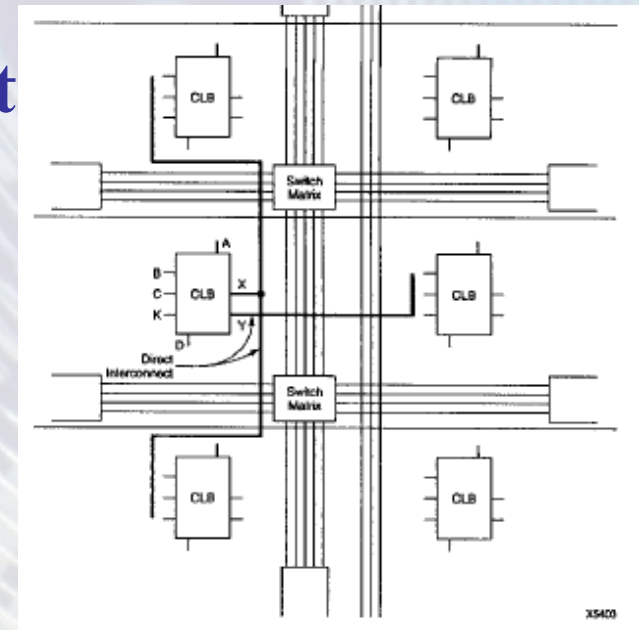
# I/O funkciók

- Alapvetően minden felhasználói láb I/O, tehát lehet kimenet, bemenet
- Nem használt lábak fix értéken
- Gyakran többfunkciós lábak
  - Konfiguráció
  - Normál használat
- A valódi I/O blokkok sokkal bonyolultabbak
  - Beleszámítanak az ekvivalens kapu/rendszer kapu leltárba



# Huzalozás

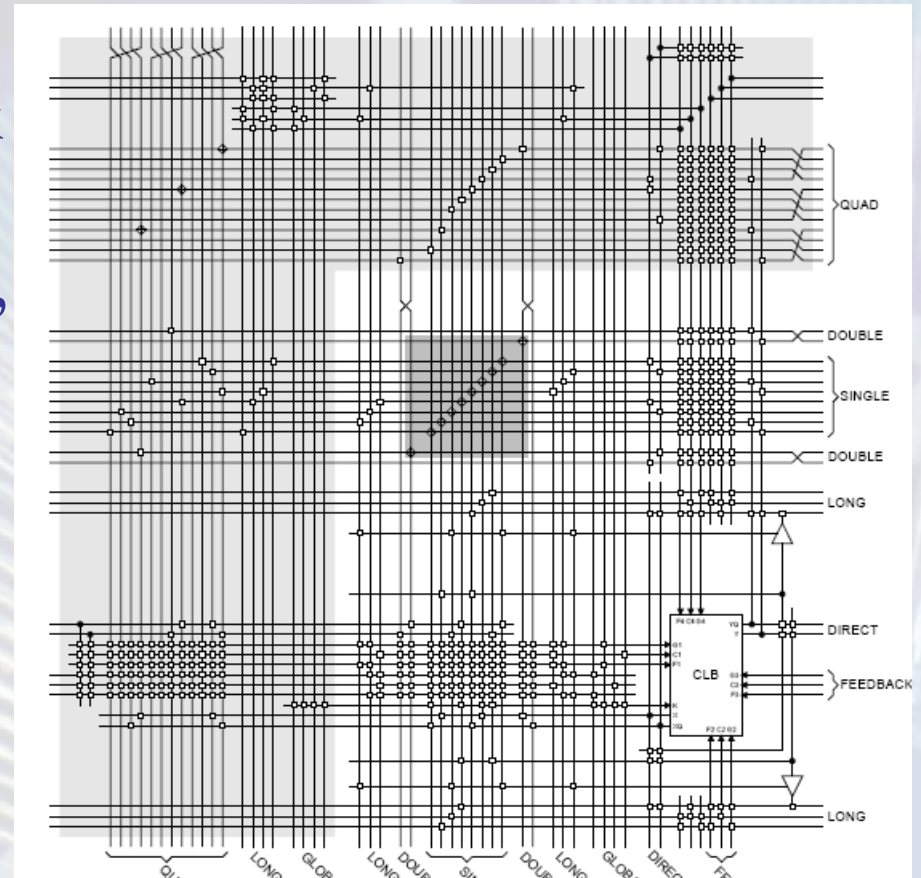
- **Többnyire hierarchikus**
- **Mindig van szomszédos kapcsolat**
  - Esetleg 2 vagy 4 sugarú
- **Lehetnek ún. hosszú vonalak**
  - Teljes csip felületen
  - vagy régióként
- **Vannak globális hálózatok**
  - Elengedhetetlen az órajel terjesztéshez
  - Van a globális RESET kialakításához





# Huzalozás fontossága

- A terv minőségét döntően befolyásolja
- Időzítések a huzalozási szintek számán buknak el
- A LUT késleltetés elfogadható, de komplex funkció több LUT összekapcsolását igényli
- Elérhető rendszer sebesség lecsökken
- Speciális elrendezések a minőség javítására



# Megoldás

- **Az időzítés a LUT méret módosításával teljesíthető**
- **6 bemenetű LUT, 4x nagyobb cella méret**
  - Altera ALM Adaptive Logic Module
  - Xilinx CLB Configurable Logic Block
- **Diagonálisan szimmetrikus lokális kapcsolatok**
- **Kevesebb huzalozási szegmens → jobb időzítés**
- **A felhasználó megtévesztése érdekében:**
  - 1 CLB = 2 Slice, ami tartalmaz
  - 4 db 64 bites LUT + 4 FF

# Összefoglalás

- **Komplex rendszerek tervezéséhez különböző eszközeink vannak, ezek egyike az FPGA**
- **Közepes, vagy kis sorozatoknál nem gazdaságos egyedi ASIC fejlesztése (idő, pénz, munka)**
- **FPGA-k rugalmasan alkalmazhatók, gyors tervezés, megvalósítás, módosíthatóság,**
- **Egyedi előnyök, alkalmazásfüggő specialitások**
  - Nagy komplexitás
  - Nagy sebesség
  - Kis fogyasztás

NEM EGYSZERRE!