

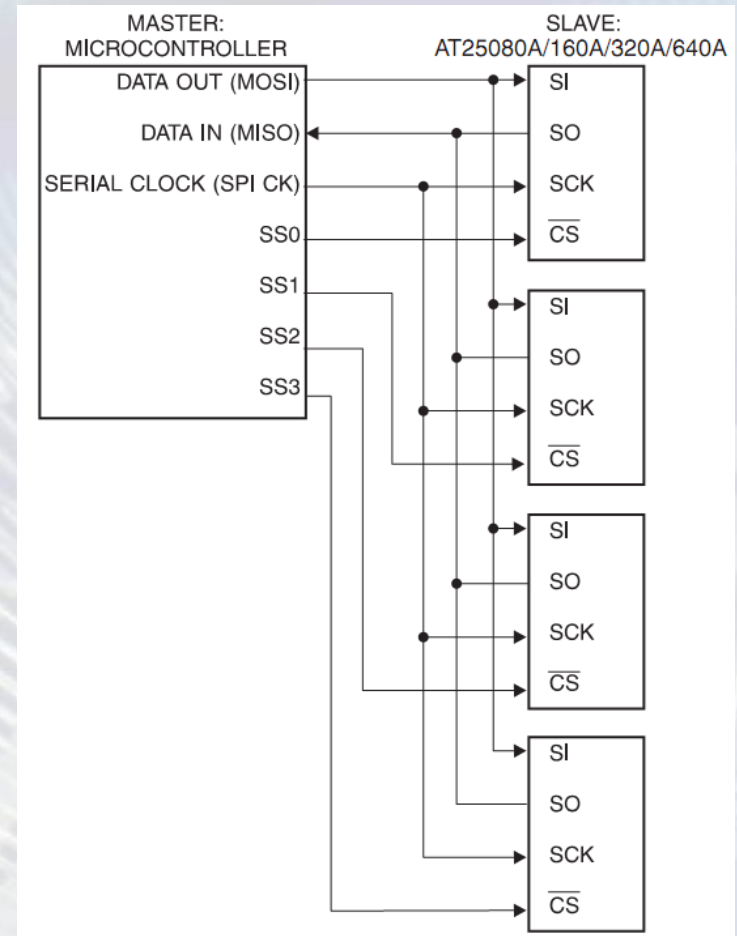
Periféria illesztés

SPI - Serial Peripheral Interface

- **Full-duplex soros átvitel interfész**
- **Master – slave elrendezés**
- **Egyirányú, háromállapotú adatvonalak**
- **Slave kiválasztás: egyedi kiválasztó (chip-select) jelekkel**
- **Jelek**
 - CLK
 - SS_n
 - MISO, MOSI

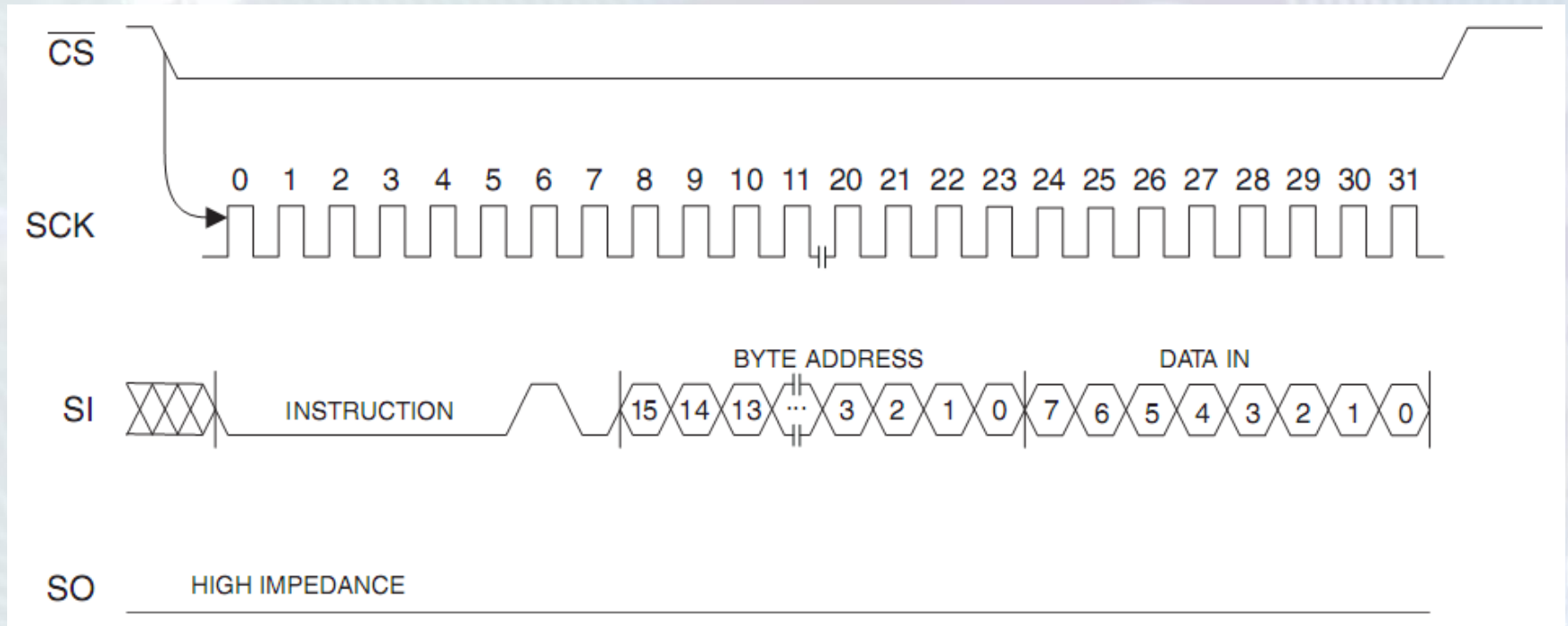
SPI – EEPROM illesztés

- 4 slave egység illesztése
 - Közös órajel
 - Egyedi SS_n jelek
 - Közös adatvonalak



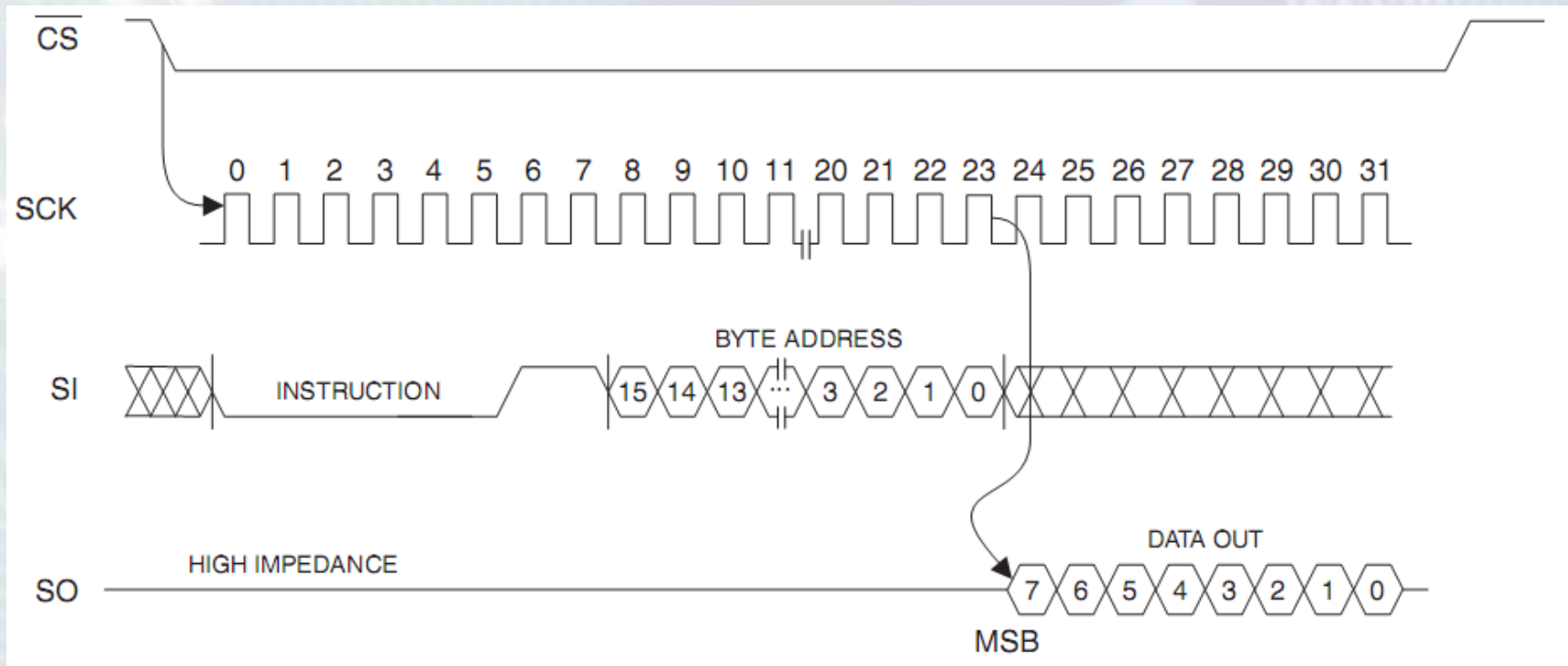
SPI átvitel

- **EEPROM írás**



SPI átvitel

- **EEPROM olvasás**



I2C - Inter-Integrated Circuit

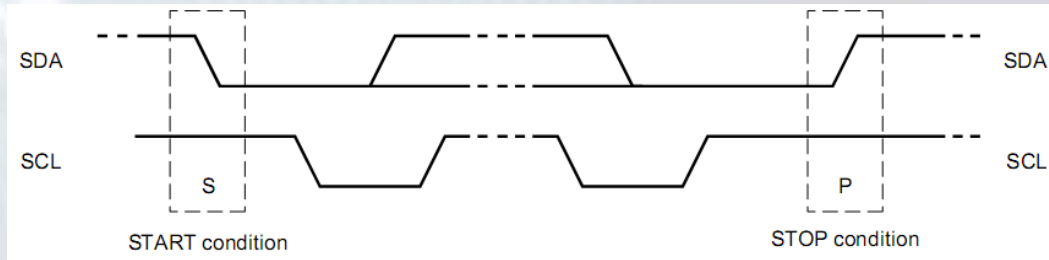
- **I2C (Philips/NXP) == two-wire-interface**
 - SMBus: egyszerűsített I2C
- **Half-duplex**
- **Multi-master, multi-slave**
- **Két vezeték**
 - Órajel, adat
- **Eszközök kiválasztása: eszközazonosító alapján („slave address”)**

I2C - Inter-Integrated Circuit

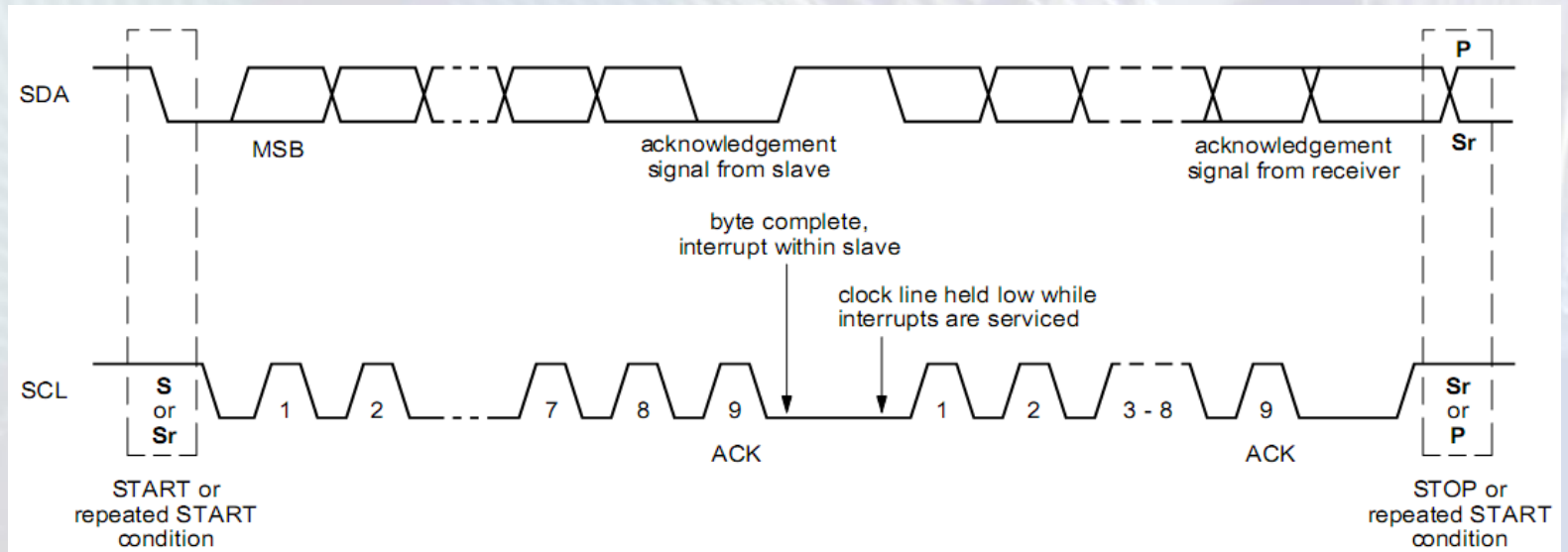
- **Órajel (SCL), adat (SDA)**
 - Open collector
 - Felhúzó ellenállás kell
- **Slave címzés – eszköz azonosító**
 - 7 bites standard
 - 10 bites kiterjesztett
- **Átviteli sebesség**
 - 400 kHz, 1 Mbit, 3 Mbit

I2C

- **START/STOP feltétel**

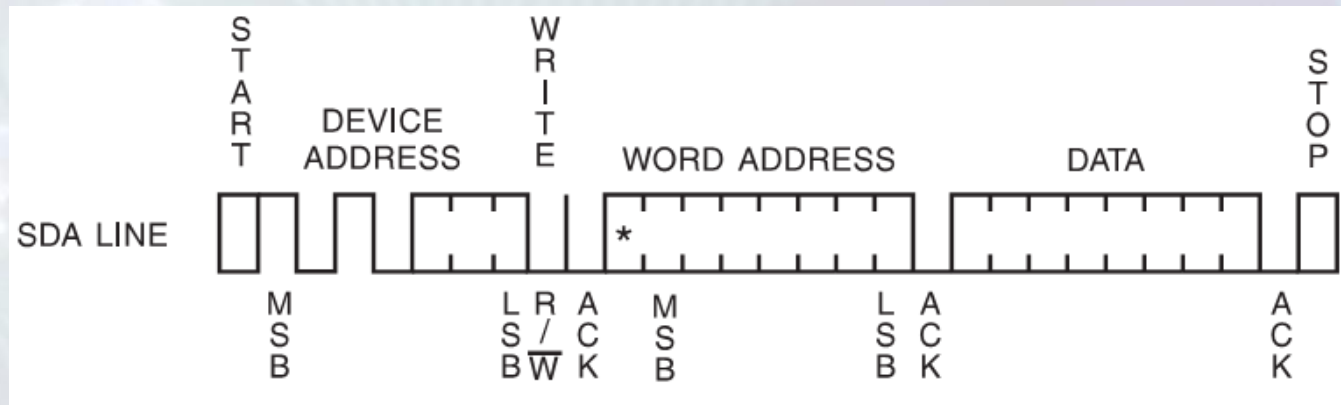


- **Adatátvitel**

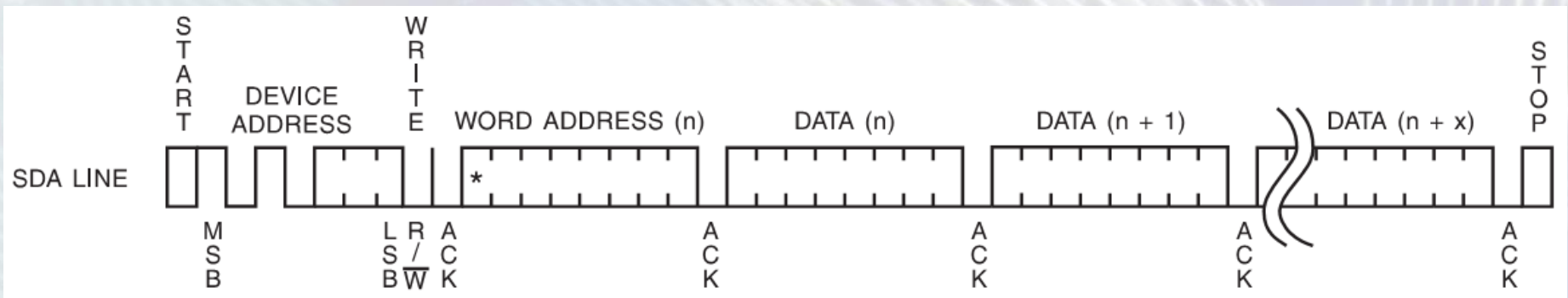


I2C – EEPROM

- Byte írás

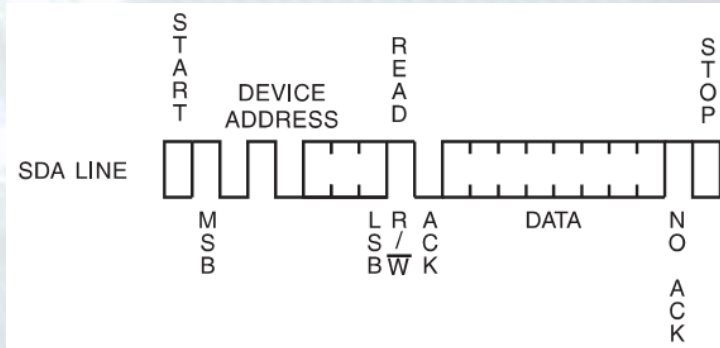


- Burst írás

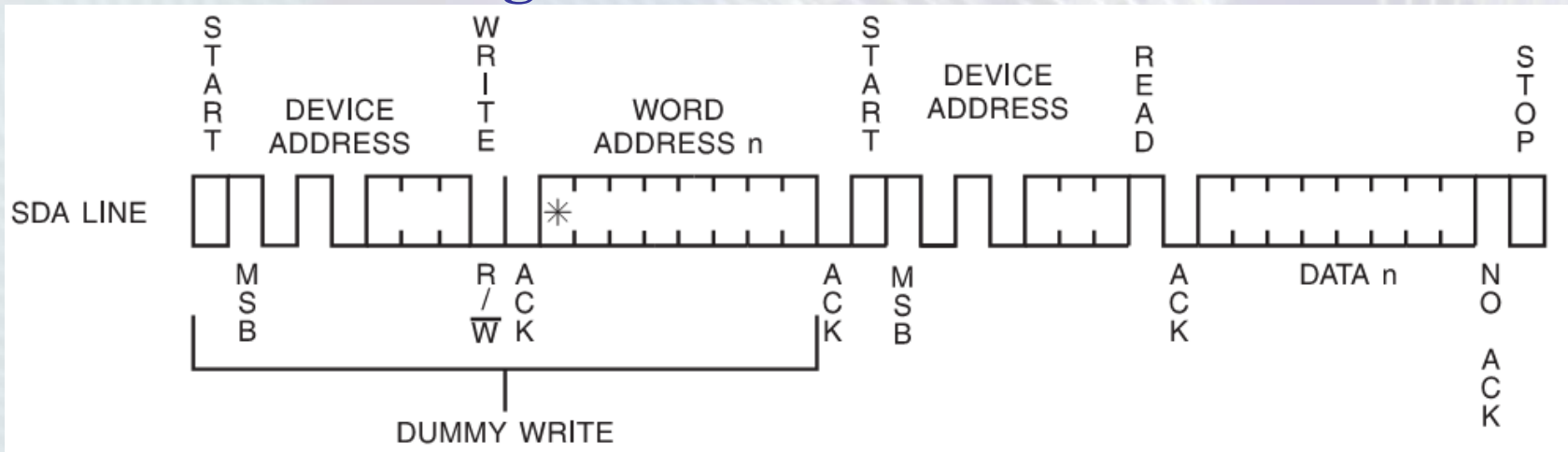


I2C – EEPROM

- **Olvasás jelenlegi címről**



- **Olvasás tetszőleges címről**



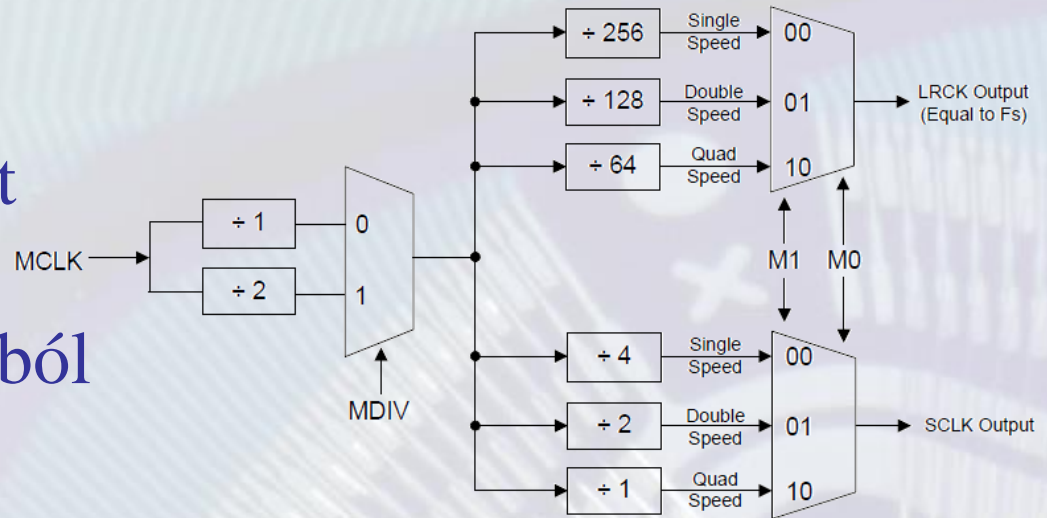
ADC/DAC interfészek

- **Tipikusan 3 órajelet igényelnek**
 - MCLK: belső működés órajele („Master Clock”)
 - SCLK: soros adat ki/beléptetés órajele
 - LRCK/Frame: mintavételi frekvencia
- **A fenti órajelek aránya IC függő**
- **Tipikus interfészek**
 - SPI
 - SAI (Serial Audio Interface)
 - I2S (Integrated Interchip Sound)
 - Frame-Sync Serial Interface

AD példa: CS5361

- **Master mód**

- Minden órajelet a chip állít elő az MCLK-ból

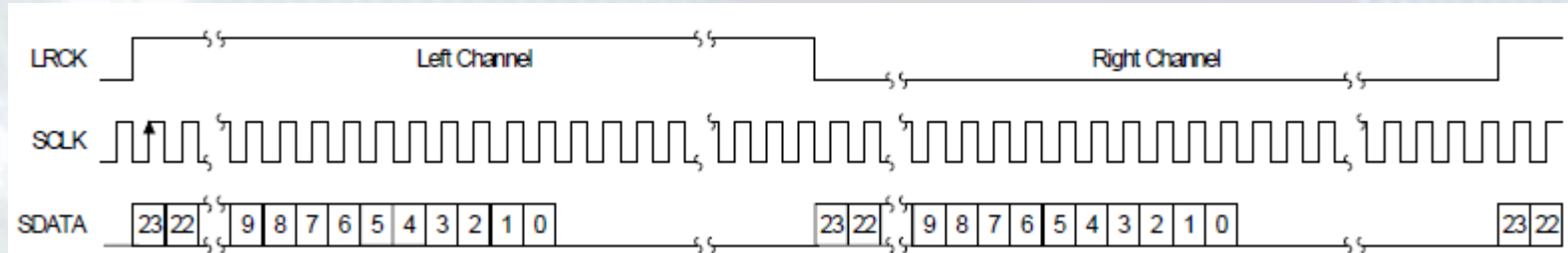


- **Slave mód: minden órajelet bemenet**

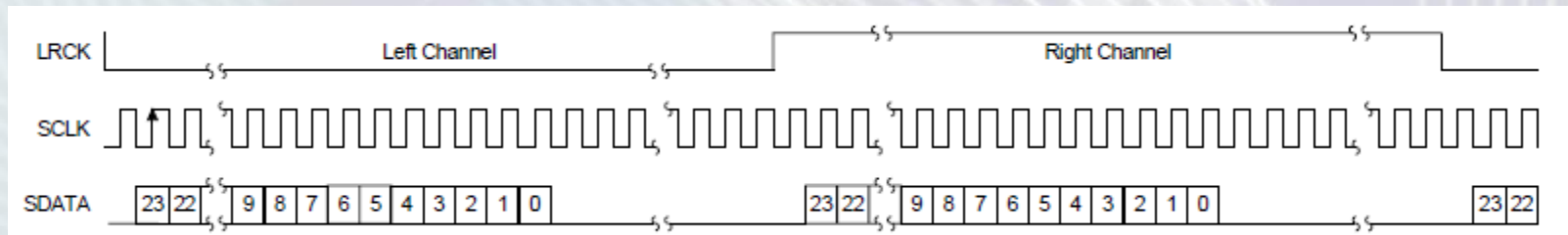
	Single Speed Mode Fs = 2 kHz to 51 kHz	Double Speed Mode Fs = 50 kHz to 102 kHz	Quad Speed Mode Fs = 100 kHz to 204 kHz
MCLK/LRCK Ratio	256x, 512x	128x, 256x	128x
SCLK/LRCK Ratio	32x, 64x, 128x	32x, 64x	32x, 64x

AD példa: CS5361

- SAI



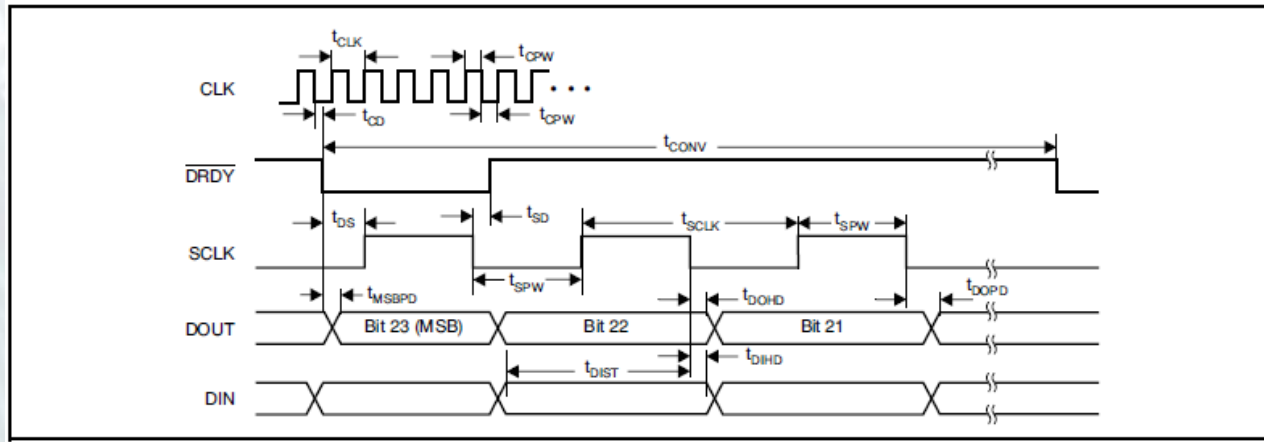
- I2S



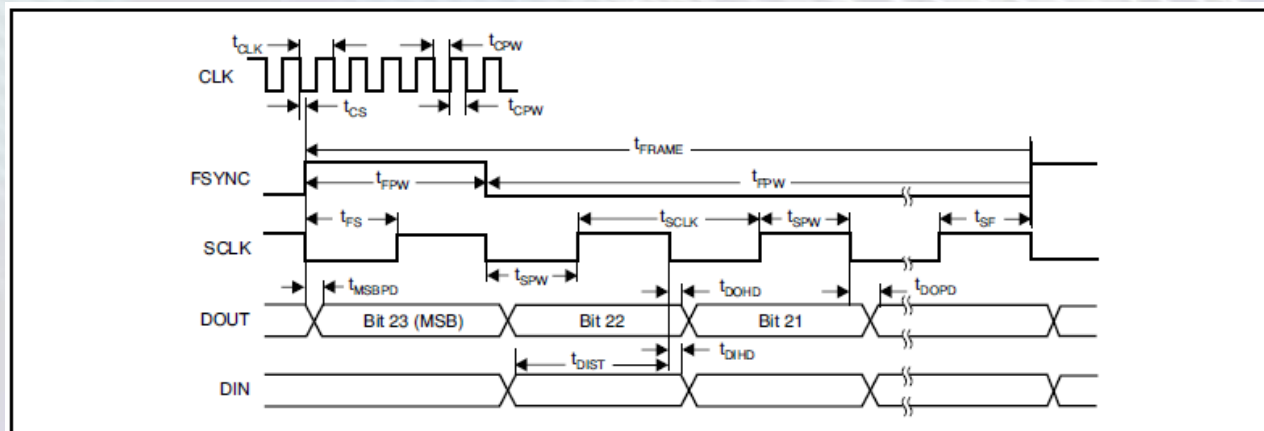
- Létezik „left-justified” és „right-justified”

AD példa: TI ADS1287

- **SPI: CLK, SCLK, DRDY (kimenet)**



- **Frame-sync (FSYNC bemenet)**



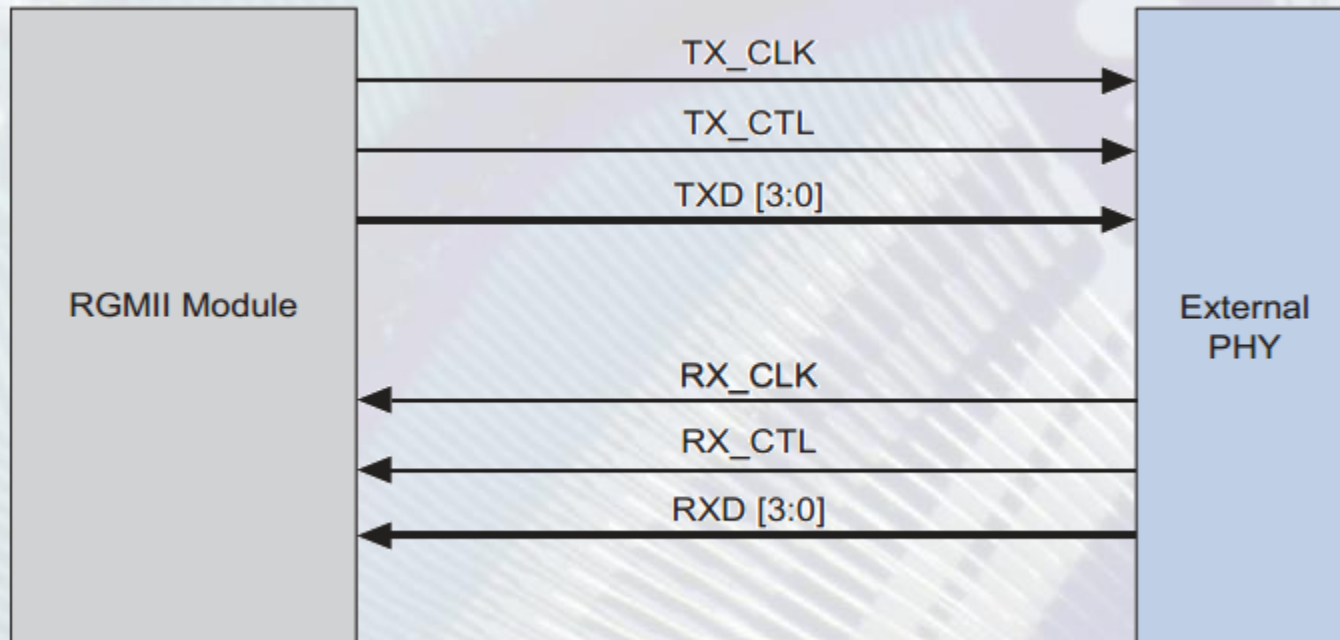
Ethernet – PHY

- **Fizikai vonal illesztés**
 - Különálló PHY chip
 - PHY MAC egységgel együtt
- **Szabványos interfész**
 - Konfiguráció
 - Soros management interfész: MDIO (órajel + kétirányú adat)
 - Párhuzamos adat interfész
 - MII: Media Independent Interface

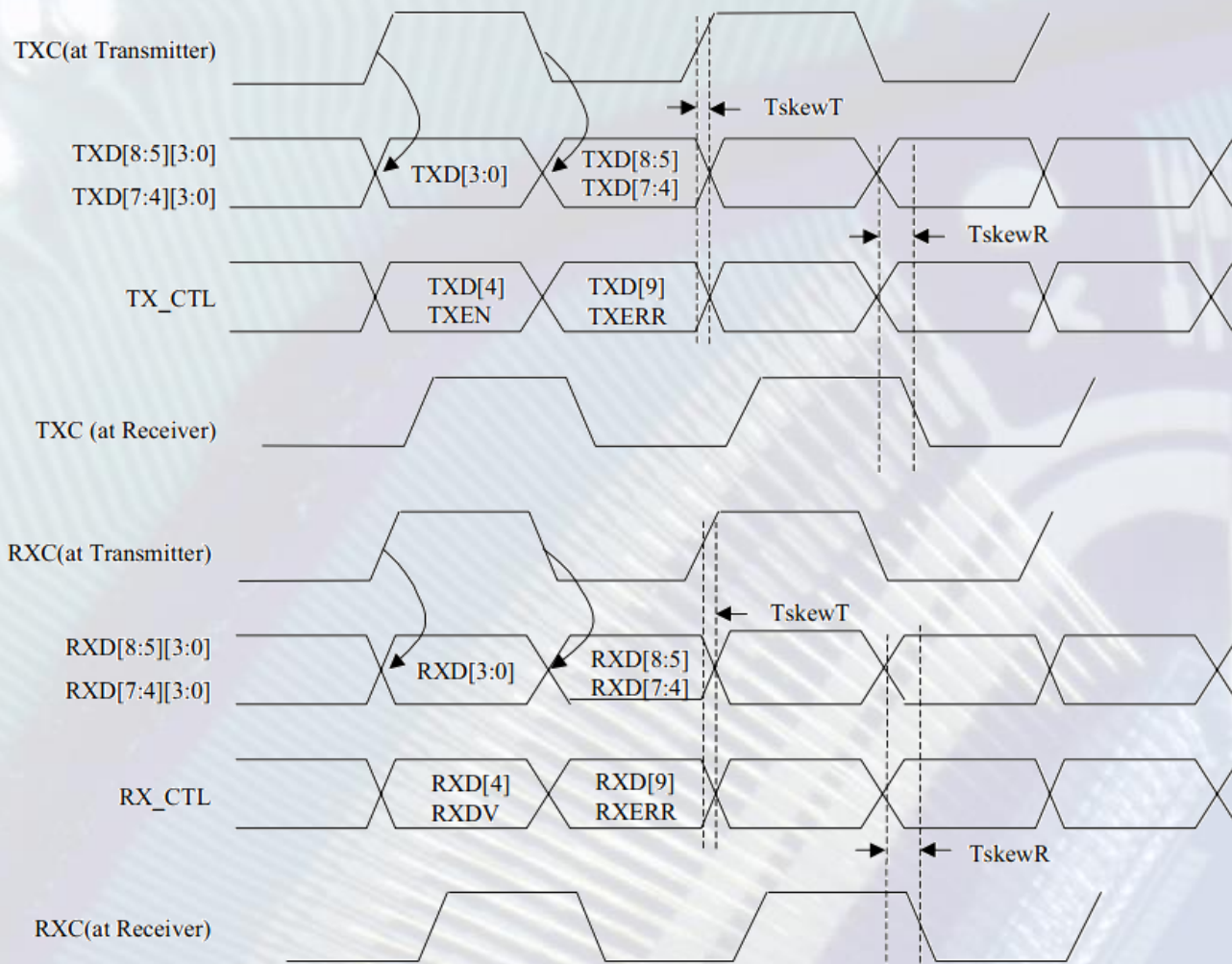
Ethernet PHY adat interfész (1)

- **Szétválasztott adatirány, full duplex**
- **MII: 10 és 100 Mbit esetén**
 - 4 adatbit, 1 control, 1 enable
 - 2,5 illetve 25 MHz órajel, irányonként
- **RMII: Reduced MII**
 - Közös órajel, 2 bites adatvonal
- **GMII: Gigabit MII**
 - 8 adatbit, 125 MHz órajel
- **RGMII: Reduced Gigabit MII**
 - 4 adatbit, 125 MHz DDR átvitel

RGMI (1)



RGMII (2)

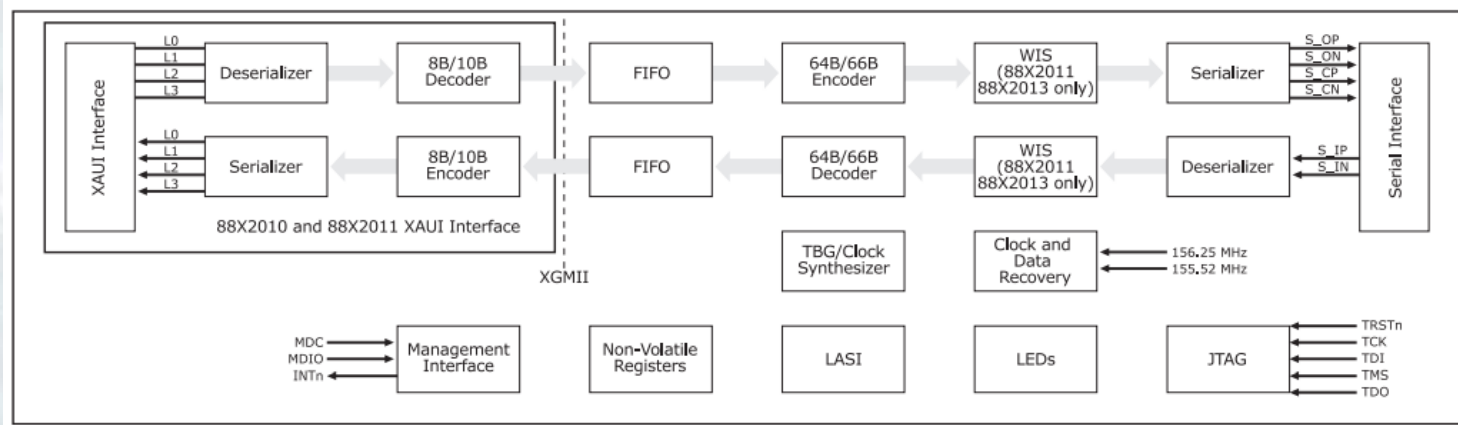


Ethernet PHY adat interfész (2)

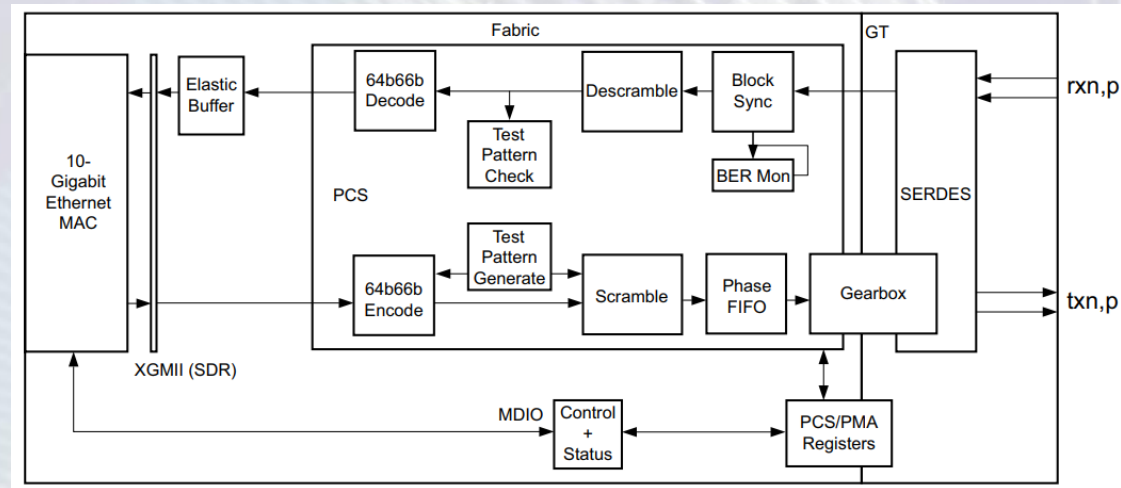
- **SGMII: Serial Gigabit MII**
 - RX/TX differenciális pár 625 MHz-en, 8B/10B
 - Órajel bemenet opcionális
- **HSGMII: High SGMII**
 - SGMII 2,5 Gb/s támogatással
- **QSGMII: Quad Serial MII**
 - 4darab 1G ETH egy 5 Gb/s interfészen
- **XGMII: 10 Gbit MII**
 - 32 bites DDR adatvonal; 156,25 MHz órajel
 - NYÁK-on ritka, chip-en belül
- **XAUI**
 - 4 adatvonal, 3,125 Gb/s

10G PHY

- Marvell PHY:



- Xilinx
10G ETH

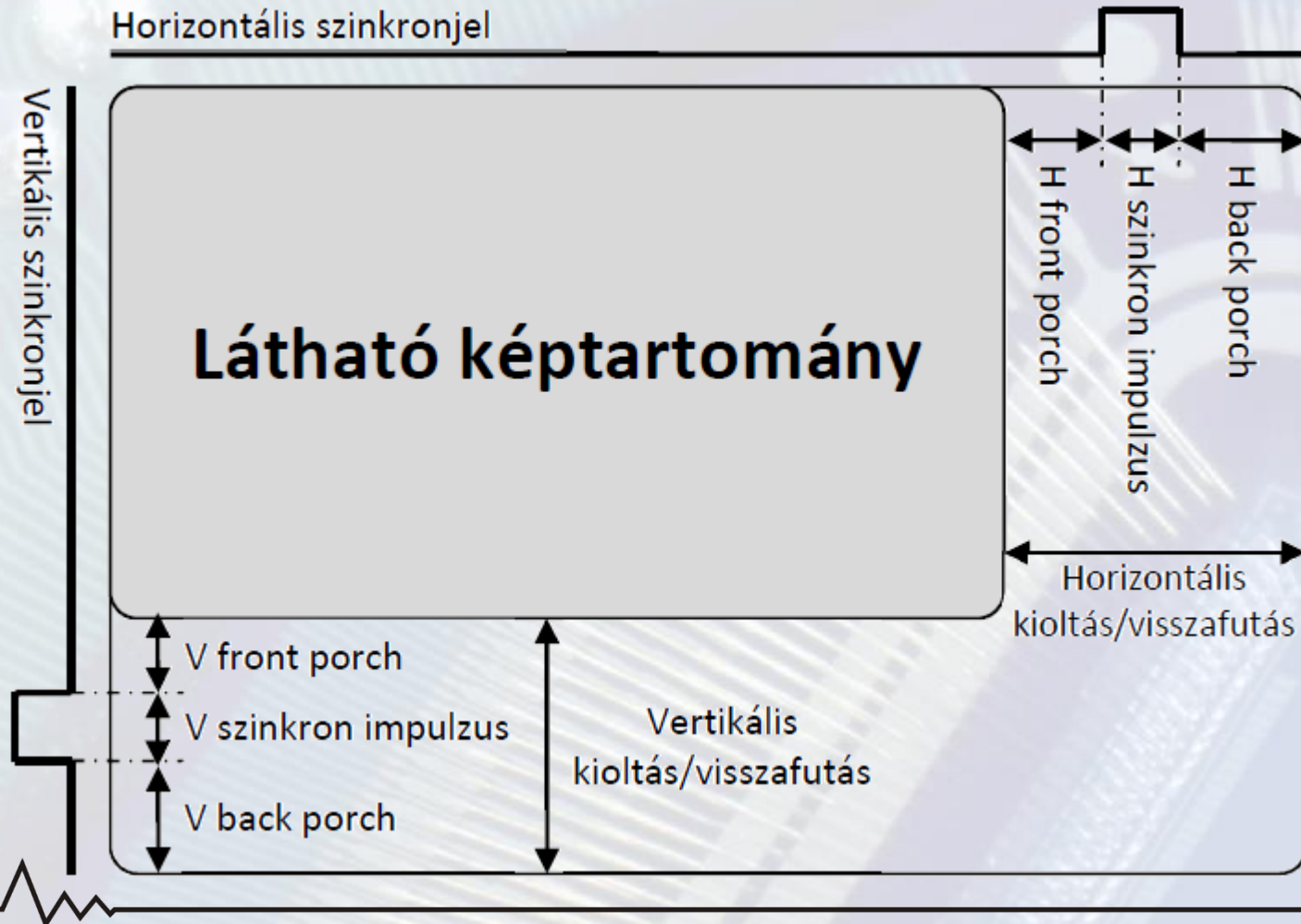


RGMII órajel kezelés

- **A PHY chipek tipikusan lehetőséget adnak az órajel kis mértékű eltolására mind adó, mind vevő irányban**
- **Alternatíva**
 - Fix késleltetés az FPGA-ban (IO delay)
 - Órajel fázistolás DCM-mel/PLL-lel
 - A 10 Mbit sebességhez tartozó 2,5 MHz tipikusan kisebb, mint az alsó határfrekvencia!
- **Adat mintavételezés/kiadás fixen DDR FF-kal, SDR üzemmódban megfelelően kezelve**

Videó jelek

- VGA időzítés



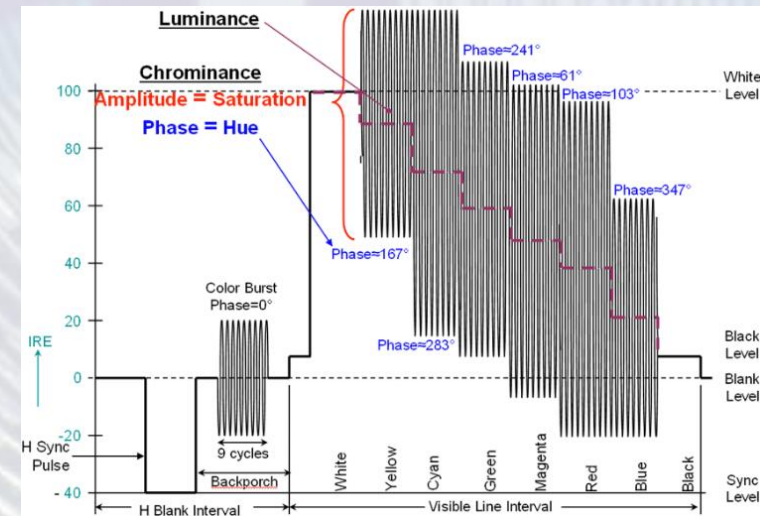
Időzítési példa

- **VGA időzítések: VESA szabvány**
 - <http://www.epanorama.net/faq/vga2rgb/calc.html>

Felbontás	640 x 480 @ 60 Hz				800 x 600 @ 72 Hz			
Pixel órajel	25 MHz				50 MHz			
H szinkron	aktív alacsony				aktív magas			
V szinkron	aktív alacsony				aktív magas			
	Horizontális időzítés		Vertikális időzítés		Horizontális időzítés		Vertikális időzítés	
	pixel	µs	sor	ms	pixel	µs	sor	ms
Látható rész	640	25,6	480	15,36	800	16	600	12,48
Front porch	16	0,64	10	0,32	56	1,12	37	0,77
Szinkron impulzus	96	3,84	2	0,64	120	2,4	6	0,12
Back porch	48	1,92	29	0,928	64	1,28	23	0,48
Összesen	800	32	521	16,7	1040	20,8	666	13,85

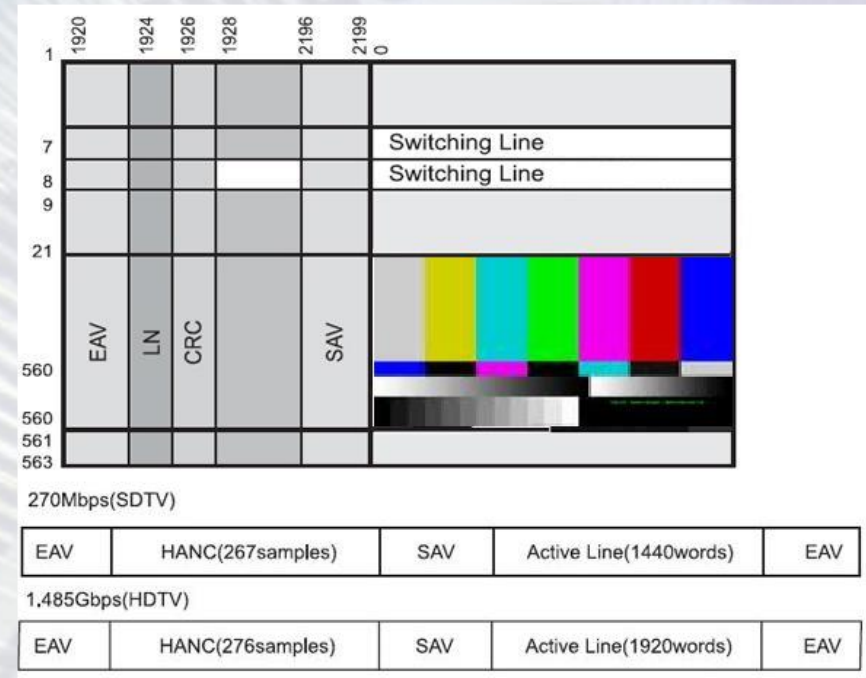
Videó interfészek: analóg

- **Analóg videó formátumok:**
 - Komponens: RGB, YCbCr HS/VS vagy kompozit szinkron
 - Composite (pl. NTSC, PAL)
 - S-Video: Y + C
- **Interfész: külső videó ADC**
 - SDR vagy DDR adat



Videó interfészek: digitális

- **Digitális**
 - DVI, HDMI
 - Soros, differenciális jelátvitel – TMDS
 - 3 csatorna + órajel (adatsebesség/10)
 - Spartan-6-tól kezdően direkt FPGA támogatás, előtte külső chip
 - SDI
 - SD-SDI, HD-SDI, 3G/6G/12G-SDI
 - Vagy külső chip (tipikusan 3G-ig van)
 - Vagy közvetlen FPGA Transciever-ekkel

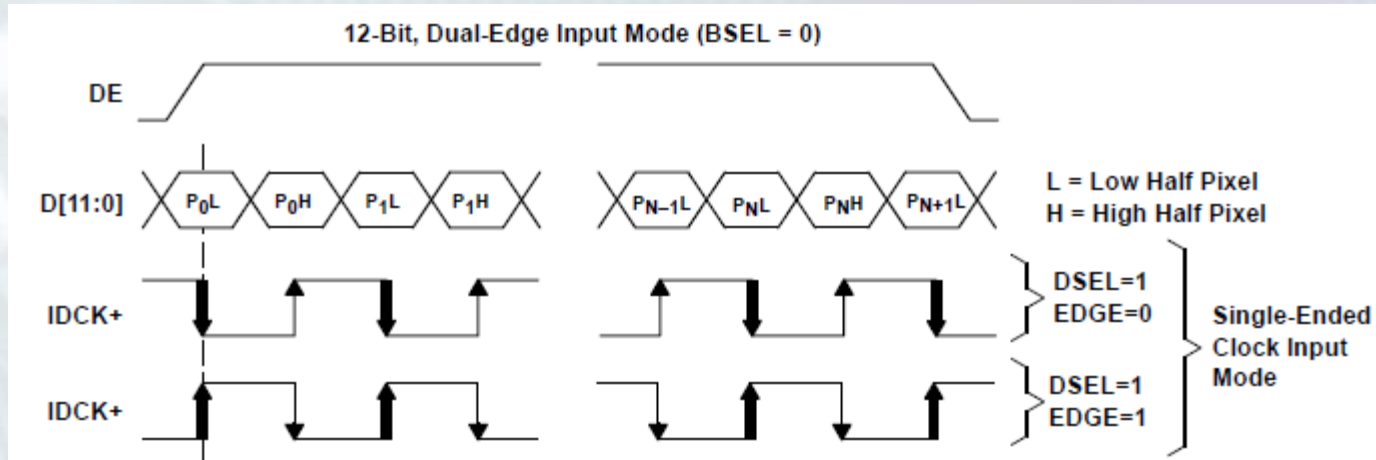


Példa: TI TFP410 DVI adó

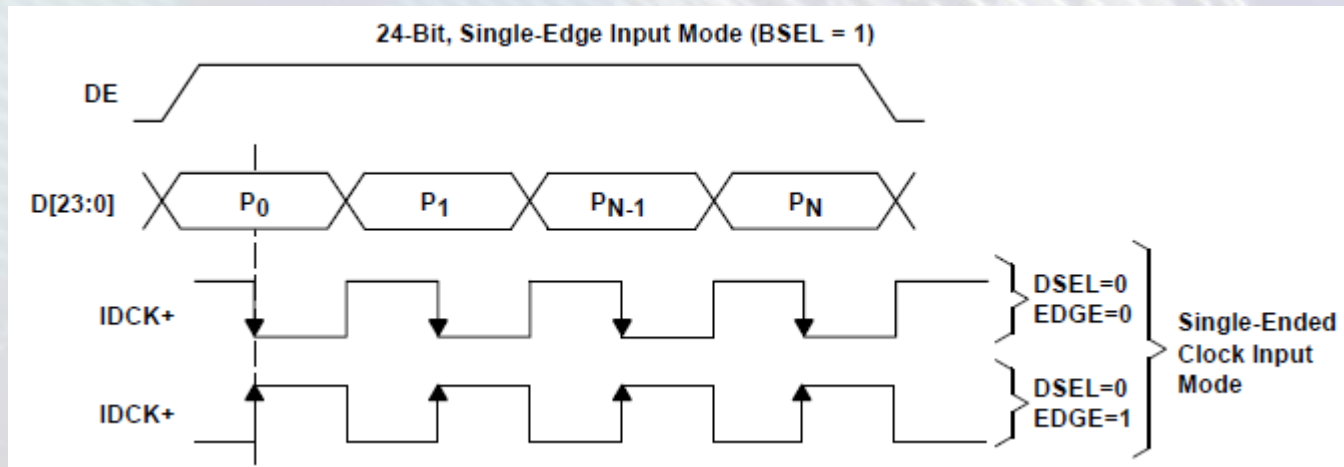
- **Portok:**
 - Pixel órajel (differenciális)
 - Szinkron jelek (HSYNC, VSYNC)
 - Adat engedélyezés (aktív képtartomány)
 - Párhuzamos adat (12 vagy 24 bites mód)
- **A DVI vevők, Videó DAC-k, ADC-k hasonlóan működnek**

TFP410 időzítés

- 12 bites DDR mód

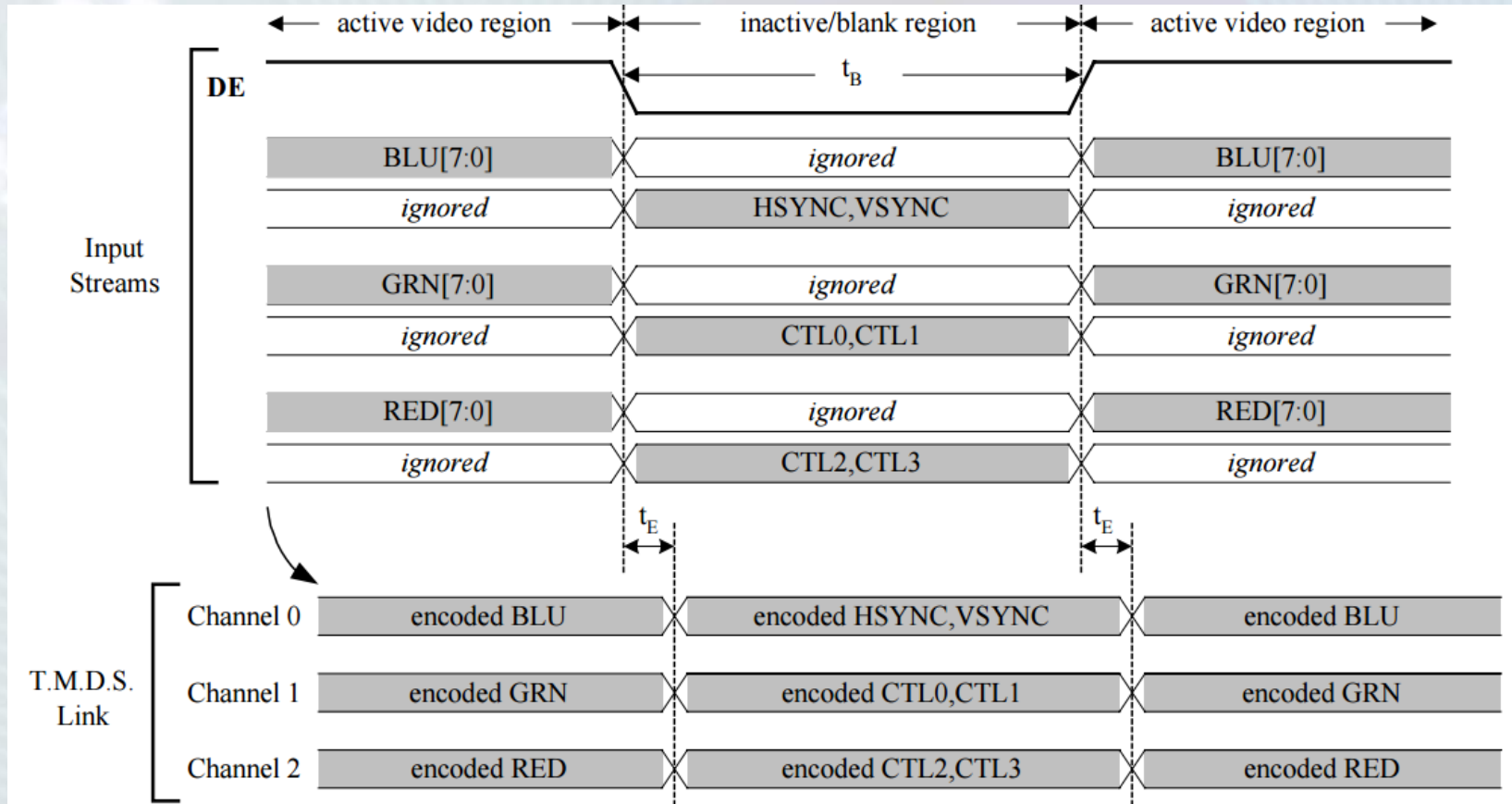


- 24 bites SDR mód



DVI (1)

- **TMDS csatornák:**



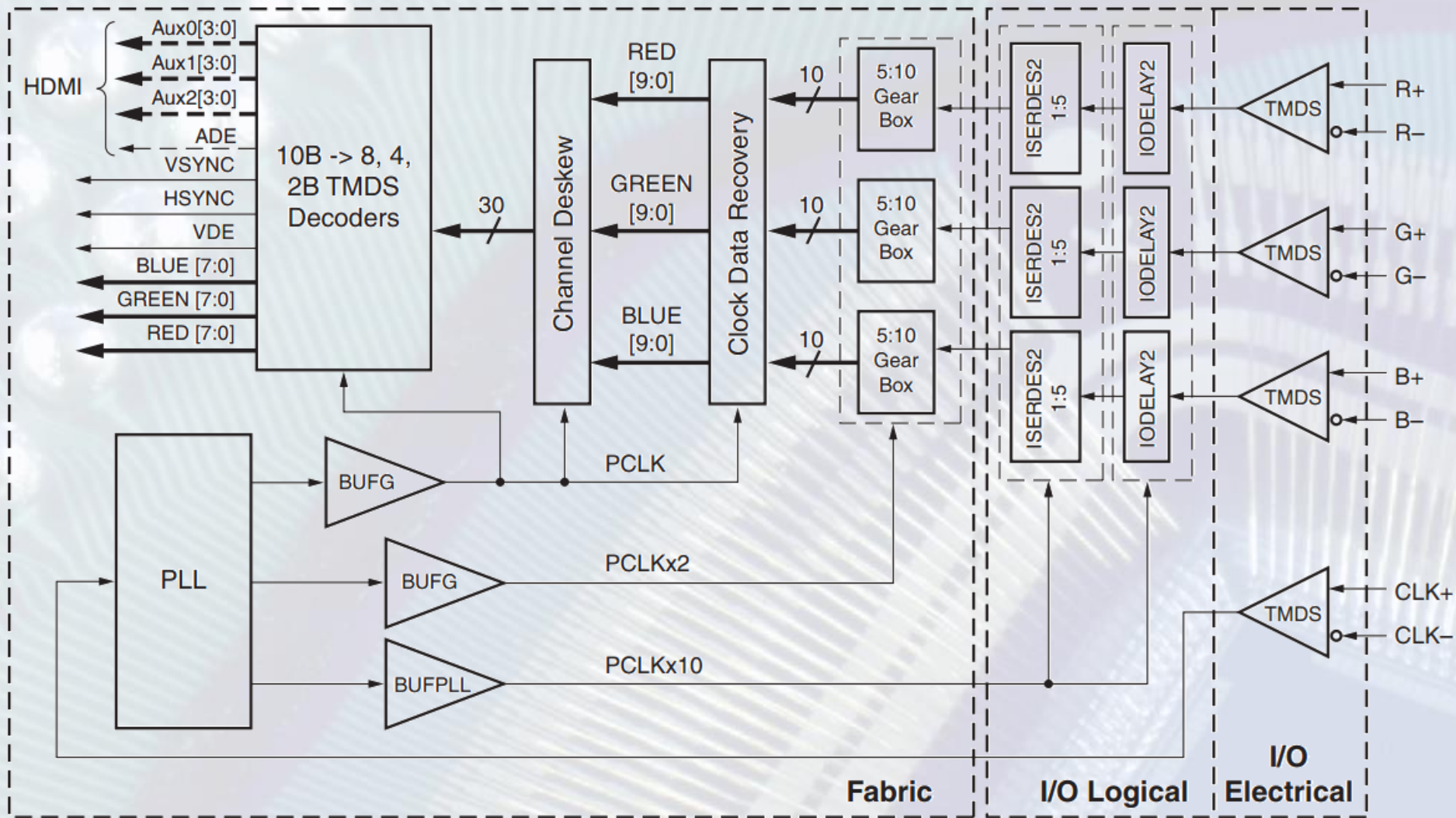
DVI (2)

- **Adatátvitel: 8b→10b kódolás**
 - 8 bites RGB → soros adatsebesség :10x pixel
órajel: 250 Mbit/s ... 1650 Mbit/s
 - Továbbított órajel: pixel órajel
- **HS/VS: 4 fenntartott 10 bites érték**
 - 10'b1101010100: HS=0, VS=0
 - 10'b0010101011: HS=1, VS=0
 - 10'b0101010100: HS=0, VS=1
 - 10'b1010101011: HS=1, VS=1

DVI vevő (1)

- **Vett órajel felszorzása 10x (PLL)**
- **Soros → párhuzamos átalakítás (ISERDES)**
 - Ha a SERDES kevesebbet tud (pl. SP6) → SERDES 5x, CLB-ben 2x
 - Mintavételezés: ISERDES + IODELAY (órajel – adat fázis korrekció)
 - Szóhatár keresés: ISERDES BITSLIP ismert mintára → Control Word
- **Deskew: 3 TMDS csatorna közötti csúszás kompenzációja**
 - Folyamatosan írt/olvasott FIFO, olvasási oldalon Control Word-re szinkronizálva
- **Control word dekódolás (HS, VS), 10b → 8b átalakítás**
- **(SERDES helyett Transceiver-rel is megoldható)**

DVI vevő (2)



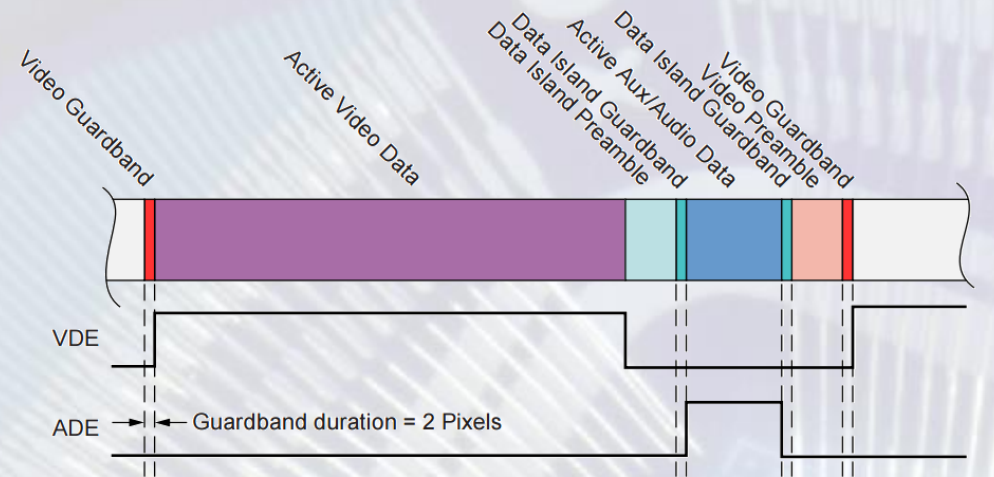
HDMI

- A blank periódus alatt InfoFrame-k és Audió adatok is továbbításra kerülhetnek

HS, VS: kék csat.

C0, C1: zöld csat.

C2, C3: piros



Video Guardband =>
case (TMDS Channel Number):
0:q_out[9:0] = 0b1011001100;
1:q_out[9:0] = 0b0100110011;
2:q_out[9:0] = 0b1011001100;
endcase

Active Video Data (TMDS Code)

Data Island Preamble =>
{c3, c2, c1, c0} = 4'b0101

Data Island Guardband =>
case (TMDS Channel Number):
0:q_out[9:0] = n.a.;
1:q_out[9:0] = 0b0100110011;
2:q_out[9:0] = 0b0100110011;
endcase

Active Aux/Audio Data (TERC4 code)

Video Preamble =>
{c3, c2, c1, c0} = 4'b0001

PCI és PCIe buszok

PCI

PCI, PCI-X: „igazi” busz struktúra

- Multiplexált cím/adatvonal
- Half-duplex
- Multi-master, DMA
- 4 interrupt vonal

Szabvány	Adatszélesség	Frekvencia	Sávszélesség Mbyte/s
PCI	32/64 bit	33 MHz	133/266
PCI 2.1	32/64 bit	66 MHz	266/528
PCI-X 1.0	64 bit	66/133 MHz	528/1056
PCI-X 2.0	64 bit	266/533 MHz	2112/4224

PCI

Fontosabb jelek

- AD: cím/adatvonal
- C/BE#: parancs vagy byte engedélyezés
- FRAME#: aktív átvitel
- IRDY#: initiator (master) ready
- TRDY#: target ready

Perifériák

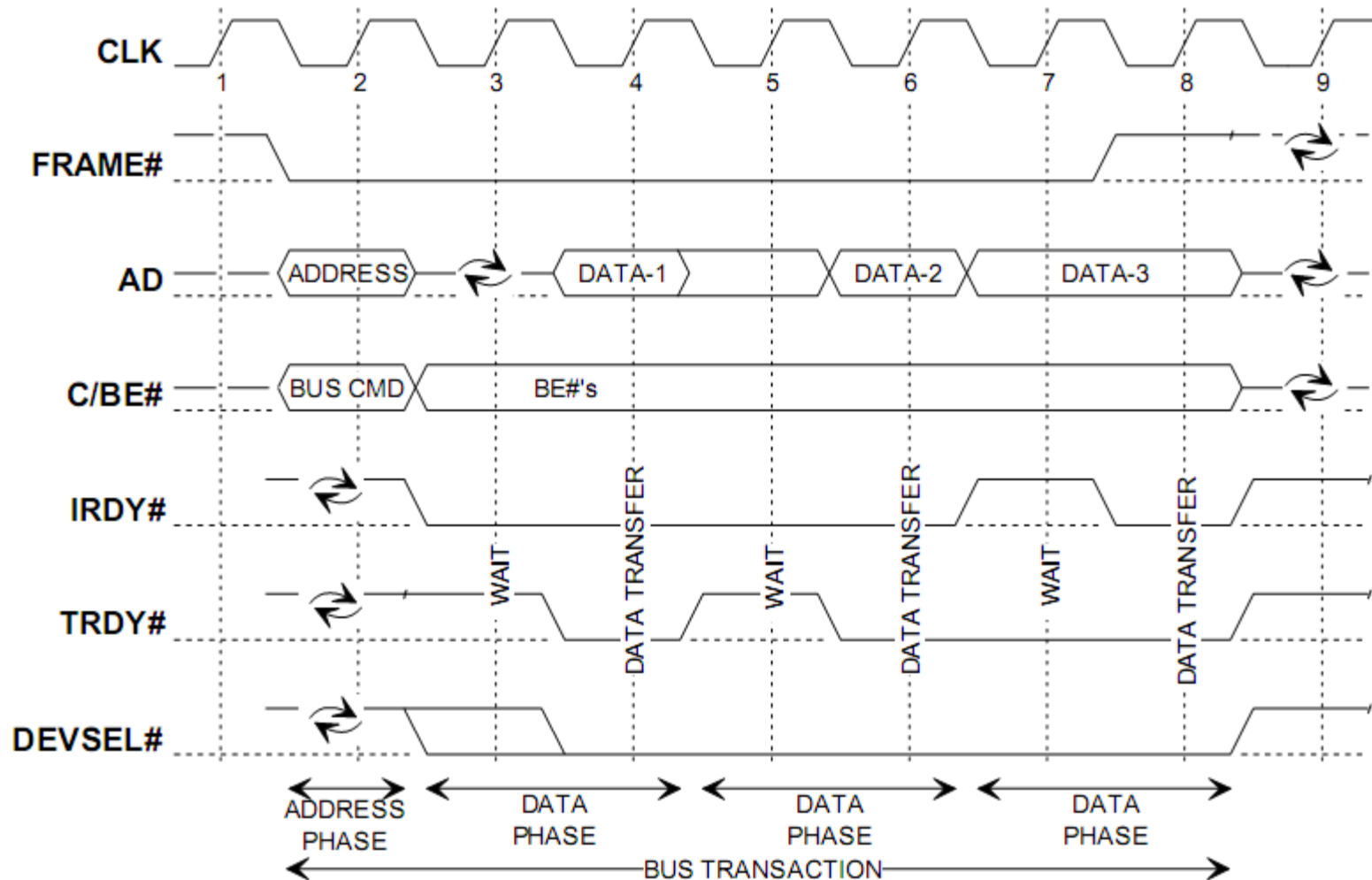
- Target: nem kezdeményezhet buszciklust
- Bus master: lehet master a buszon
- A központi PCI vezérlő tipikusan NEM tartalmaz DMA vezérlőt!

PCI

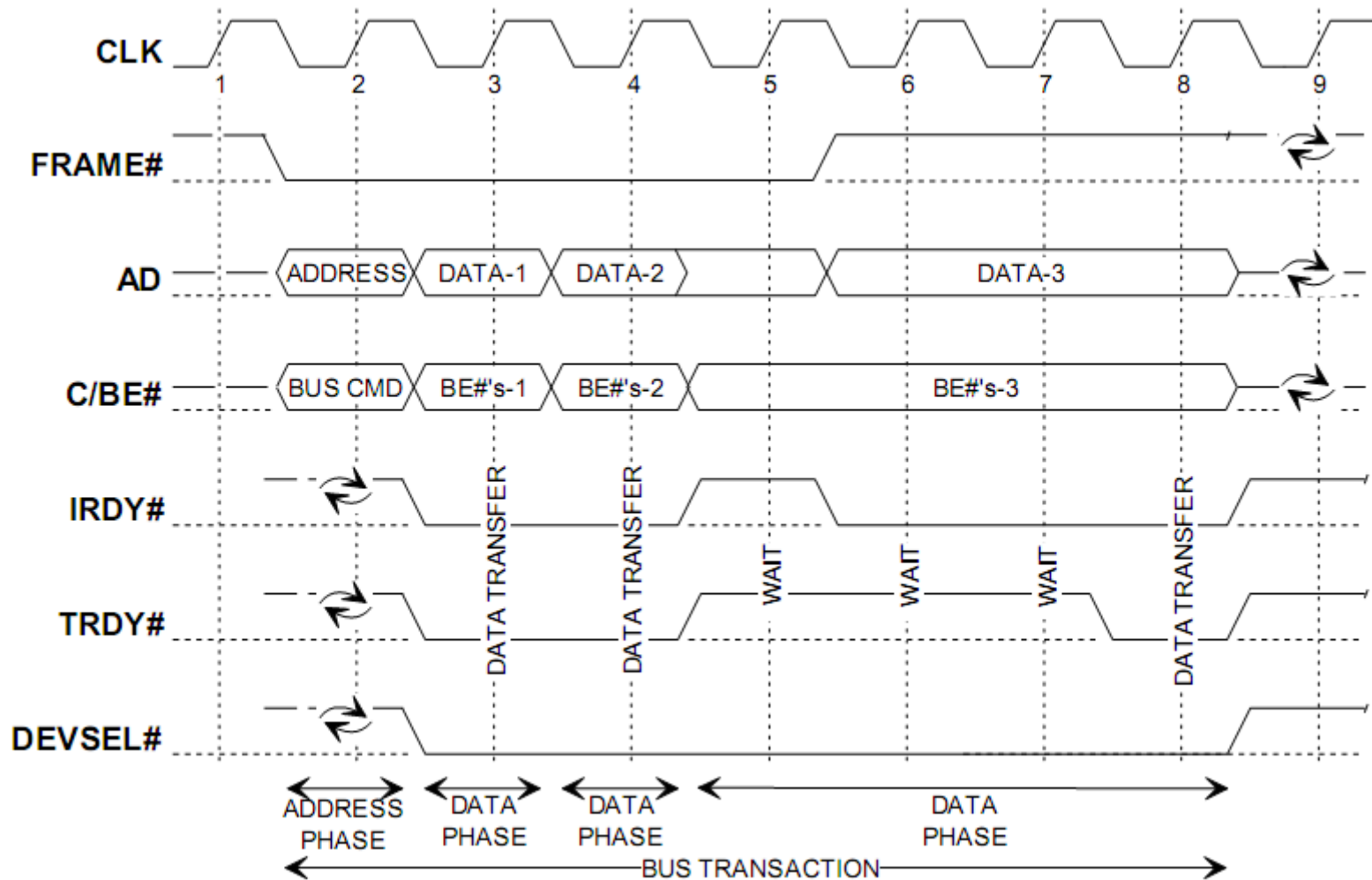
Parancsok (BUS CMD)

- Interrupt Ack
- Special Cycle
- I/O Read és Write
- Memory Read és Write
- Configuration Read és Write
- Dual Address Cycle (pl.: 64bit címzés)

PCI olvasási ciklus



PCI írási ciklus



PCI Express

Soros, pont – pont összeköttetés; helyreállított órajel

Csomag alapú átvitel

Szoftveresen kompatibilis a PCI-jal

1, 2, 4, 8 vagy 16 lane

- PCIe 1.1: 2,5 GT/s (8b/10b)
- PCIe 2.0: 5 GT/s (8b/10b)
- PCIe 3.0: 8 GT/s (128b/130b)
- PCIe 4.0: 16 GT/s (128b/130b)

Kommunikáció

- Requester
- Completer

	PCIe 1.0 GB/s	PCIe 2.0 GB/s	PCIe 3.0 GB/s	PCIe 4.0 GB/s
x1	0,25	0,5	0,984	1,97
x4	1	2	3,938	7,877
x8	2	4	7,877	15,754
x16	4	8	15,754	31,508

PCIe architektúra

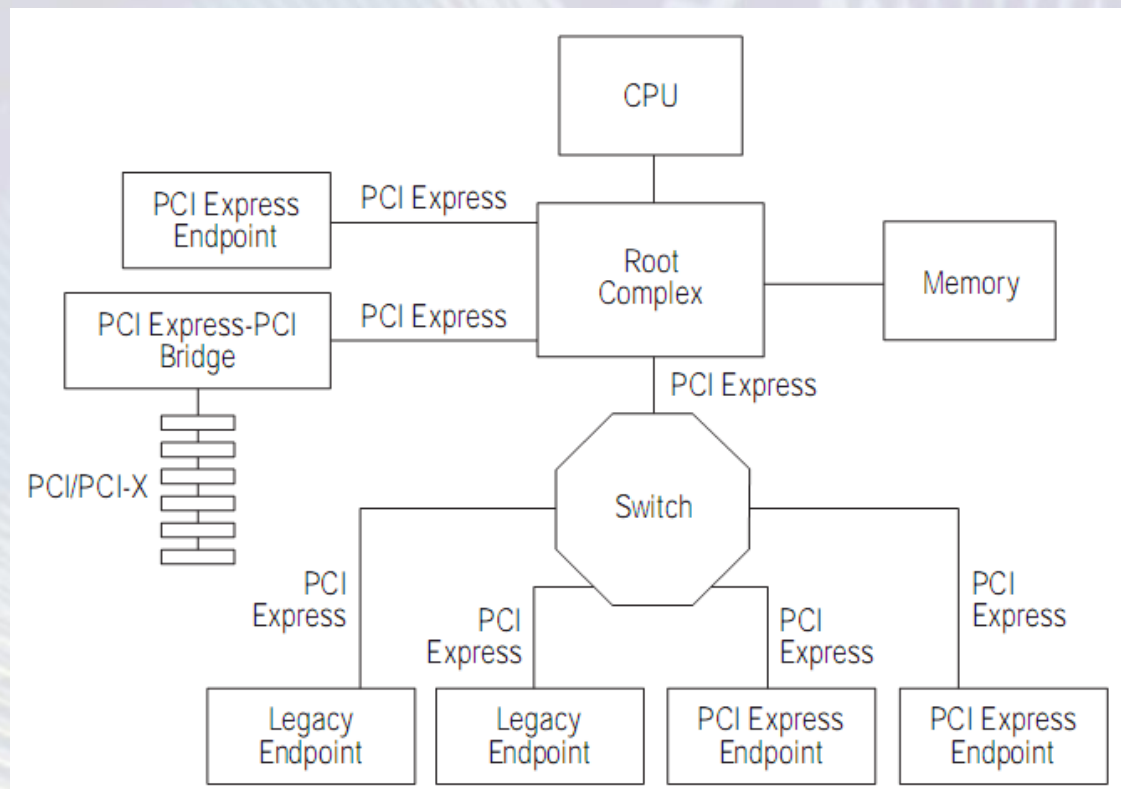
Root Complex: központi vezérlő

- Kapcsolat a CPU-val és a memóriával

Endpoint: periféria

- Completer
- Completer + Requester

**Nincs központi
DMA vezérlő**



PCI/PCIe Config space

Minden endpoint tartalmazza

31		16 15		0		
Device ID		Vendor ID		00h		
Status		Command		04h		
Class Code			Revision ID			08h
BIST	Header Type	Lat. Timer	Cache Line S.			0Ch
Base Address Registers						10h
						14h
						18h
						1Ch
						20h
Cardbus CIS Pointer						24h
Cardbus CIS Pointer						28h
Subsystem ID		Subsystem Vendor ID				2Ch
Expansion ROM Base Address						30h
Reserved			Cap. Pointer			34h
Reserved						38h
Max Lat.	Min Gnt.	Interrupt Pin	Interrupt Line			3Ch

PCI/PCIe busz hierarchia

- **ID:**
 - Bus ID: 8 bit
 - Device ID: 5 bit & Function number: 3 bit

```
Administrator: Command Prompt
c:\Apps\pciutils-3.5.5-win64>lspci
00:00.0 Host bridge: Intel Corporation Device 3e10 (rev 07)
00:01.0 PCI bridge: Intel Corporation Skylake PCIe Controller (x16) (rev 07)
00:02.0 VGA compatible controller: Intel Corporation Device 3e9b
00:04.0 Signal processing controller: Intel Corporation Skylake Processor Thermal Subsystem (rev 07)
00:08.0 System peripheral: Intel Corporation Skylake Gaussian Mixture Model
00:12.0 Signal processing controller: Intel Corporation Device a379 (rev 10)
00:14.0 USB controller: Intel Corporation Device a36d (rev 10)
00:14.2 RAM memory: Intel Corporation Device a36f (rev 10)
00:14.3 Network controller: Intel Corporation Device a370 (rev 10)
00:15.0 Serial bus controller [0c80]: Intel Corporation Device a368 (rev 10)
00:15.1 Serial bus controller [0c80]: Intel Corporation Device a369 (rev 10)
00:16.0 Communication controller: Intel Corporation Device a360 (rev 10)
00:17.0 SATA controller: Intel Corporation Device a353 (rev 10)
00:1d.0 PCI bridge: Intel Corporation Device a330 (rev f0)
00:1d.5 PCI bridge: Intel Corporation Device a335 (rev f0)
00:1e.0 Communication controller: Intel Corporation Device a328 (rev 10)
00:1f.0 ISA bridge: Intel Corporation Device a30d (rev 10)
00:1f.3 Audio device: Intel Corporation Device a348 (rev 10)
00:1f.4 SMBus: Intel Corporation Device a323 (rev 10)
00:1f.5 Serial bus controller [0c80]: Intel Corporation Device a324 (rev 10)
01:00.0 VGA compatible controller: NVIDIA Corporation Device 1f11 (rev a1)
01:00.1 Audio device: NVIDIA Corporation Device 10f9 (rev a1)
01:00.2 USB controller: NVIDIA Corporation Device 1ada (rev a1)
01:00.3 Serial bus controller [0c80]: NVIDIA Corporation Device 1adb (rev a1)
06:00.0 Non-Volatile memory controller: Kingston Technologies Device 2263 (rev 03)
07:00.0 Ethernet controller: Realtek Semiconductor Co., Ltd. RTL8111/8168/8411 PCI Express Gigabit Ethernet Controller (rev 15)

c:\Apps\pciutils-3.5.5-win64>
```

PCIe

Fizikai réteg: differenciális érpár

- Framing + CRC (2x64 bit)

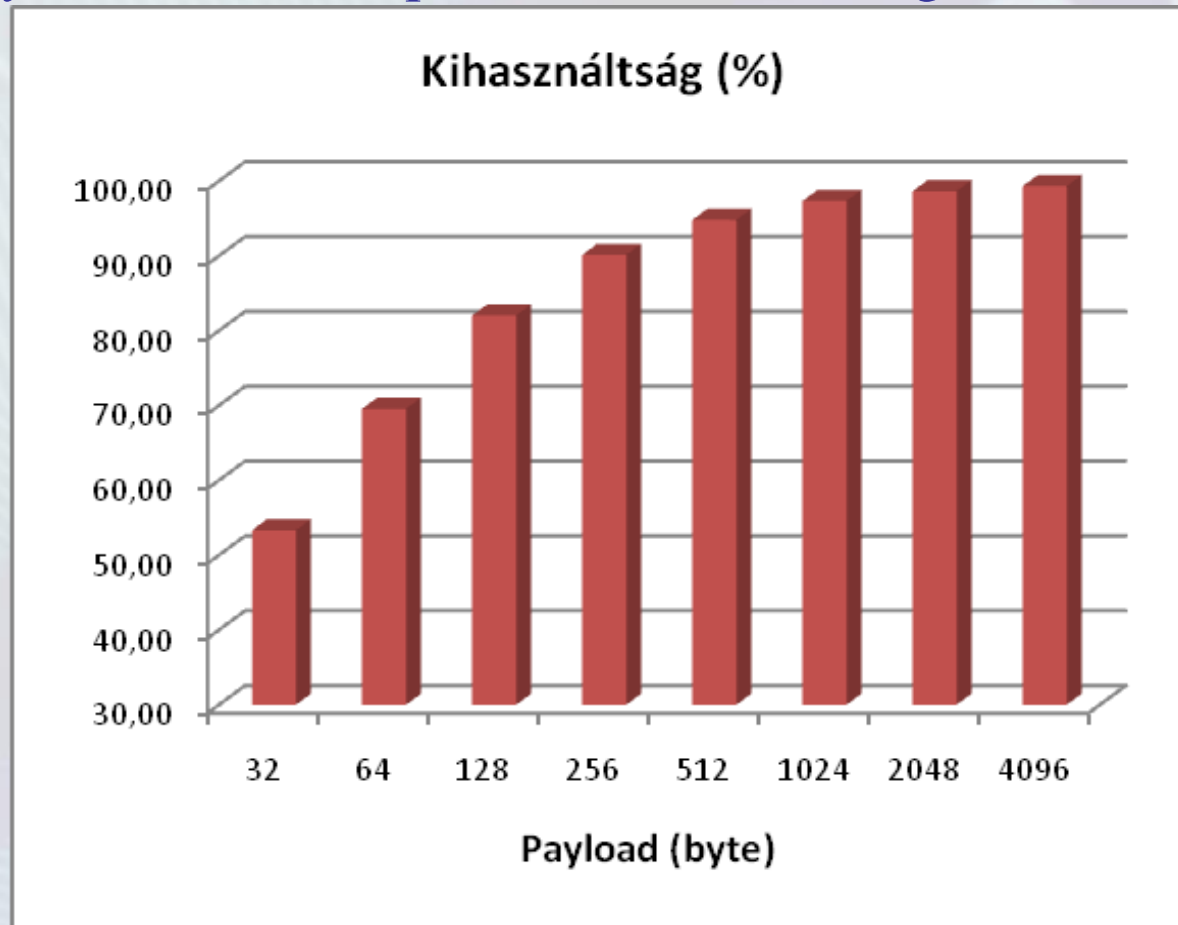
Átviteli réteg

- Fejléc: 3-4 DW
- Opcionális CRC: 1 DW
- Data payload: 128/256/512/1024/2048/4096 byte
 - Root Complex & Endpoint támogatás kell!

PCIe

Egy csomagban legfeljebb Data Payload-nyi adat

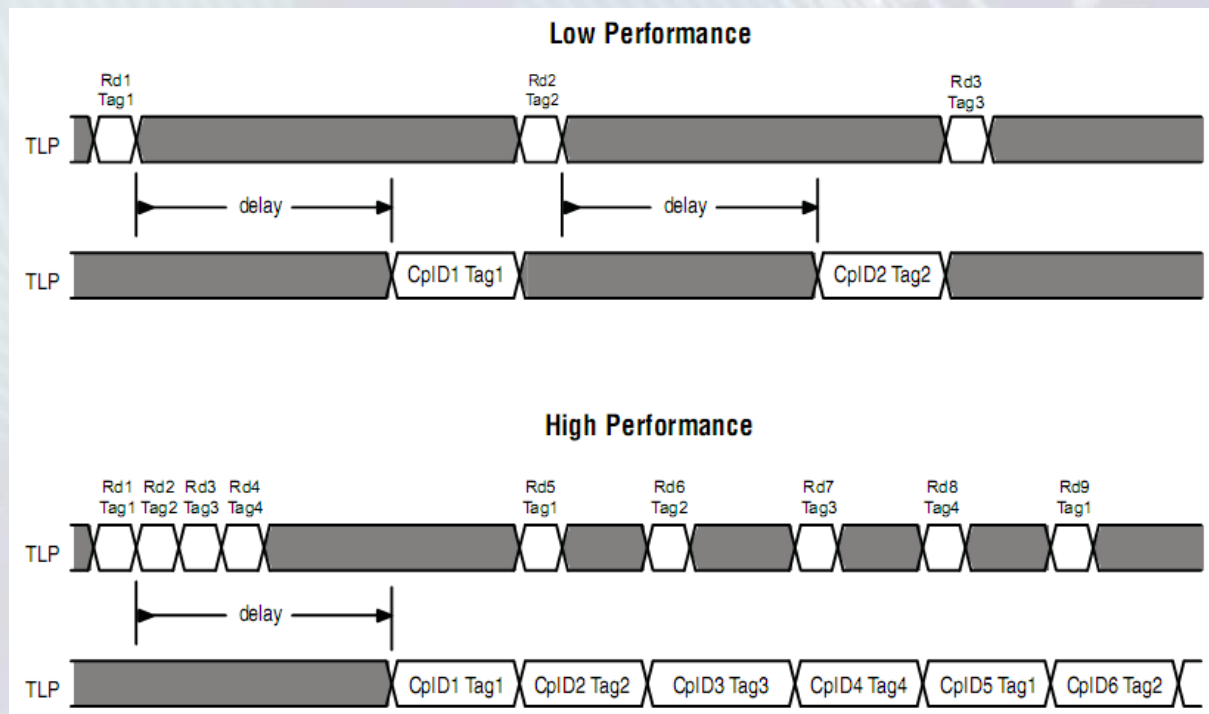
– Nagyobb méretű request-ek több csomagban



PCIe

A PCIe késleltetése viszonylag nagy

- De újabb Request-ek elküldhetők a Completion megérkezése előtt



PCIe

Egy Request-re adott Completion

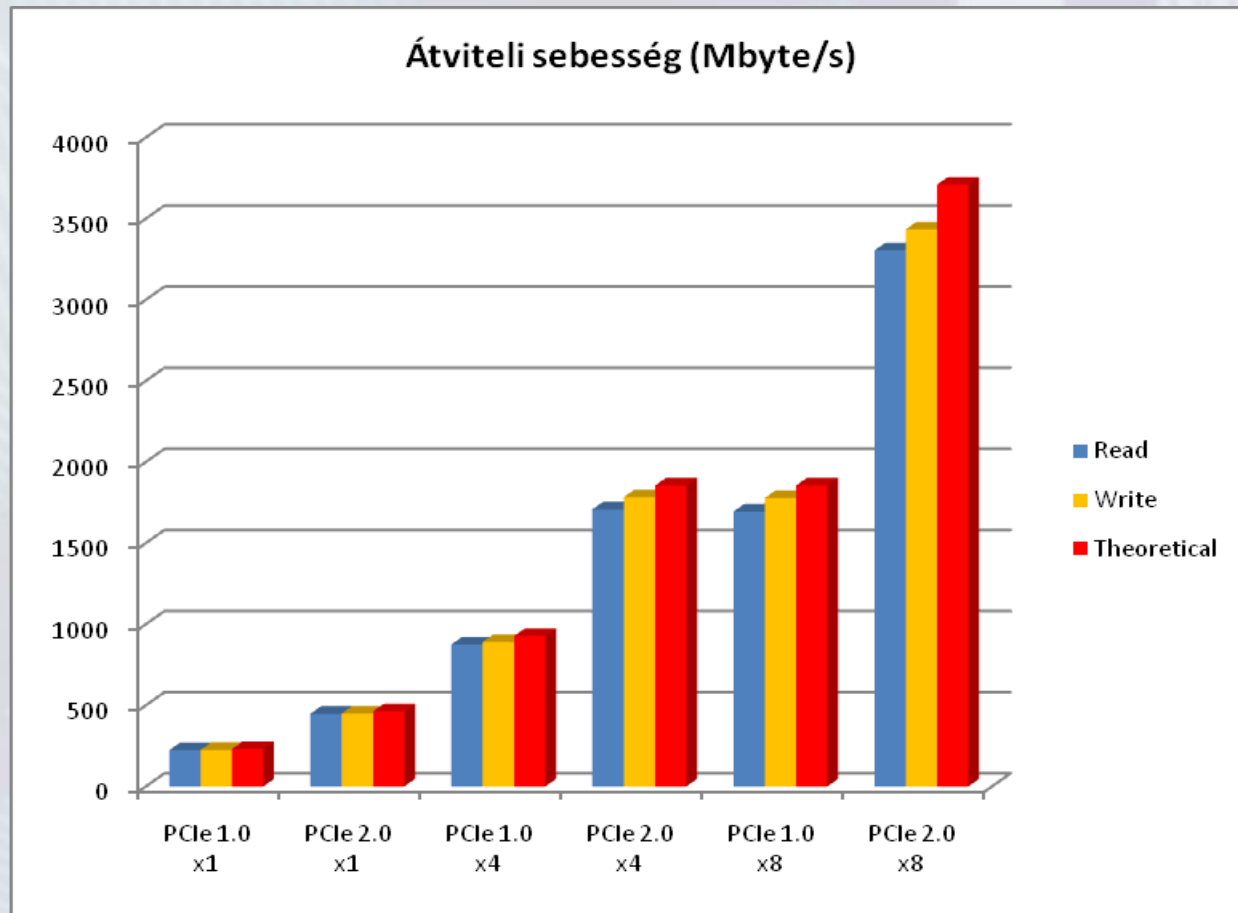
- Egy csomagban
- Több csomagban – a csomagok sorrendje címsorrendben

Több, címfolytonos Request

- A Completion csomagok sorrendje NEM feltétlenül felel meg a címsorrendnek

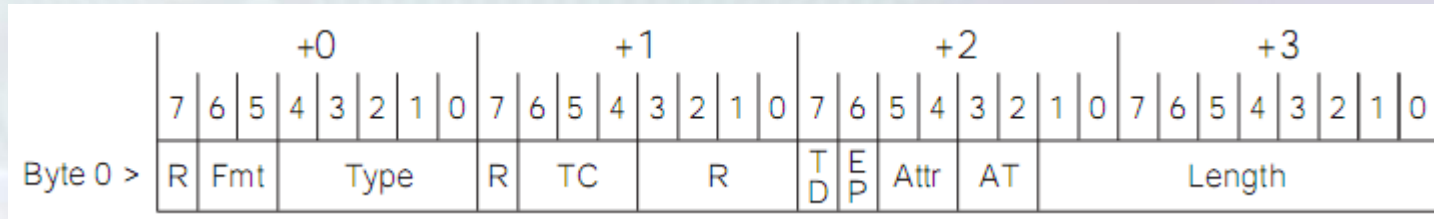
Valós átviteli sebesség

PCIe 1.1 és 2.0 buszon elérhető sebesség (Intel X58 chip, 256 byte Payload)



PCIe TLP

Fejléc 1. DW (minden csomagban)

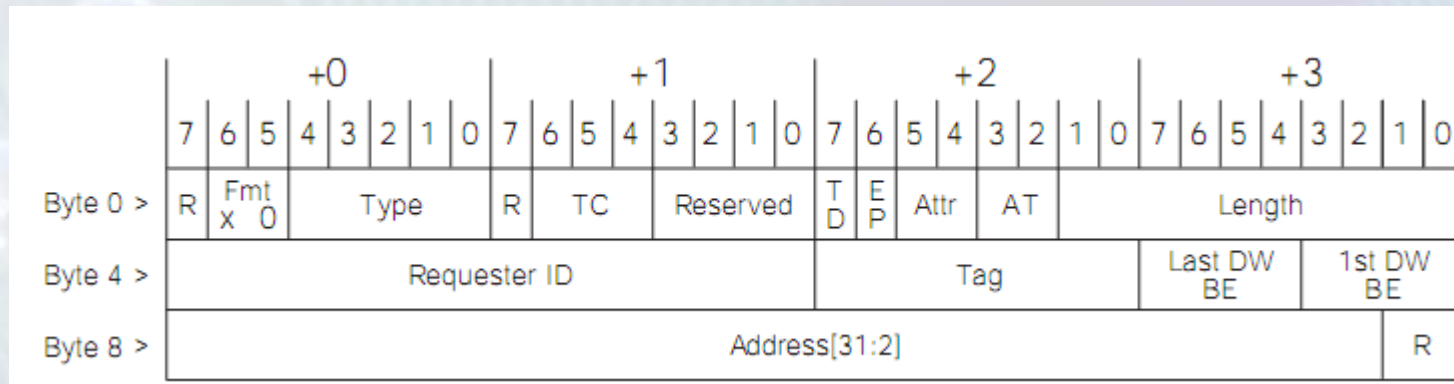


Fmt	Type	
00 01	0_0000	Memory Read Request
10 11	0_0000	Memory Write Request
00	0_1010	Completion, nincs adat
10	0_1010	Completion, adattal

– Length: 1...1024 DW (< Data Payload)

PCIe – 32 bites Request

TLP fejléc



Requester ID: Bus number + Device Number + Function number

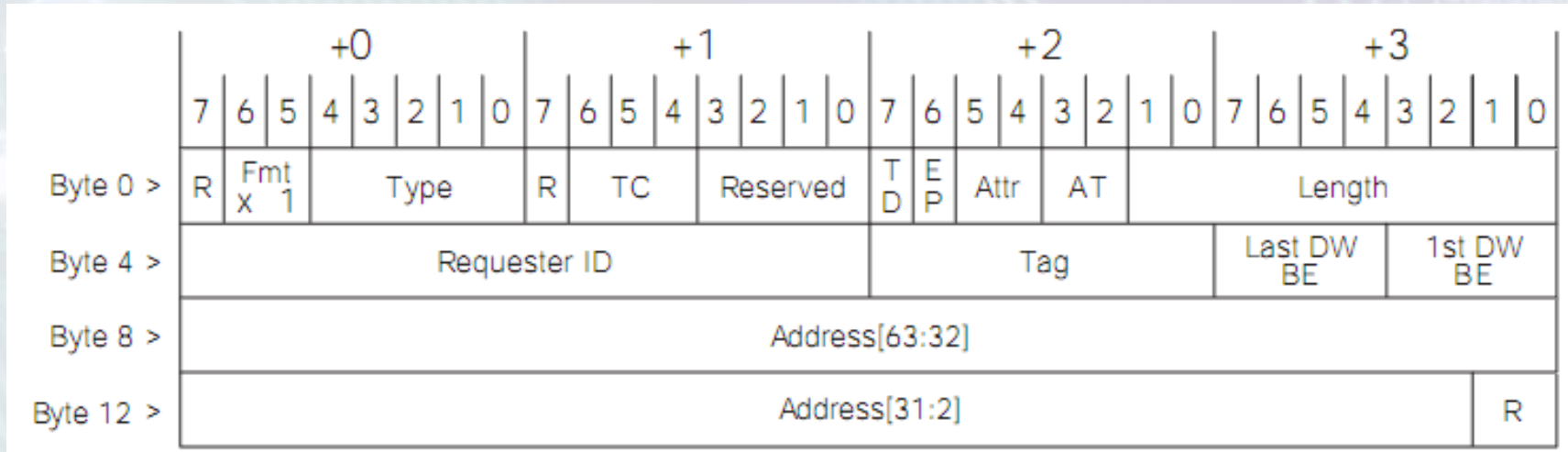
Tag: Minden „kintlévő”, Completion-t igénylő üzenet egyedi azonosítója (kintlévő üzenetek száma < 32)

BE: byte engedélyezés az első és utolsó DW-re

Address: cím (DW cím)

PCIe – 64 bites Request

3 helyett 4 DW a fejlécben



PCIe - Completion

Completion TLP fejléc

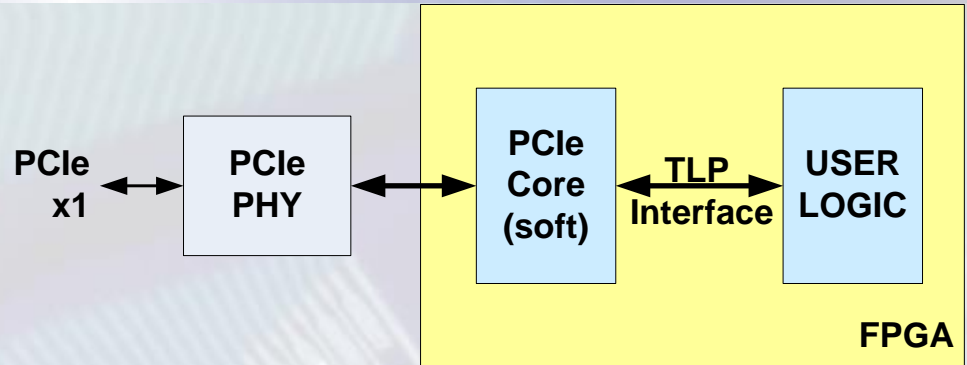
	+0								+1								+2								+3							
	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
Byte 0 >	R	Fmt x 0		Type				R	TC	Reserved				T D	E P	Attr	AT 0 0		Length													
Byte 4 >	Completer ID								Compl. Status		B C M	Byte Count																				
Byte 8 >	Requester ID								Tag				R	Lower Address																		

Tag: A Request-tel megyező Tag

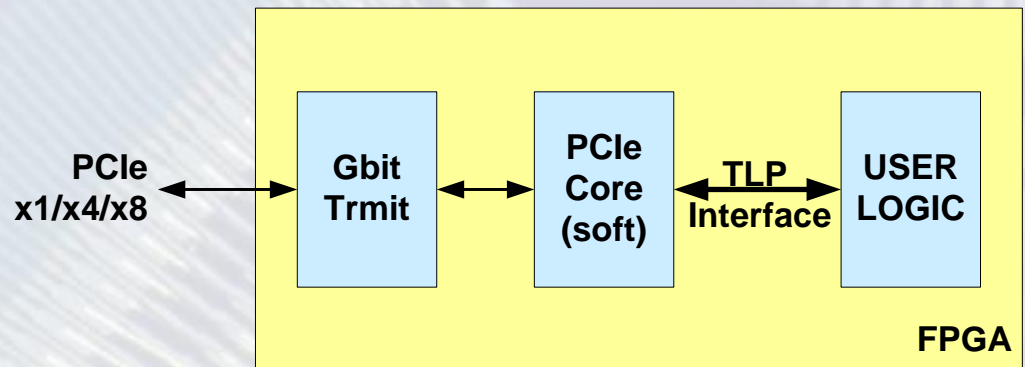
Byte Count: A Request-ből még hátralévő byte-ok száma

PCIe FPGA-val

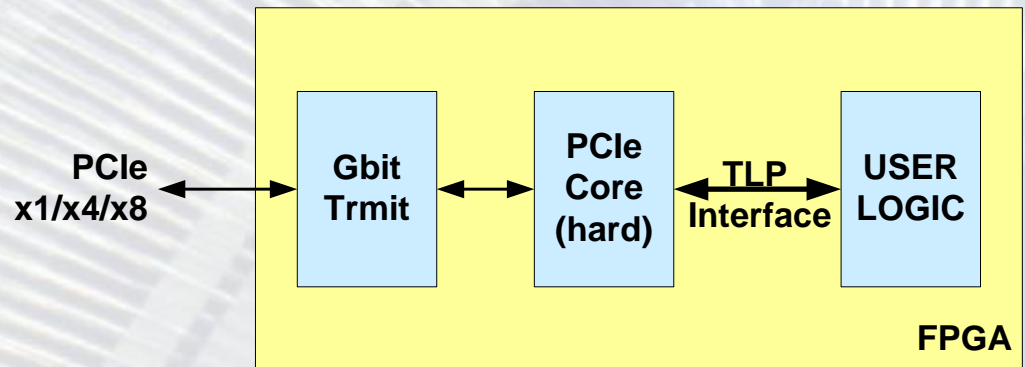
Külső PHY
Soft-core MAC
(minden FPGA)



Belső Gbit transmitter
Soft-core MAC
(pl. V2P, V4)



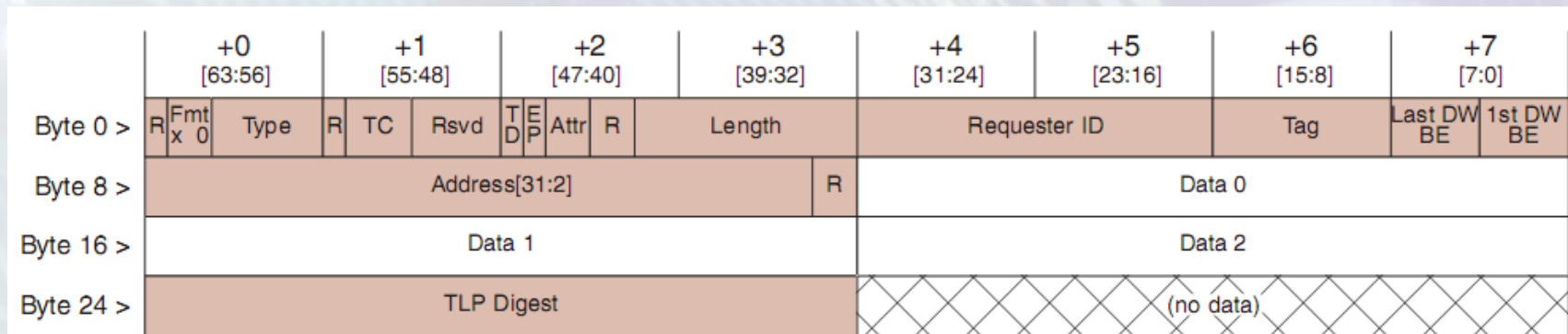
Belső Gbit transmitter
Hard-core MAC
(ma már gyakorlatilag minden FPGA)



PCIe FPGA interfész

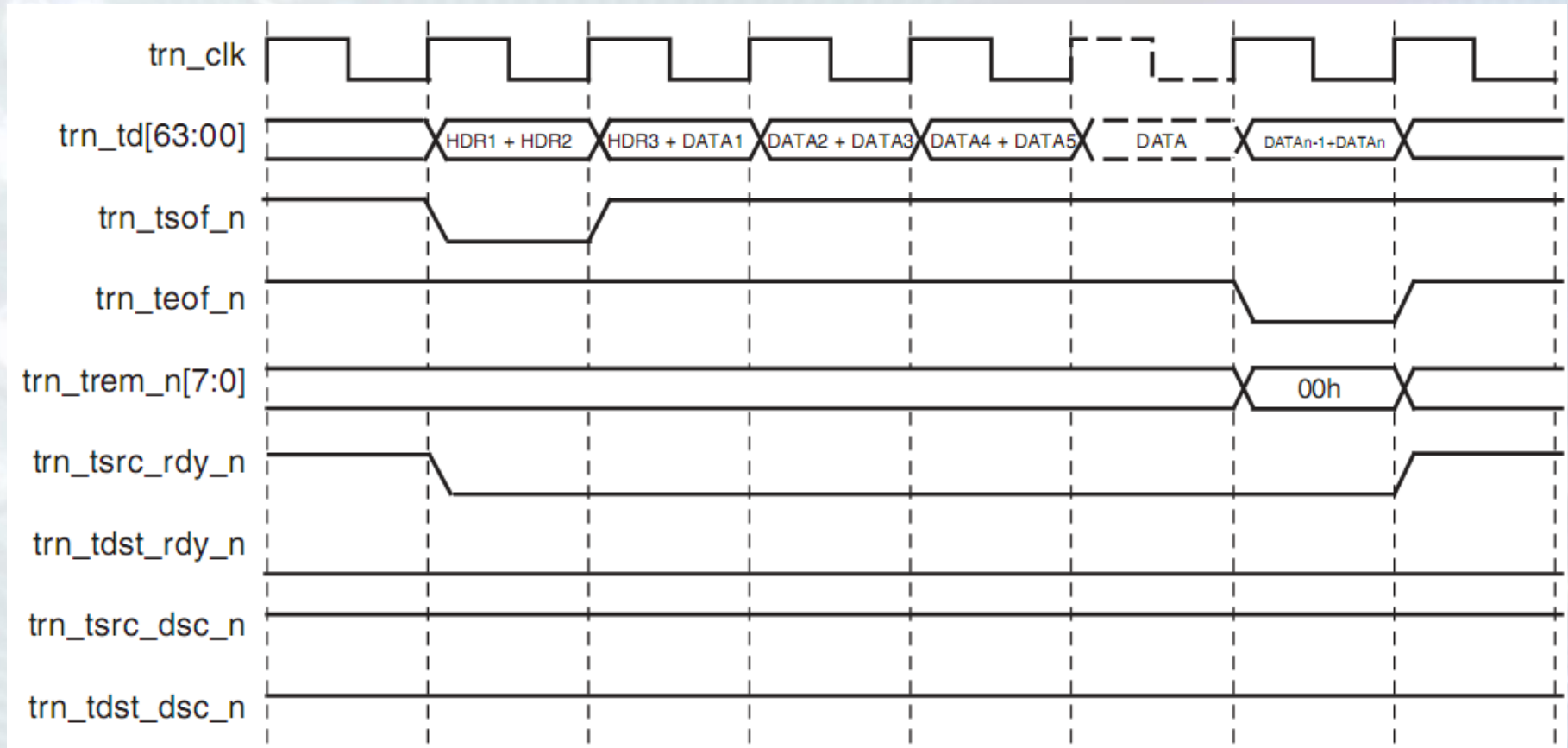
Gyakorlatilag Memory Read, Memory Write és Completion csomagok fogadása és generálása szükséges

TLP interfész: 64 bites FIFO IF

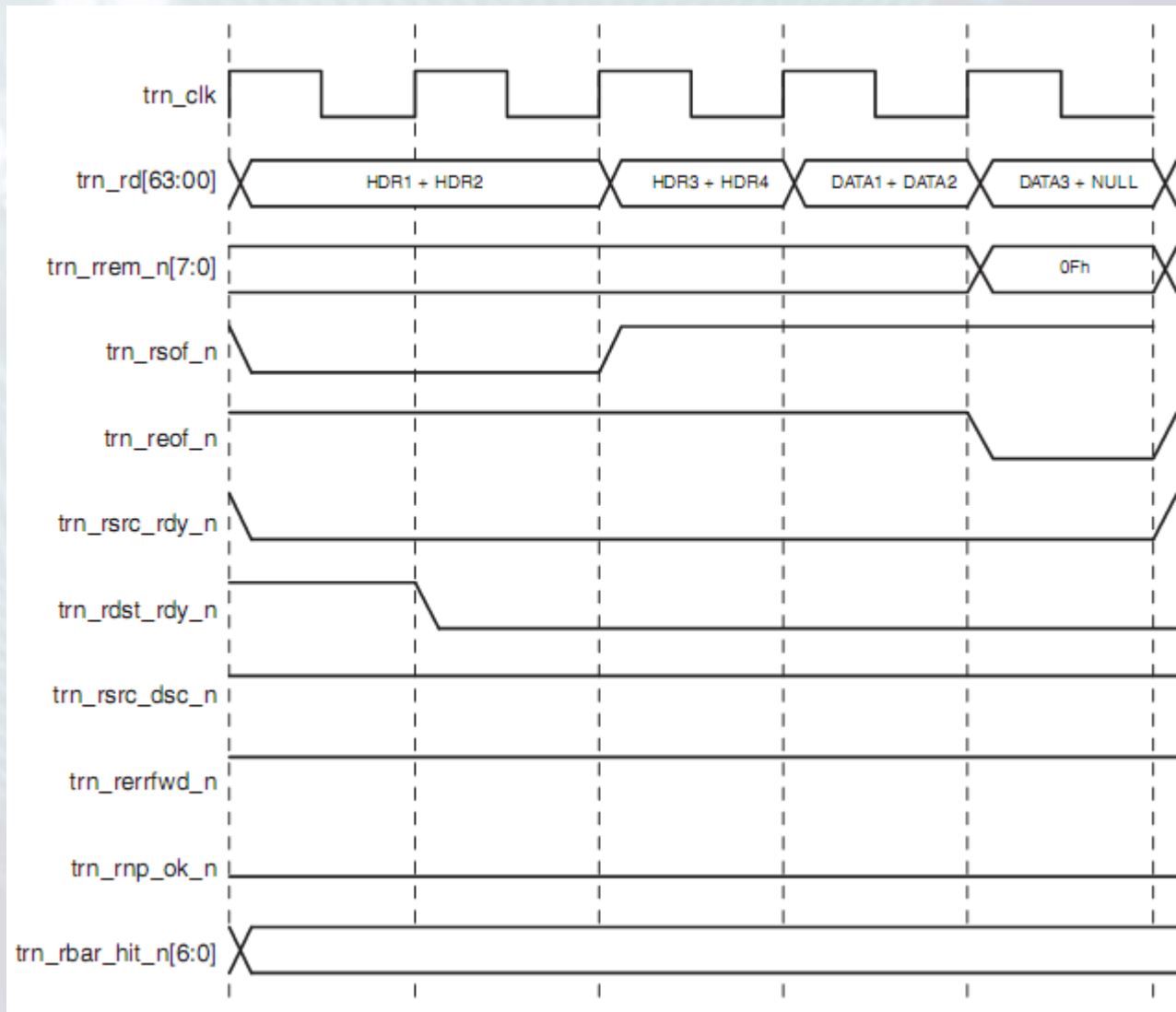


1/4/8 lane: 62,5/125/250 MHz

PCIe FPGA oldal - Transmit



PCIe FPGA oldal - Receive



Xilinx PCIe IP-k

- **Hard-core IP példányosítása**
 - Transaction layer packet-ek feldolgozása saját logikával
- **AXI Memory Mapped To PCI Express IP**
 - PCIe Completer, FPGA irányába AXI busszal
 - Kiegészíthető AXI DMA vezérlővel vagy egyéb AXI master-ekkel
- **DMA/Bridge subsystem for PCI Express IP**
 - Integrált DMA vezérlő
 - AXI vagy AXI Stream interfész

SRAM, DRAM

Memória típusok

- **SRAM (4-6 tranzisztor/cella)**
 - Aszinkron (4 Mbit, x4, x8, x16)
 - NtRAM (64 Mbit, x18, x36, 250 MHz)
 - DDR (32 Mbit, x18, x36, 400 MHz)
 - DDR2 (72 Mbit, x18, x36, 450 MHz)
 - QDR (72 Mbit, x18, x36, 450 MHz)
- **DRAM (tipikusan 1 tranzisztor + kondenzátor / bit)**
 - SDRAM (256 Mbit, x8, x16, 167 MHz, 3.3V)
 - DDR (1 Gbit, x4, x8, x16, 200 MHz, 2.5V)
 - DDR2 (4 Gbit, x4, x8, x16, 400 MHz, 1.8V)
 - DDR3 (8 Gbit, x4, x8, x16, 1066 MHz, 1.5V)
 - DDR4 (4 Gbit, x4, x8, x16, 1600 MHz, 1.2V)
 - GDDR3/4/5 (1 Gbit, x32, 7 GHz, 1.5V)
- **HMC: Hybrid Memory Cube**
- **HBM: High Bandwidth Memory**

Külső memória interfészek (1)

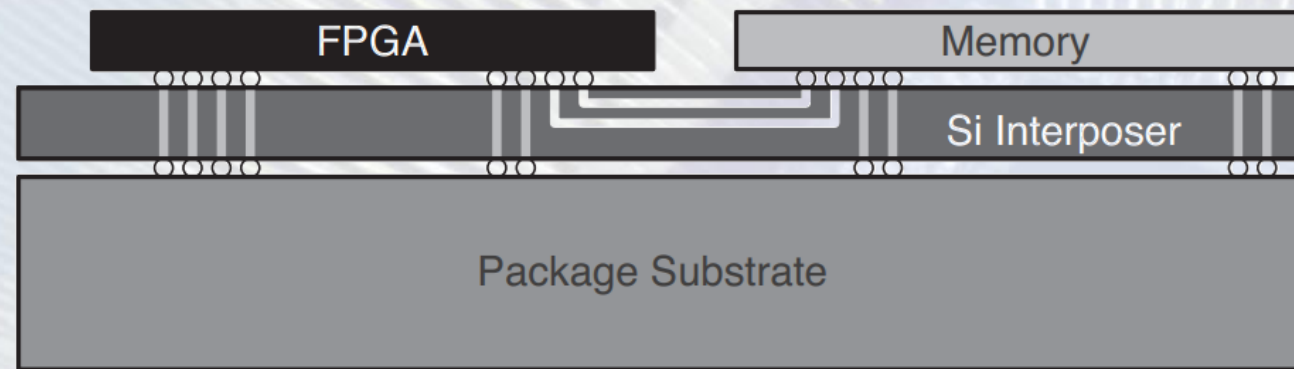
Memory Type	7 Series	Virtex-6	Spartan-6	Virtex-5
DDR3 SDRAM	1866 Mbps	1066 Mbps	800 Mbps	800 Mbps
	933 MHz	533 MHz	400 MHz	400 MHz
DDR2 SDRAM	800 Mbps	800 Mbps	800 Mbps	667 Mbps
	400 MHz	400 MHz	400 MHz	333 MHz
DDR SDRAM	-	-	400 Mbps	400 Mbps
	-	-	200 MHz	200 MHz
LPDDR SDRAM	-	-	400 Mbps	-
	-	-	200 MHz	-
LPDDR2 SDRAM	667 Mbps#	-	-	-
	333 MHz	-	-	-
QDR II/QDRII+ SRAM	2 x 1100 Mbps	2 x 800 Mbps	-	2 x 600 Mbps
	550 MHz	400 MHz	-	300 MHz
RLDRAM II	1066 Mbps	1000 Mbps	-	667Mbps
	533 MHz	500 MHz	-	333 MHz
RLDRAM 3	1600 Mbps#	-	-	-
	800MHz	-	-	-

Külső memória interfészek (2)

Speed Grade	Max Bandwidth (Mb/s)				
	-1		-2		-3
Temp Grade	LI	I/E	LE	I/LE	E
VCCINT	0.72V	0.85V	0.72V	0.85V	0.90V
DDR4 HP I/O	2133	2400	2400	2666	2666
DDR3 HP I/O	1866	2133	2133	2133	2133
DDR3L HP I/O	1600	1866	1866	1866	1866
LPDDR3 HP I/O	1600	1600	1600	1600	1600
QDR-II+ (MHz) HP I/O	550	600	600	633	633
QDR-IV XP (MHz) HP I/O	933	1066	933	1066	1066
RLDRAM 3 (MHz) HP I/O	933	1066	1066	1200	1200
HMC Gen 2	15000TX + 15000RX	15000TX + 15000RX	15000TX + 15000RX	15000TX + 15000RX	15000TX + 15000RX
Bandwidth Engine 3	10313	10312	28000	28000	28000
Bandwidth Engine 2	10313	10313	10313	15500	15500

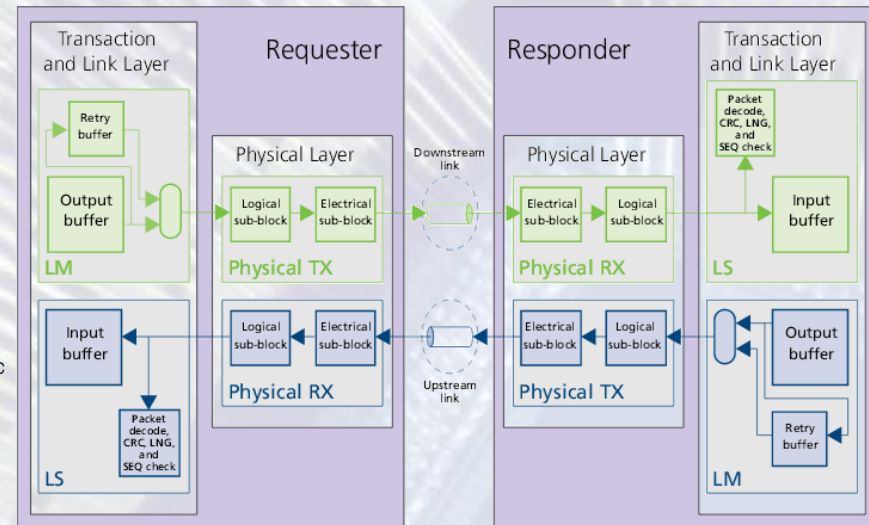
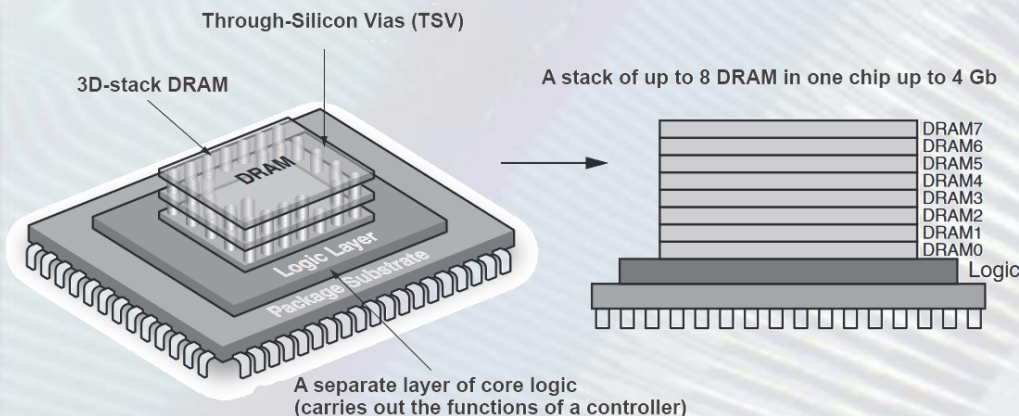
High Bandwidth Memory (HBM)

- **Az FPGA és memória die egy hordozón (interposer)**
- Rövid vezetékek, kis kapacitás és induktivitás
- I/O interfész kis szilícium területet igényel
- **Max 16 GB, 1024 bit interfész, 460 GB/s**



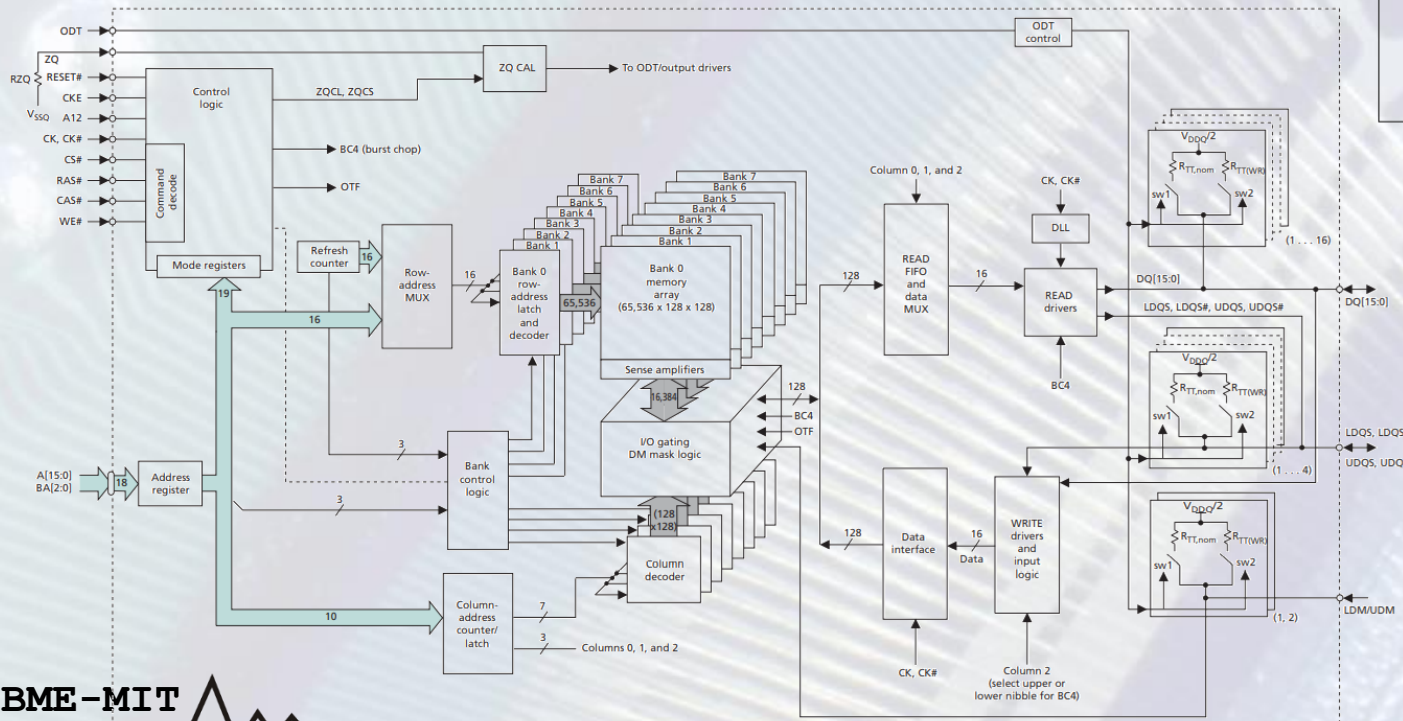
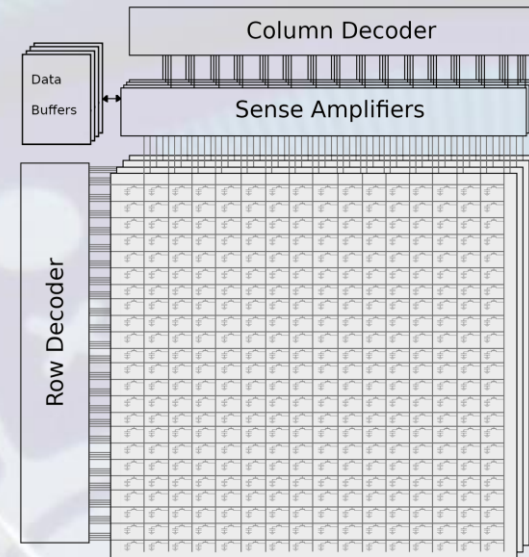
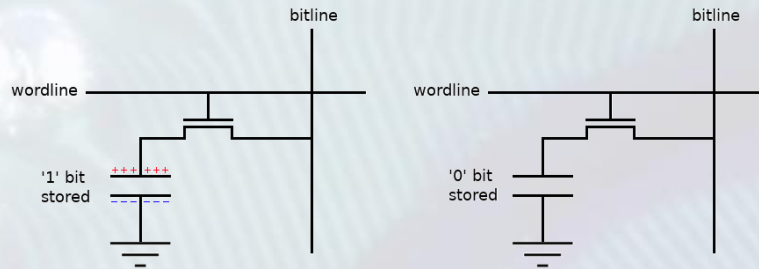
Hybrid memory Cube (HMC)

- Sztenderd DRAM memória cellák
- Több réteg memória egymáson, külön vezérlő
- Nagy sebességű interfész
 - 15 Gb/s vonalanként
 - Több (pl. 4) link, több lane/link (pl. 16)
- Sok transceiver-t igényel az FPGA-ban
 - VirtexUltraScale+: 40-128 transceiver



DRAM

- 1 tranzisztor + kapacitás / bit



DDR3 DRAM parancsok

Function	Symbol	CKE		CS#	RAS#	CAS#	WE#	BA [2:0]	An	A12	A10	A[11, 9:0]	Notes	
		Prev. Cycle	Next Cycle											
MODE REGISTER SET	MRS	H	H	L	L	L	L	BA	OP code					
REFRESH	REF	H	H	L	L	L	H	V	V	V	V	V		
Self refresh entry	SRE	H	L	L	L	L	H	V	V	V	V	V	6	
Self refresh exit	SRX	L	H	H	V	V	V	V	V	V	V	V	6, 7	
				L	H	H	H							
Single-bank PRECHARGE	PRE	H	H	L	L	H	L	BA	V	V	L	V		
PRECHARGE all banks	PREA	H	H	L	L	H	L	V		V	H	V		
Bank ACTIVATE	ACT	H	H	L	L	H	H	BA	Row address (RA)					
WRITE	BL8MRS, BC4MRS	WR	H	H	L	H	L	L	BA	RFU	V	L	CA	8
	BC4OTF	WRS4	H	H	L	H	L	L	BA	RFU	L	L	CA	8
	BL8OTF	WRS8	H	H	L	H	L	L	BA	RFU	H	L	CA	8
WRITE with auto precharge	BL8MRS, BC4MRS	WRAP	H	H	L	H	L	L	BA	RFU	V	H	CA	8
	BC4OTF	WRAPS4	H	H	L	H	L	L	BA	RFU	L	H	CA	8
	BL8OTF	WRAPS8	H	H	L	H	L	L	BA	RFU	H	H	CA	8
READ	BL8MRS, BC4MRS	RD	H	H	L	H	L	H	BA	RFU	V	L	CA	8
	BC4OTF	RDS4	H	H	L	H	L	H	BA	RFU	L	L	CA	8
	BL8OTF	RDS8	H	H	L	H	L	H	BA	RFU	H	L	CA	8
READ with auto precharge	BL8MRS, BC4MRS	RDAP	H	H	L	H	L	H	BA	RFU	V	H	CA	8
	BC4OTF	RDAPS4	H	H	L	H	L	H	BA	RFU	L	H	CA	8
	BL8OTF	RDAPS8	H	H	L	H	L	H	BA	RFU	H	H	CA	8
NO OPERATION	NOP	H	H	L	H	H	H	V	V	V	V	V	9	
Device DESELECTED	DES	H	H	H	X	X	X	X	X	X	X	X	10	
Power-down entry	PDE	H	L	L	H	H	H	V	V	V	V	V	6	
				H	V	V	V							
Power-down exit	PDX	L	H	L	H	H	H	V	V	V	V	V	6, 11	
				H	V	V	V							
ZQ CALIBRATION LONG	ZQCL	H	H	L	H	H	L	X	X	X	H	X	12	
ZQ CALIBRATION SHORT	ZQCS	H	H	L	H	H	L	X	X	X	L	X		

DRAM működtetés

- **Inicializálási szekvencia**
 - Mode regiszter írás
- **ACTIVE: bank és sor (row) megnyitás**
- **PRECHARGE: sor (row) lezárás**
 - Auto precharge
- **READ/WRITE**
 - Bank és oszlop kiválasztás
- **Frissítés**
 - REFRESH parancs vagy Auto refresh

DDR/DDR2/DDR3 SDRAM

- **Parancs: CK órajellel szinkron**
- **Bemenő adat: DQS jellel szinkron, DQS „középre” időzített**
- **Kimeneti adat: DQS jel élváltással szinkron (forrás szinkron)**
- **DLL: DQS szinkronizálás CK-val**
- **Burst (2-4-8) orientált működés**

Speed Grade	Data Rate (MT/s)	Target t_{RCD} - t_{RP} -CL	t_{RCD} (ns)	t_{RP} (ns)	CL (ns)
-093 ^{1, 2, 3, 4}	2133	14-14-14	13.13	13.13	13.13
-107 ^{1, 2, 3}	1866	13-13-13	13.91	13.91	13.91
-125 ^{1, 2,}	1600	11-11-11	13.75	13.75	13.75
-15E ^{1,}	1333	9-9-9	13.5	13.5	13.5
-187E	1066	7-7-7	13.1	13.1	13.1

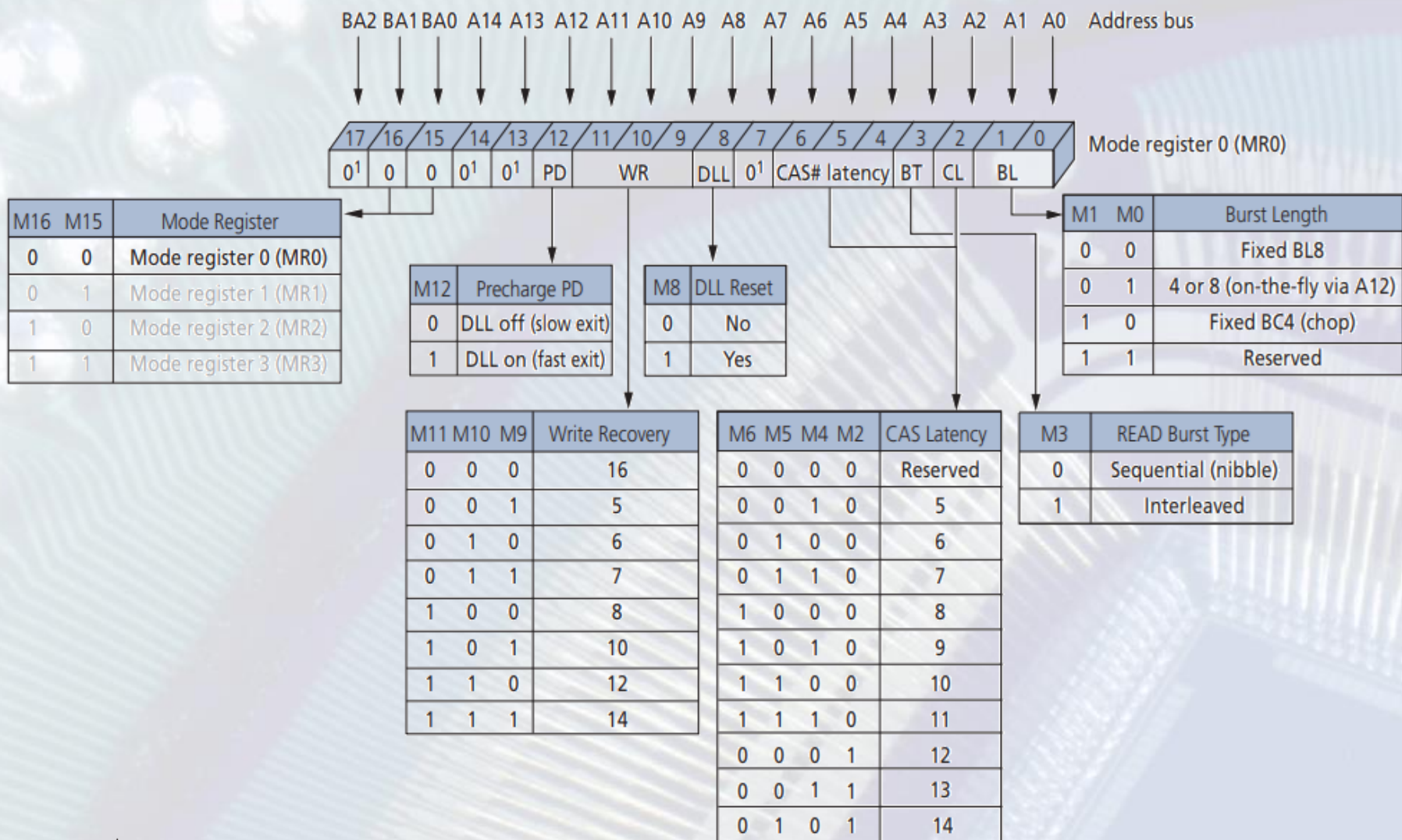
RCD: ACT → READ/WRITE

RP: PRECHARGE periódus

CL: CAS latency

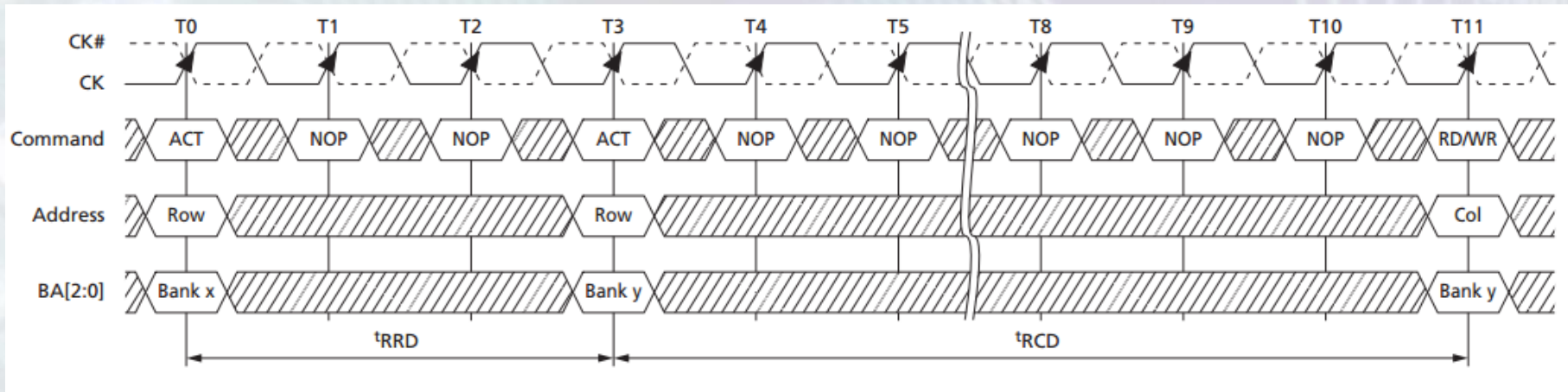
- **GDDR: szétválasztott bemeneti és kimeneti DQS jelek**

DDR3 mode register 0



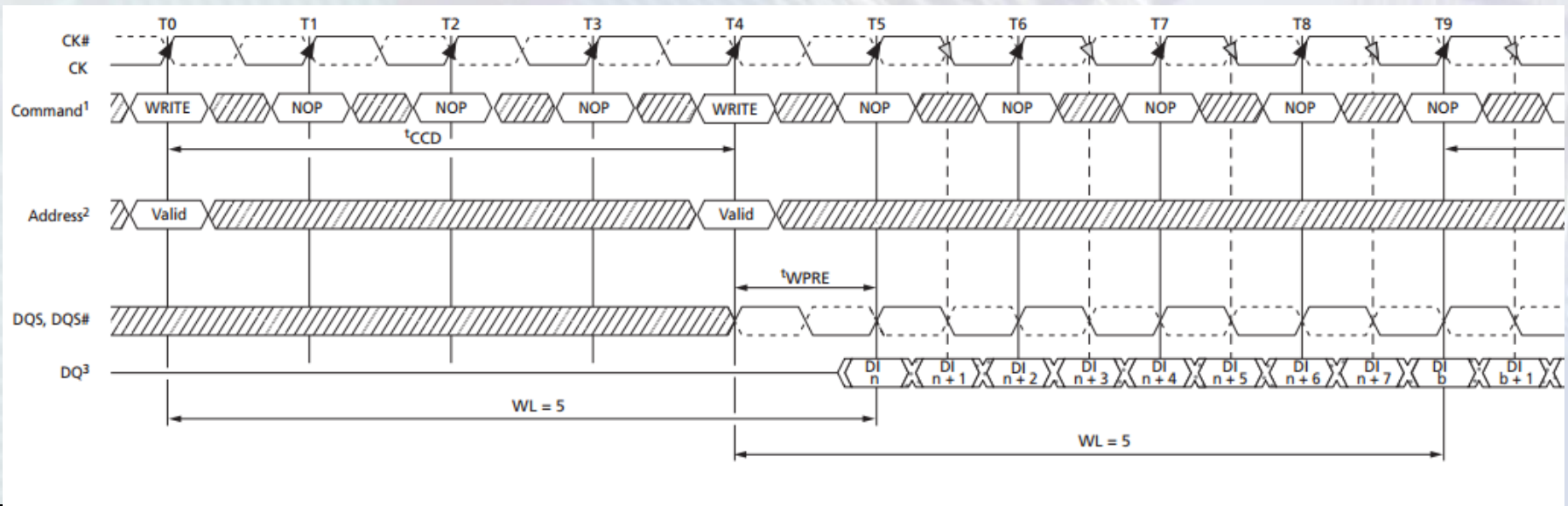
DDR3 ACTIVE

- t_{RRD} : ACTIVE \rightarrow ACTIVE
- t_{RCD} : ACTIVE \rightarrow READ/WRITE



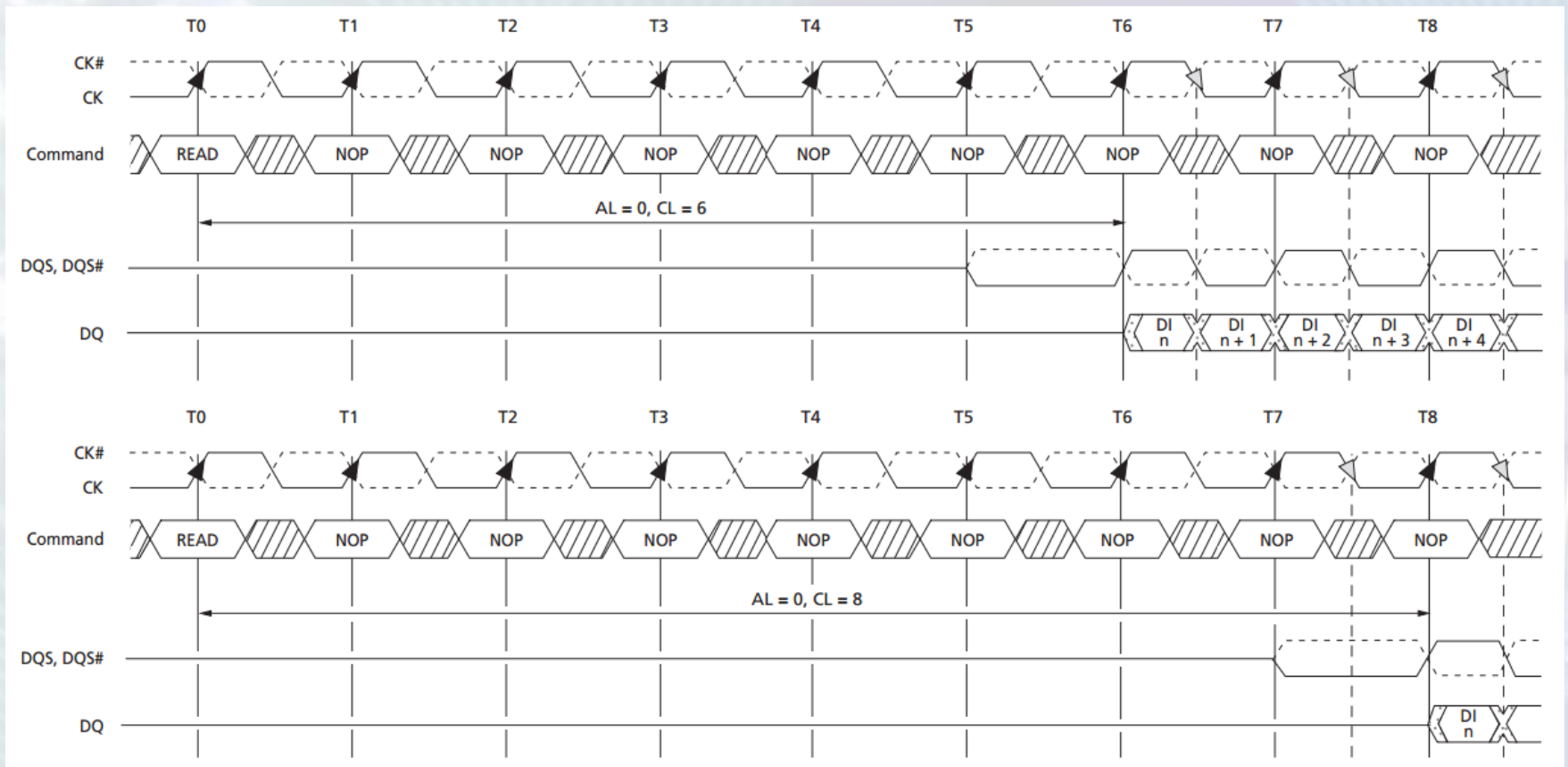
DDR3 – write

- 2 egymás utáni write (BL=8)
- WL : write latency
- t_{WPRE} : write \rightarrow data késleltetés
- t_{CCD} : CAS \rightarrow CAS parancs késleletés



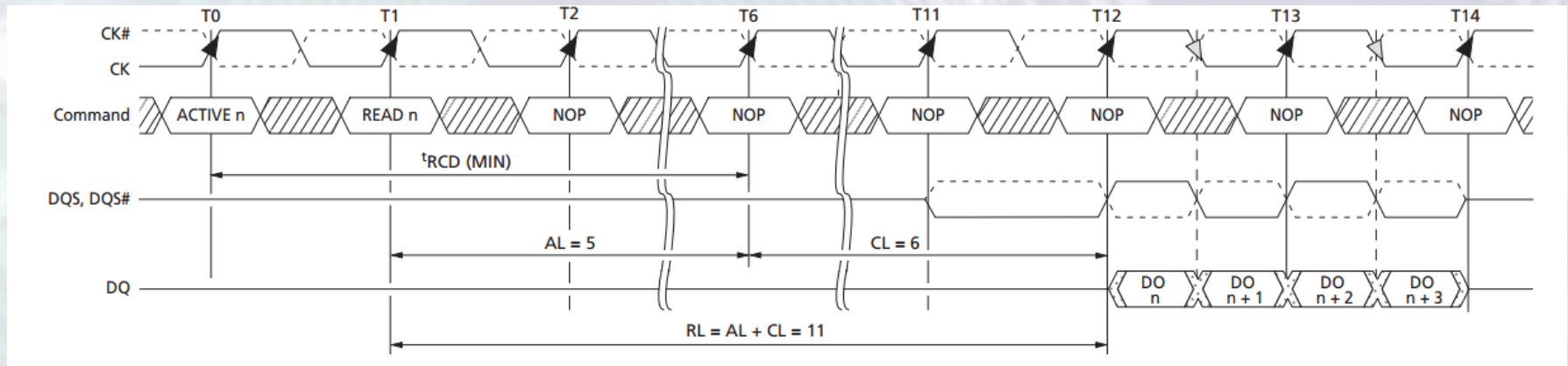
DDR3 read latency

- Pl.: CL=6 és CL=8



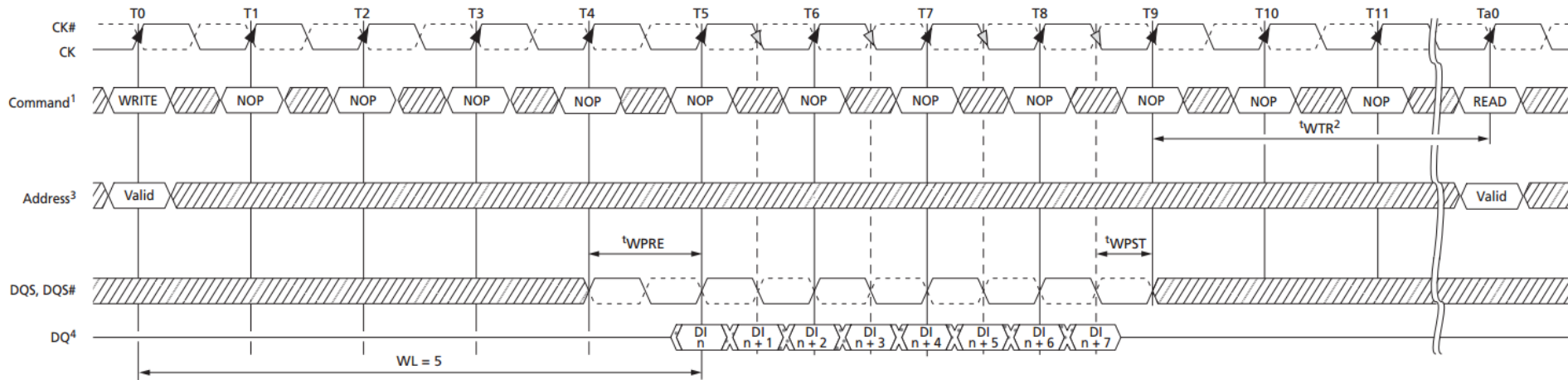
DDR3 – „korai read”

- **ACTIVE** parancs utáni **READ** parancs idő előtti kiadása ($< t_{RCD}$) – **AL**
- Teljes késleltetés: **AL + CL**



DDR3 write → read

- Írás utáni olvasás (tWTR)



DDR3 időzítési paraméterek (1)

DDR3-1600 Speed Bin		-125 ¹		Unit	Notes	
CL- ^t RCD- ^t RP		11-11-11				
Parameter	Symbol	Min	Max			
Internal READ command to first data	^t AA	13.75	–	ns		
ACTIVATE to internal READ or WRITE delay time	^t RCD	13.75	–	ns		
PRECHARGE command period	^t RP	13.75	–	ns		
ACTIVATE-to-ACTIVATE or REFRESH command period	^t RC	48.75	–	ns		
ACTIVATE-to-PRECHARGE command period	^t RAS	35	9 x ^t REFI	ns	2	
CL = 5	CWL = 5	^t CK (AVG)	3.0	3.3	ns	3
	CWL = 6, 7, 8	^t CK (AVG)	Reserved		ns	4
CL = 6	CWL = 5	^t CK (AVG)	2.5	3.3	ns	3
	CWL = 6	^t CK (AVG)	Reserved		ns	4
	CWL = 7, 8	^t CK (AVG)	Reserved		ns	4
CL = 7	CWL = 5	^t CK (AVG)	Reserved		ns	4
	CWL = 6	^t CK (AVG)	1.875	<2.5	ns	3
	CWL = 7	^t CK (AVG)	Reserved		ns	4
	CWL = 8	^t CK (AVG)	Reserved		ns	4
CL = 8	CWL = 5	^t CK (AVG)	Reserved		ns	4
	CWL = 6	^t CK (AVG)	1.875	<2.5	ns	3
	CWL = 7	^t CK (AVG)	Reserved		ns	4
	CWL = 8	^t CK (AVG)	Reserved		ns	4
CL = 9	CWL = 5, 6	^t CK (AVG)	Reserved		ns	4
	CWL = 7	^t CK (AVG)	1.5	<1.875	ns	3
	CWL = 8	^t CK (AVG)	Reserved		ns	4
CL = 10	CWL = 5, 6	^t CK (AVG)	Reserved		ns	4
	CWL = 7	^t CK (AVG)	1.5	<1.875	ns	3
	CWL = 8	^t CK (AVG)	Reserved		ns	4
CL = 11	CWL = 5, 6, 7	^t CK (AVG)	Reserved		ns	4
	CWL = 8	^t CK (AVG)	1.25	<1.5	ns	3
Supported CL settings		5, 6, 7, 8, 9, 10, 11		CK		
Supported CWL settings		5, 6, 7, 8		CK		

DDR3 időzítési paraméterek (2)

Command and Address Timing												
DLL locking time		t_{DLLK}	512	–	512	–	512	–	512	–	CK	28
CTRL, CMD, ADDR setup to CK,CK#	Base (specification)	t_{IS} (AC175)	200	–	125	–	65	–	45	–	ps	29, 30, 44
	V_{REF} @ 1 V/ns		375	–	300	–	240	–	220	–	ps	20, 30
CTRL, CMD, ADDR setup to CK,CK#	Base (specification)	t_{IS} (AC150)	350	–	275	–	190	–	170	–	ps	29, 30, 44
	V_{REF} @ 1 V/ns		500	–	425	–	340	–	320	–	ps	20, 30
CTRL, CMD, ADDR hold from CK,CK#	Base (specification)	t_{IH} (DC100)	275	–	200	–	140	–	120	–	ps	29, 30
	V_{REF} @ 1 V/ns		375	–	300	–	240	–	220	–	ps	20, 30
Minimum CTRL, CMD, ADDR pulse width		t_{IPW}	900	–	780	–	620	–	560	–	ps	41
ACTIVATE to internal READ or WRITE delay		t_{RCD}	See Speed Bin Tables (page 71) for t_{RCD}								ns	31
PRECHARGE command period		t_{RP}	See Speed Bin Tables (page 71) for t_{RP}								ns	31
ACTIVATE-to-PRECHARGE command period		t_{RAS}	See Speed Bin Tables (page 71) for t_{RAS}								ns	31, 32
ACTIVATE-to-ACTIVATE command period		t_{RC}	See Speed Bin Tables (page 71) for t_{RC}								ns	31, 43
ACTIVATE-to-ACTIVATE minimum command period	x4/x8 (1KB page size)	t_{RRD}	MIN = greater of 4CK or 10ns		MIN = greater of 4CK or 7.5ns		MIN = greater of 4CK or 6ns		MIN = greater of 4CK or 6ns		CK	31
	x16 (2KB page size)		MIN = greater of 4CK or 10ns				MIN = greater of 4CK or 7.5ns				CK	31
Four ACTIVATE windows	x4/x8 (1KB page size)	t_{FAW}	40	–	37.5	–	30	–	30	–	ns	31
	x16 (2KB page size)		50	–	50	–	45	–	40	–	ns	31
Write recovery time		t_{WR}	MIN = 15ns; MAX = n/a								ns	31, 32, 33, 34
Delay from start of internal WRITE transaction to internal READ command		t_{WTR}	MIN = greater of 4CK or 7.5ns; MAX = n/a								CK	31, 34
Refresh Timing												
REFRESH-to-ACTIVATE or REFRESH command period		t_{RFC} – 1Gb	MIN = 110; MAX = 70,200								ns	
		t_{RFC} – 2Gb	MIN = 160; MAX = 70,200								ns	
		t_{RFC} – 4Gb	MIN = 260; MAX = 70,200								ns	
		t_{RFC} – 8Gb	MIN = 350; MAX = 70,200								ns	
Maximum refresh period	$T_C \leq 85^\circ C$	–	64 (1X)								ms	36
	$T_C > 85^\circ C$	–	32 (2X)								ms	36
Maximum average periodic refresh	$T_C \leq 85^\circ C$	t_{REFI}	7.8 (64ms/8192)								μs	36
	$T_C > 85^\circ C$		3.9 (32ms/8192)								μs	36

Xilinx MIG

- **Memory Interface Generator**
 - Használható ISE-ben (CoreGen) és
 - Platform Studio-ban
- **Felhasználói interfész**
 - Natív interfész
 - AXI (csak ha „Preferred language” Verilog)
 - Néhány esetben lehet több portos, egyébként AXI infrastructure-rel megoldható

Select the Controller Type:

- DDR3 SDRAM** **Enable AXI Interface**
- DDR2 SDRAM** **Enable AXI Interface**
- QDRII+ SRAM**
- RLDRAM II**

MIG – memória paraméterek

Frequency: The allowed frequency range(2500 - 3300) is a function of the selected FPGA part, FPGA speed grade, and memory controller type. Choose the clock period for the desired frequency. Refer to User Guide for supported frequency range.

2500 ps 400.00 MHz

Memory Type: Select the memory type. Parts marked with a warning symbol are not compatible with the frequency selection above. Based on the FPGA package, DIMMs selection is not allowed due to the unavailability of required number of pins. For RLD RAM II only CIO parts are supported.

Components

Memory Part: Select the memory part. Parts marked with a warning symbol are not compatible with the frequency selection above. Find an equivalent part or create a part using the "Create Custom Part" button if the part you want is not listed here. The "Create Custom Part" feature is not supported for RLD RAM II.

MT41J128M8XX-15E

Create Custom Part

Data Width: Select the Data Width. Parts marked with a warning symbol are not compatible with the frequency and memory part selected above.

8

ECC: MIG supports ECC for 72 bit and 144 bit data width configurations. To be able to select ECC, you will need to select a data width that has ECC supported.

Disabled

Data Mask: You will be able to enable/disable the generation of Data Mask (DM) pins using this check box. This option can be selectable only if the memory part you have selected has DM pins. Uncheck this box if you would like to not use data masks and save FPGA I/Os that are used for DM signals. ECC designs will not use Data Mask.



part. Note that the new part will be a modification of the "Base Part" you select the density can be changed.

MT41J128M8XX-15E

changes are required using the parameters. "Value" is the only field that can be edited.

Parameter	Value	Range	Units	Descriptions
trfc	110	90-350	ns	Refresh to Active or Refresh to Refresh
tras	36	35-37.5	ns	Active to Precharge command
trp	13.5	10-15	ns	Precharge command period
tfaw	30	30-55	ns	Four Address Width
trcd	13.5	10-15	ns	Active to Read or write delay
trefi	7.8	3.9-7.8	us	Average periodic refresh interval

Row Address 14

Column Address 10

Bank Address 3

Help

Save

Delete

Cancel

MIG – memória paraméterek

Choose the Memory Options for the memory device. Memory Option selections are restricted to those supported by the controller. Consult the memory vendor data sheet for more information.

Burst Length

Determines the maximum number of column locations that can be accessed for a given READ or WRITE command.

8 - Fixed

Read Burst Type

The ordering of accesses within a burst is determined by the burst type.

Sequential

Output Driver Impedance Control

Programmable impedance for the output buffer.

RZQ/7

RTT (nominal) - On Die Termination (ODT)

Select the nominal value of ODT for the DQ, DQS/DQS# and DM signals on the DIMM. This value will be used for the unwritten slot during a write in 2 slot configurations. The value will also be used for the unselected slot during slot configurations. Use board level simulation to choose the optimum value. Refer to "Selecting RTT (Nominal ODT)" section of User guide for RTT values.

Bank Selection For Controller 0 - DDR3 SDRAM

Address/Control: 26/26

Data: 12/12

System Clock: 7/7

Master Bank

Master Bank

Master Bank

Left Column

Inner Left Column

Inner Right Column

Memory Address Mapping Selection

User Address



ROW BANK COLUMN

BANK ROW COLUMN

Bank: 15
Available IOs: 40
 Data

Bank: 25
Available IOs: 13
 Address/Control
 Data
 System Clock

Bank: 35
Available IOs: 26
 Address/Control
 Data
 System Clock

MMCM
MMCM

Bank: 14
Available IOs: 40
 Data

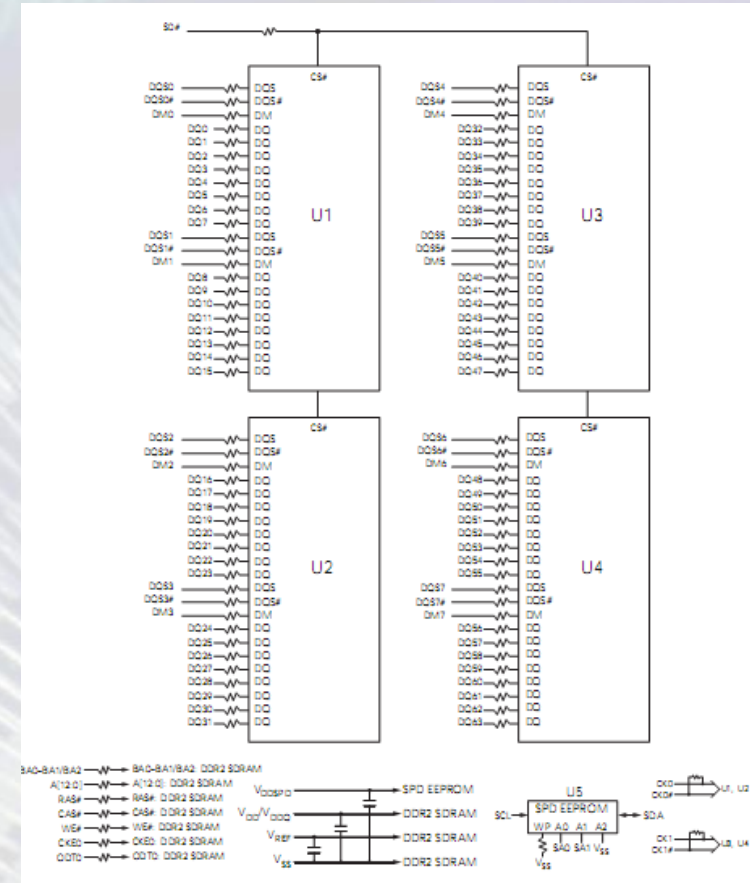
Bank: 24*
Available IOs: 40
 Address/Control
 Data
 System Clock

Bank: 34*
Available IOs: 32
 Address/Control
 Data
 System Clock

MMCM
MMCM

DIMM/SODIMM

- Szabványosított memória modul + foglalat
- 64/72 bit adatbusz
- 3 rank / 3 bank / 15 cím vonal
- SPD EEPROM (Serial Presence Detect)
 - Memória típus & időzítési információk



DRAM

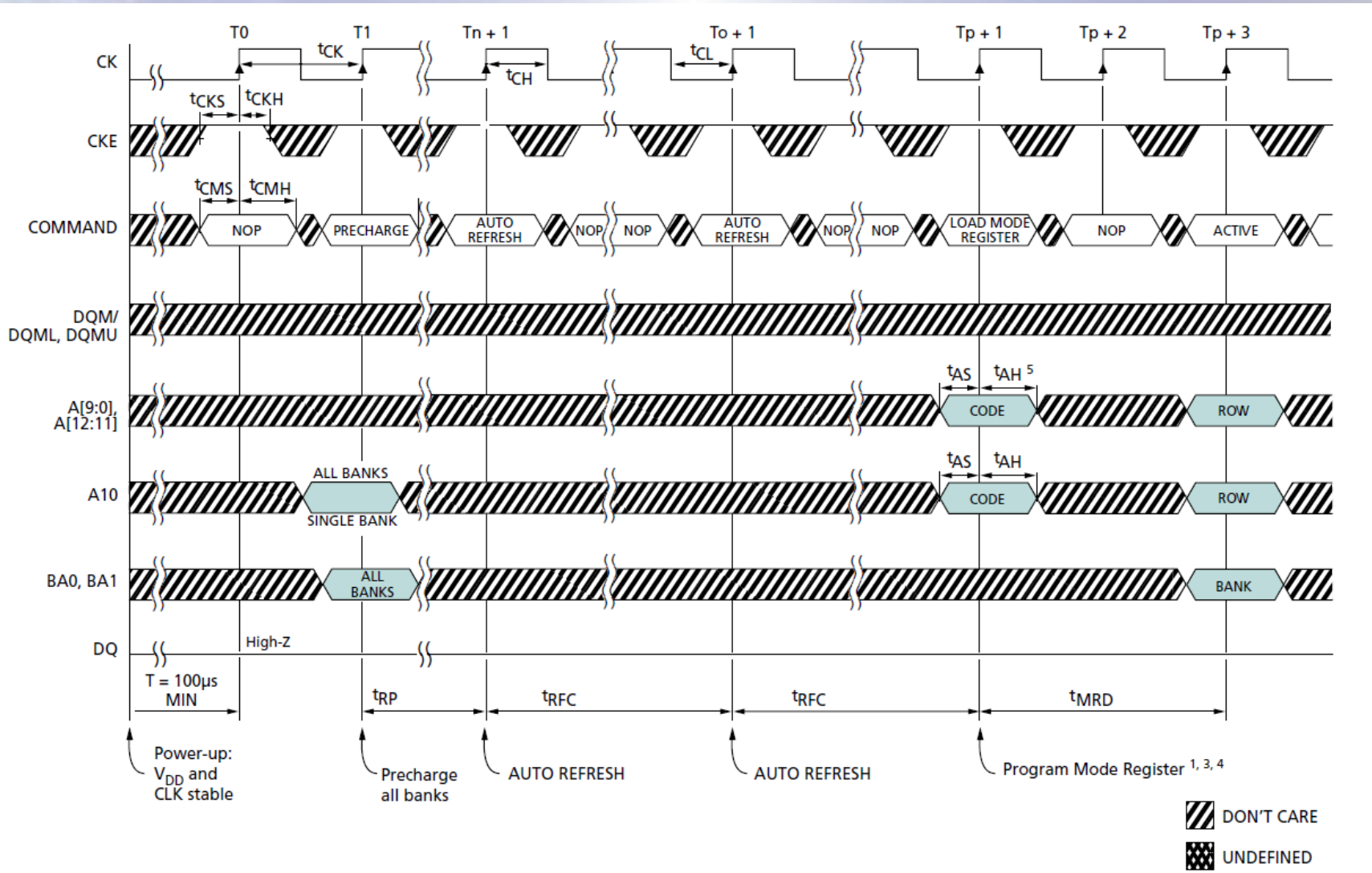
- Folyamatos adatfrissítést igénylő memória cellák
- Burst orientált működés
- BANK, ROW, COLUMN címek
- Parancsok (CS, RAS, CAS, WE bemeneti lábak)

Name (Function)	CS#	RAS#	CAS#	WE#	DQM	ADDR	DQs	Notes
COMMAND INHIBIT (NOP)	H	X	X	X	X	X	X	
NO OPERATION (NOP)	L	H	H	H	X	X	X	
ACTIVE (Select bank and activate row)	L	L	H	H	X	Bank/row	X	3
READ (Select bank and column, and start READ burst)	L	H	L	H	L/H8	Bank/col	X	4
WRITE (Select bank and column, and start WRITE burst)	L	H	L	L	L/H8	Bank/col	Valid	4
BURST TERMINATE	L	H	H	L	X	X	Active	
PRECHARGE (Deactivate row in bank or banks)	L	L	H	L	X	Code	X	5
AUTO REFRESH or SELF REFRESH (Enter self refresh mode)	L	L	L	H	X	X	X	6, 7
LOAD MODE REGISTER	L	L	L	L	X	Op-code	X	2
Write enable/output enable	-	-	-	-	L	-	Active	8
Write inhibit/output High-Z	-	-	-	-	H	-	High-Z	8

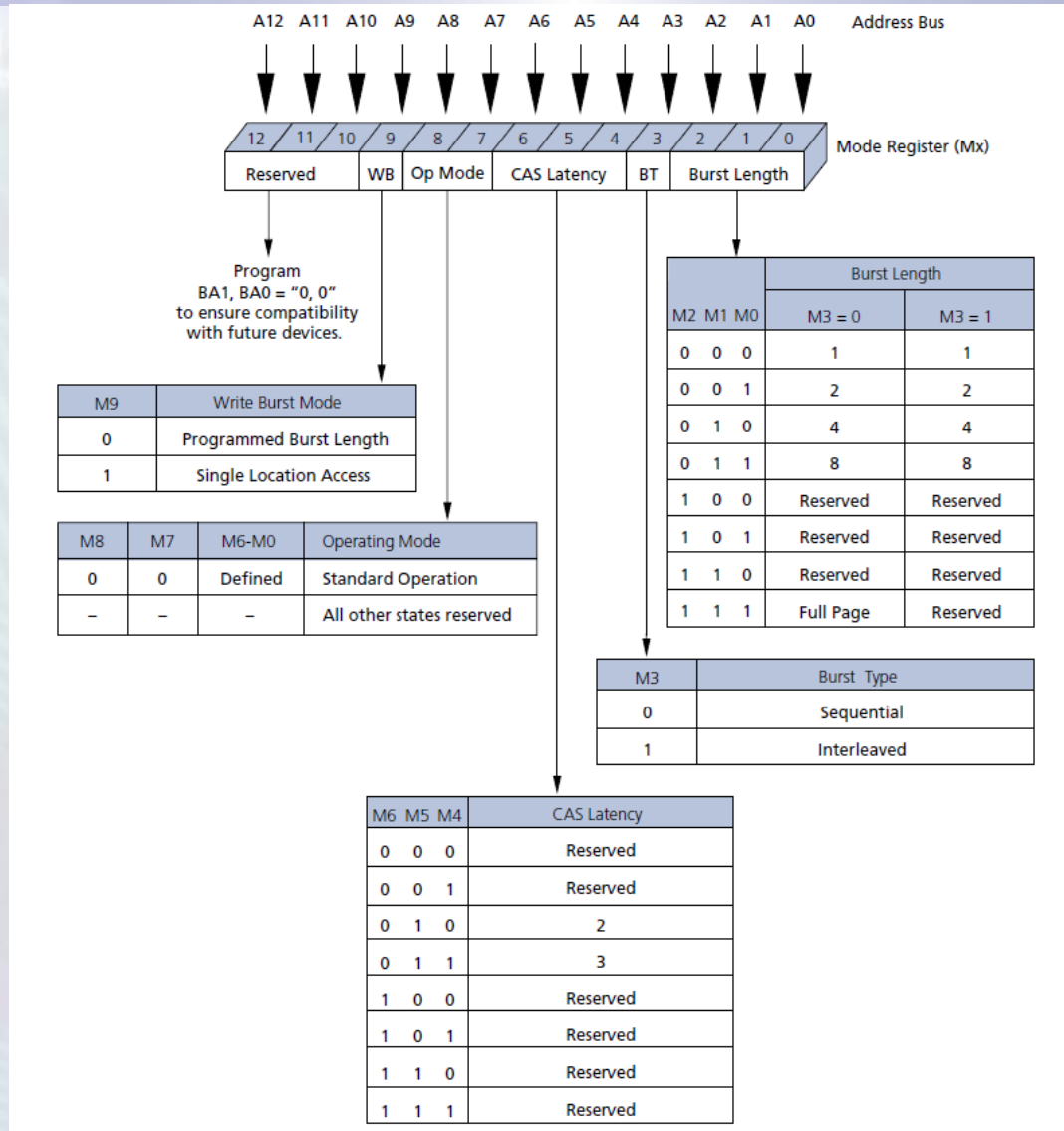
Működtetés

- **Inicializálási szekvencia**
 - Mode regiszter írás
- **ACTIVE: bank és sor (row) megnyitás**
- **PRECHARGE: sor (row) lezárás**
 - Auto precharge
- **READ/WRITE**
 - Bank és oszlop kiválasztás
- **Frissítés**
 - REFRESH parancs vagy Auto refresh

Inicializálás

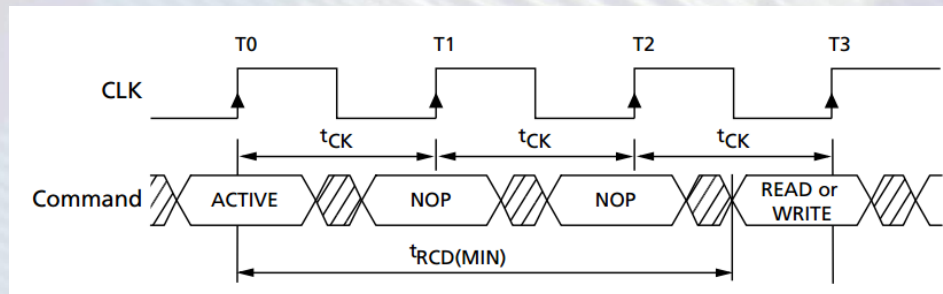


DRAM – mode regiszter



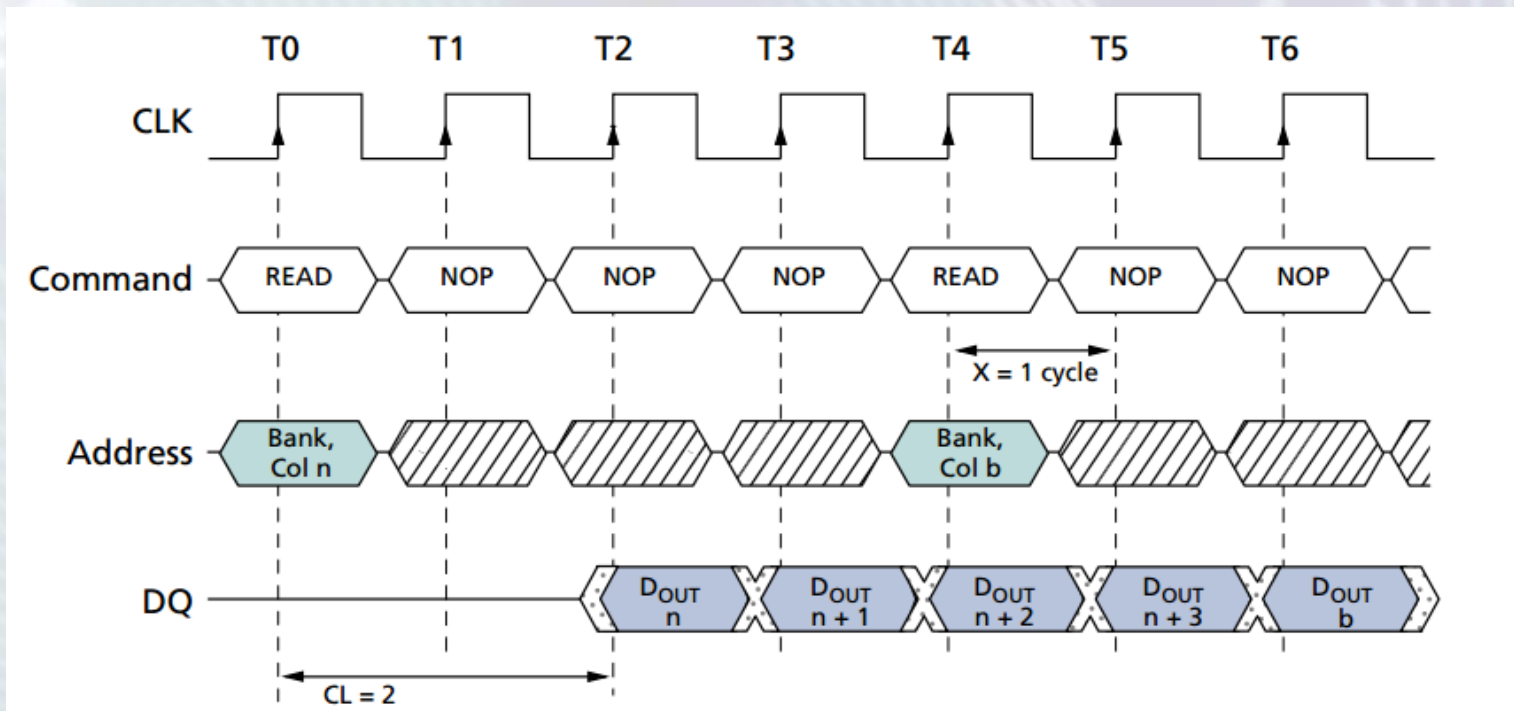
Activate (Bank & Row)

- Írás és olvasás előtt a megfelelő BANK-t és ROW-t meg kell nyitni (ACTIVE)
- READ/WRITE: t_{RCD} -vel az ACT után (pl. 20 ns)
- Újabb ACTIVE:
 - Ugyanabban a bankban, másik ROW: PRECHARGE után, min. t_{RC} idő az ACT parancsok között (66 ns)
 - Másik BANK: megnyitható az aktuális hozzáférés alatt, min. t_{RRD} -vel az előző ACT után (15 t_{CK})



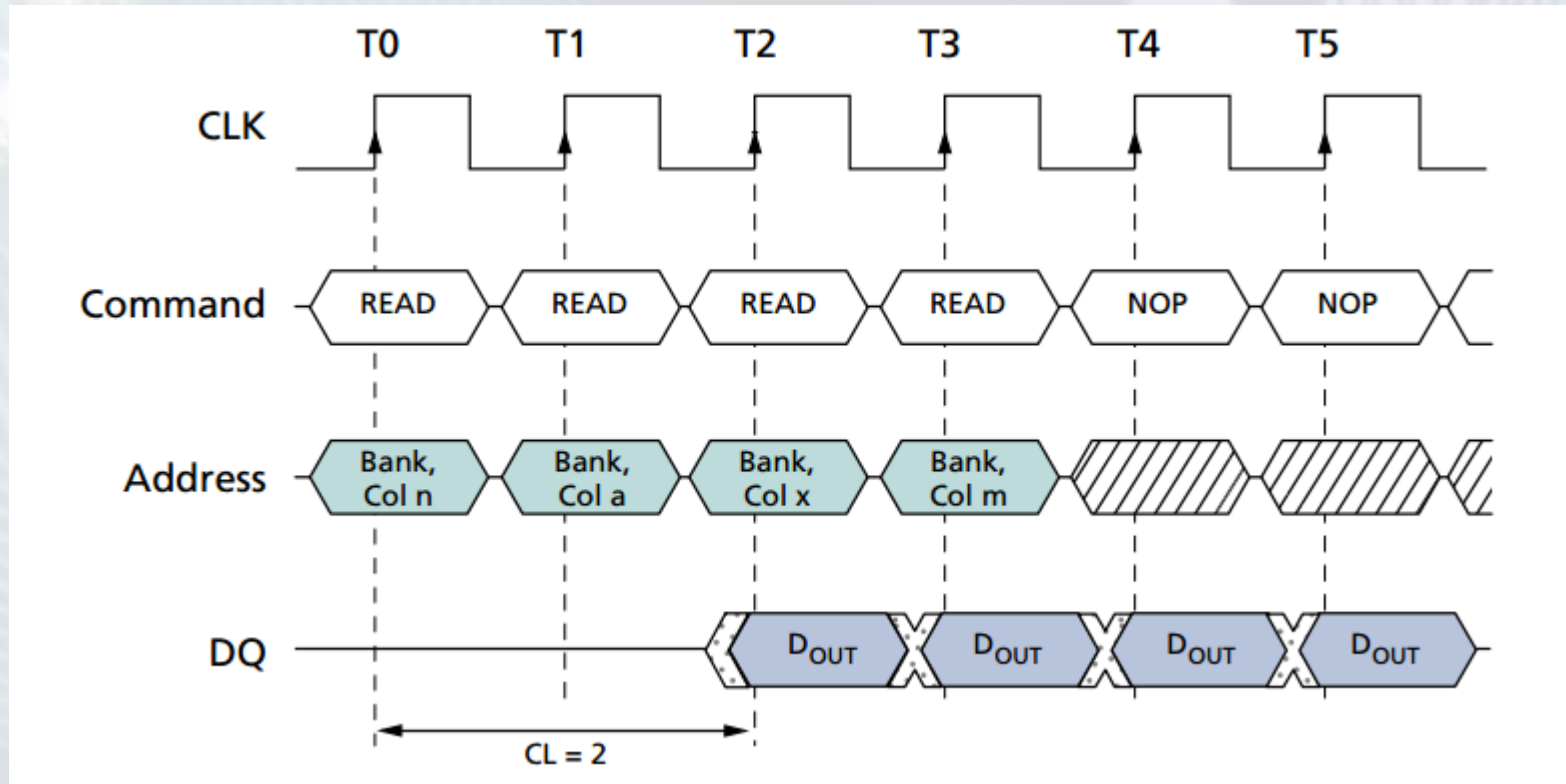
DRAM olvasás (1)

- **Egymást követő Burst-ök**
- CL: CAS latency: READ → érvényes adat



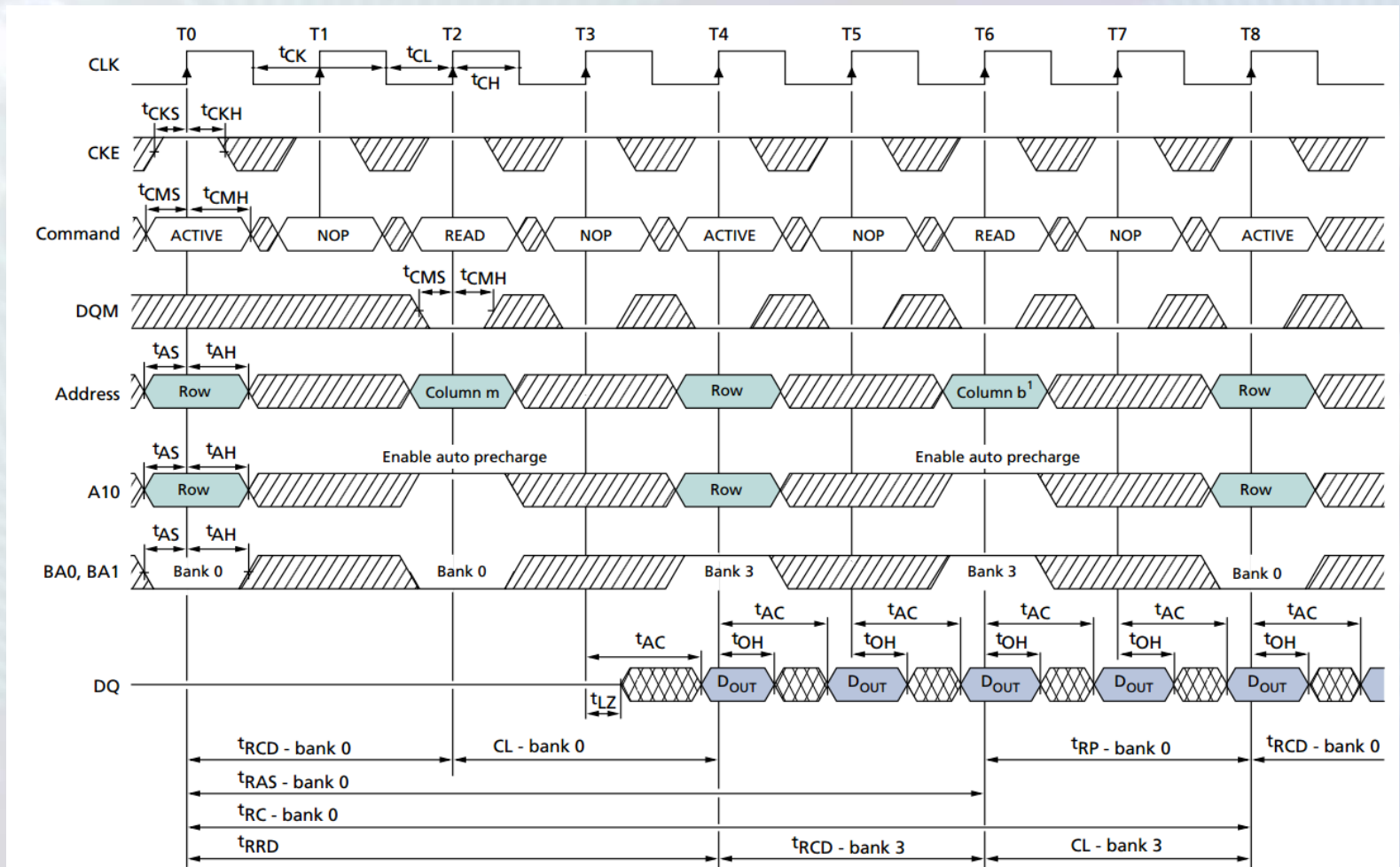
DRAM olvasás (2)

- Véletlen hozzáférés BANK-on belül



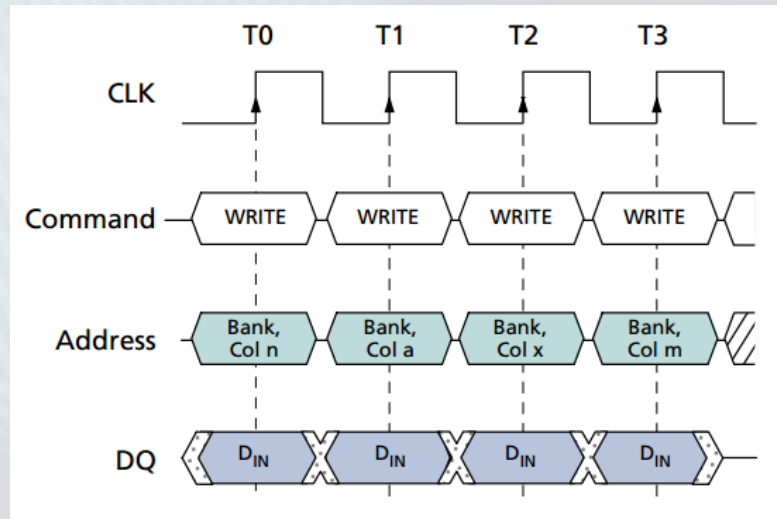
DRAM olvasás (3)

- Különböző BANK-k hozzáférése



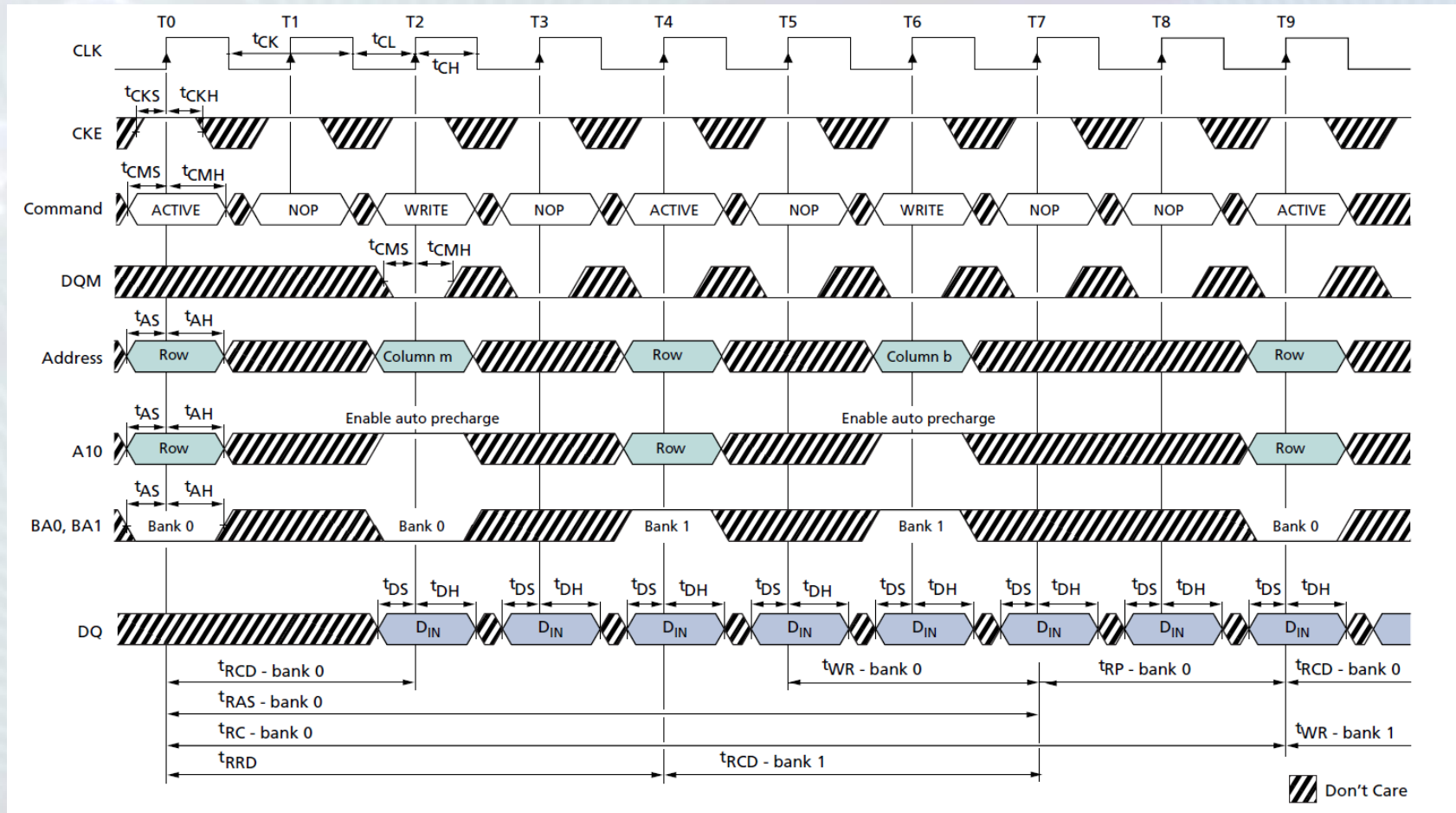
DRAM írás (1)

- Véletlenszerű írás BANK-on belül



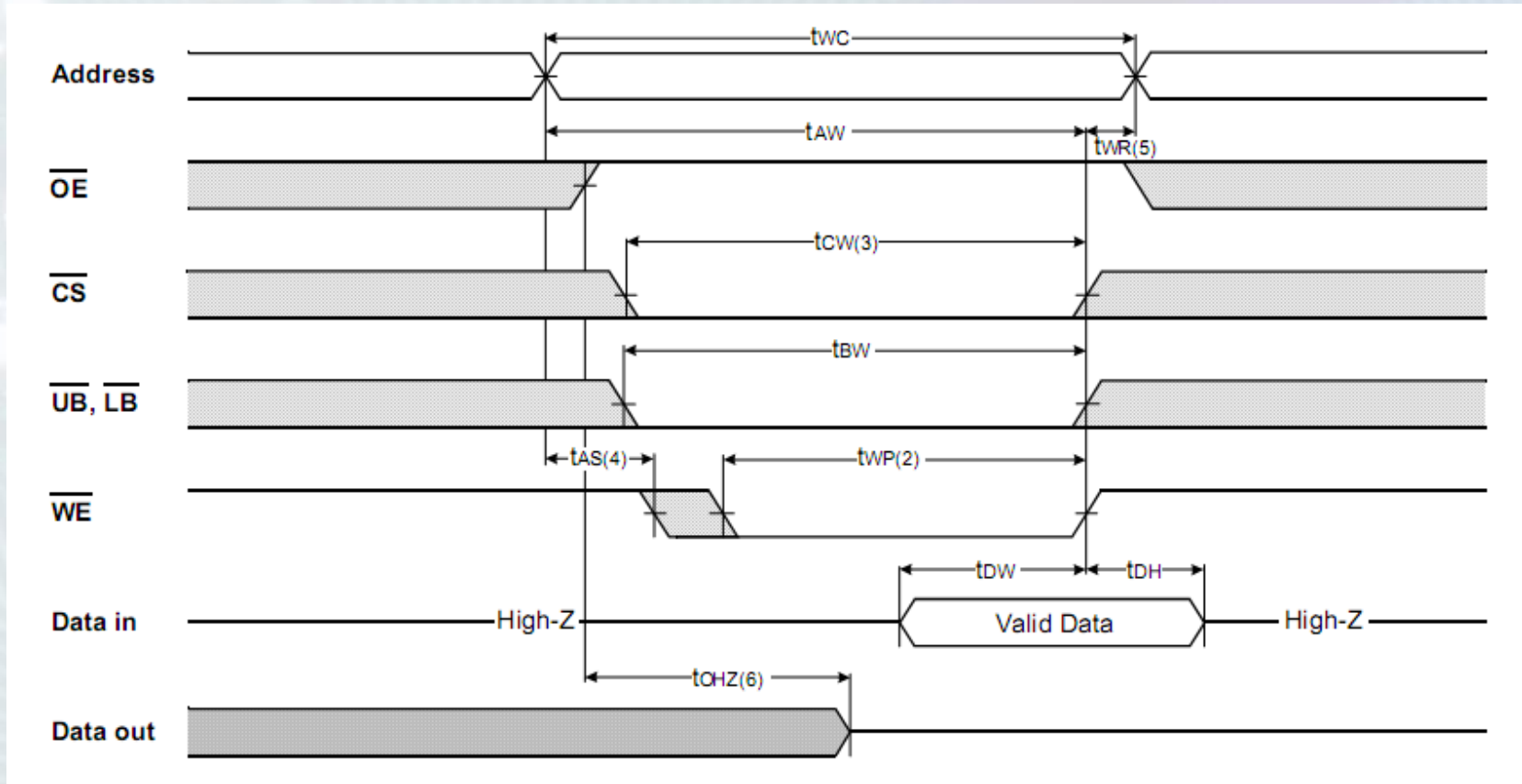
DRAM írás

- Különböző BANK-k hozzáférése



Aszinkron SRAM írás

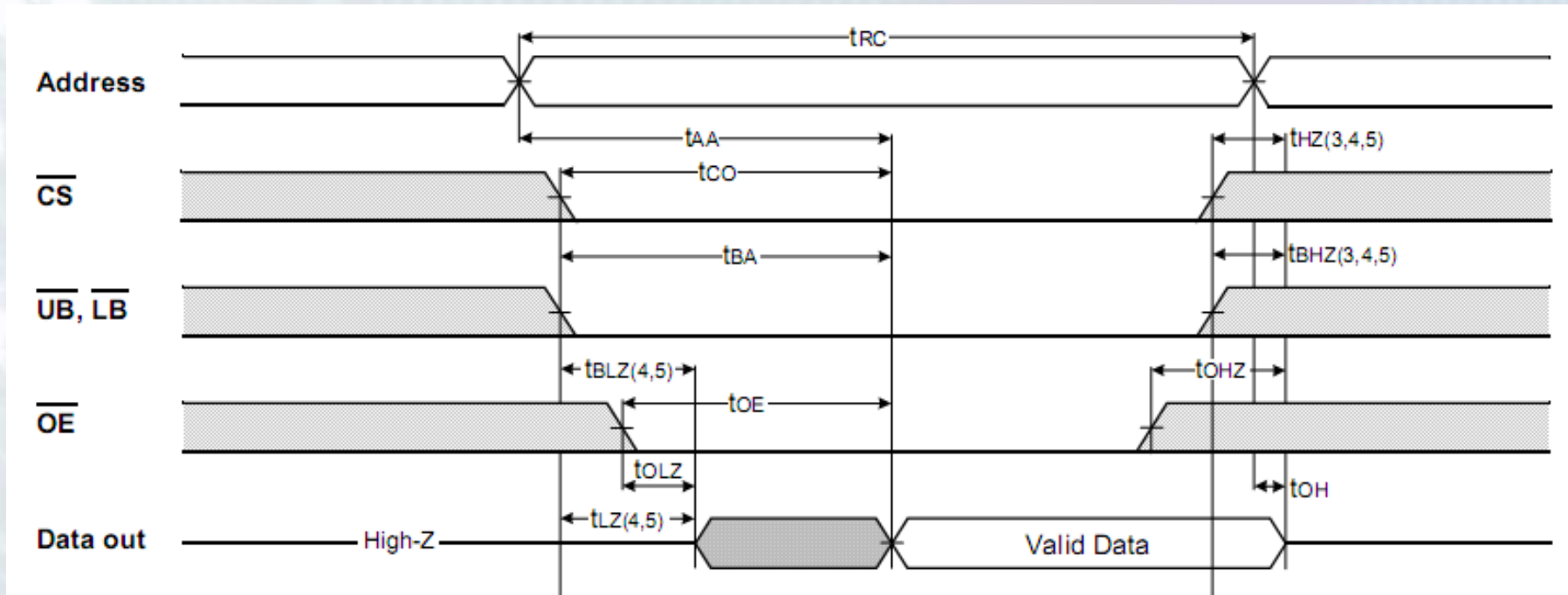
- Írás



- $t_{WC}=10, t_{AW}=7, t_{WP}=10, t_{DW}=5, t_{DH}=0, T_{WHZ}=5(\text{MAX})$

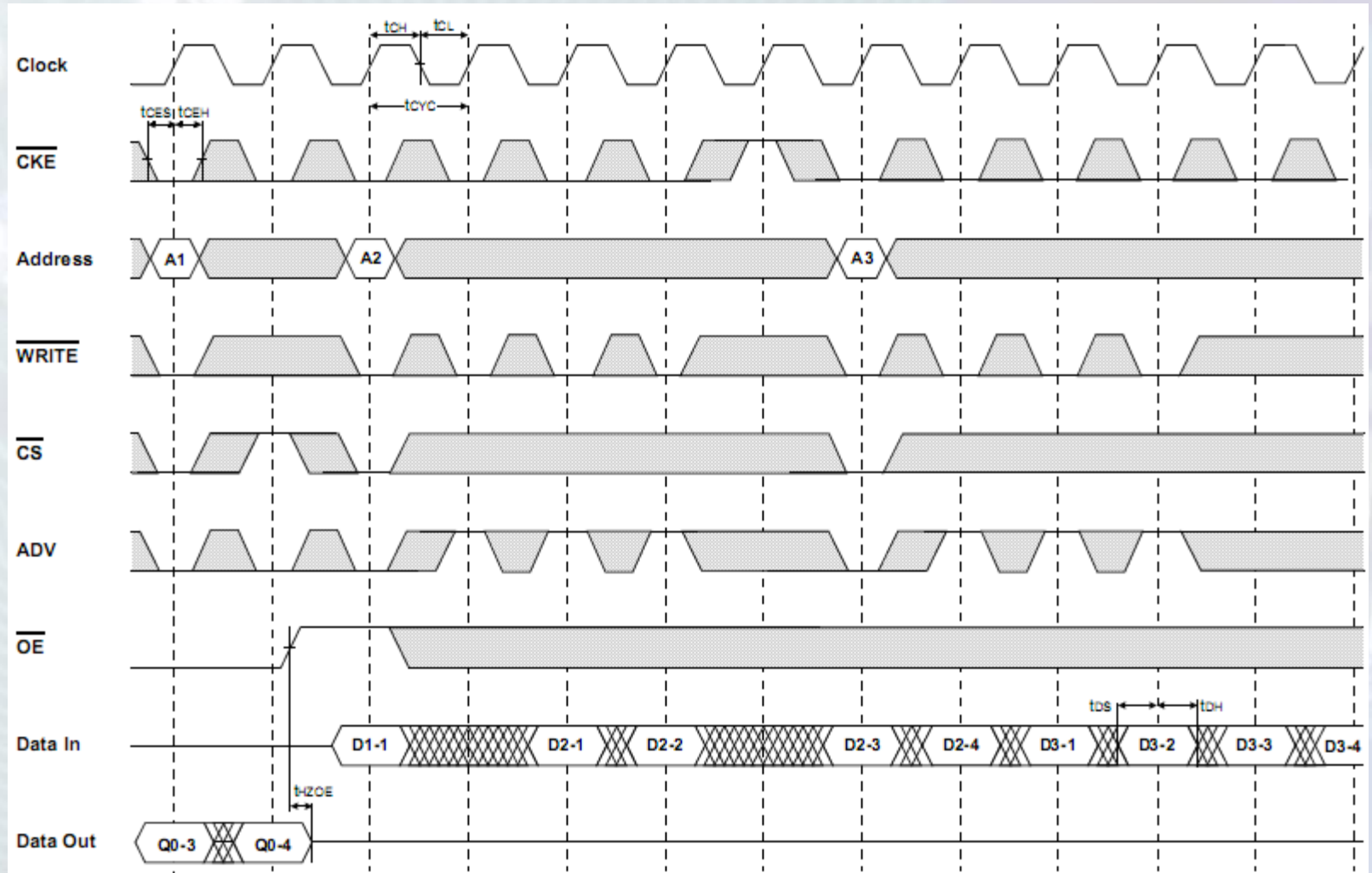
Aszinkron SRAM olvasás

- Olvasás

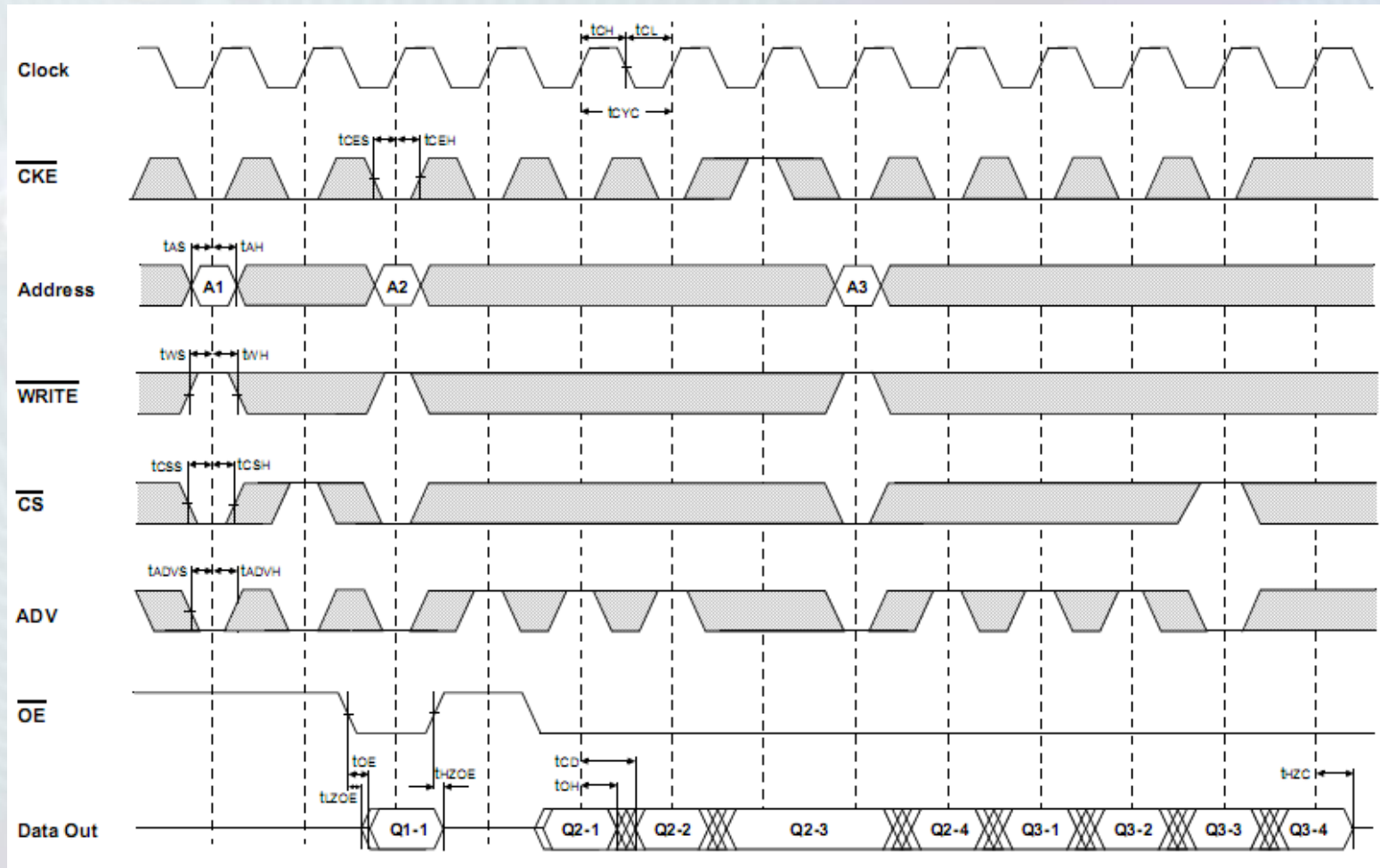


- $t_{RC}=10$, $t_{AA} =10$ (max), $t_{OE}=5$ (MAX), $t_{HZ}=5$ (MAX)

Nt SRAM írás



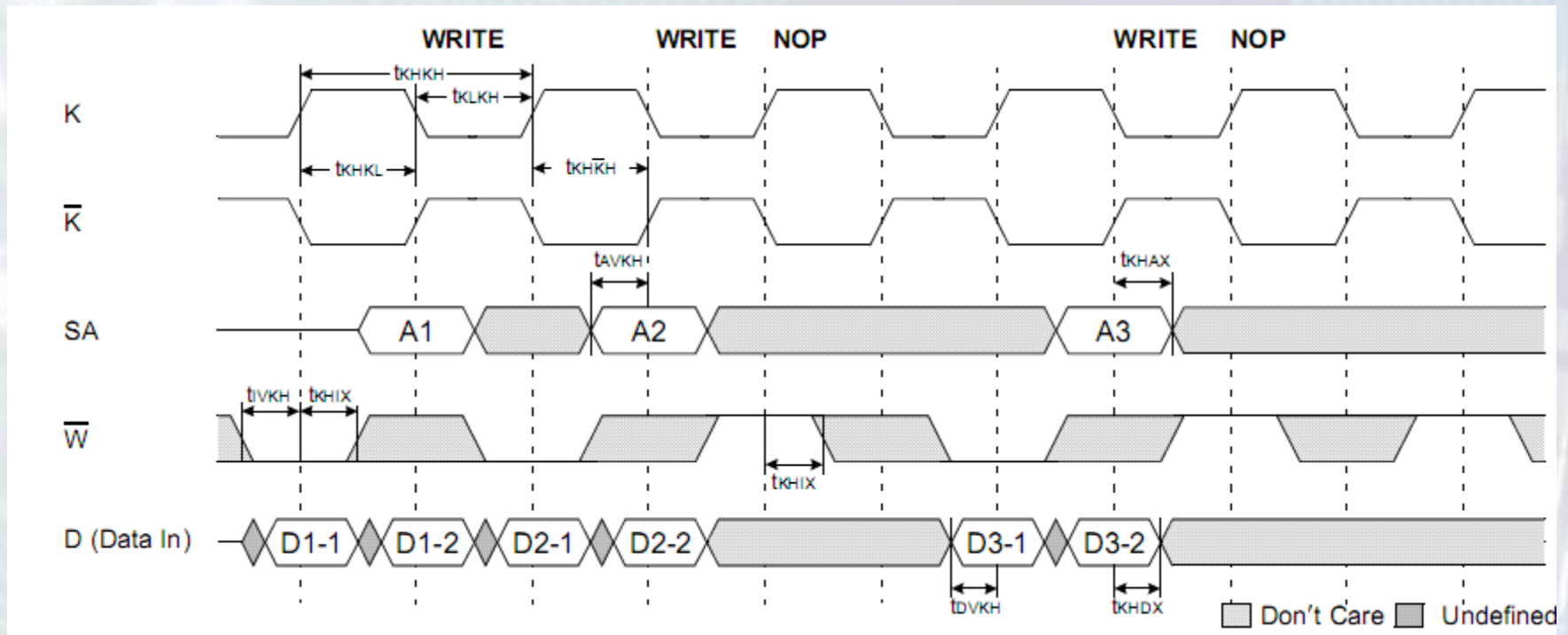
Nt SRAM olvasás



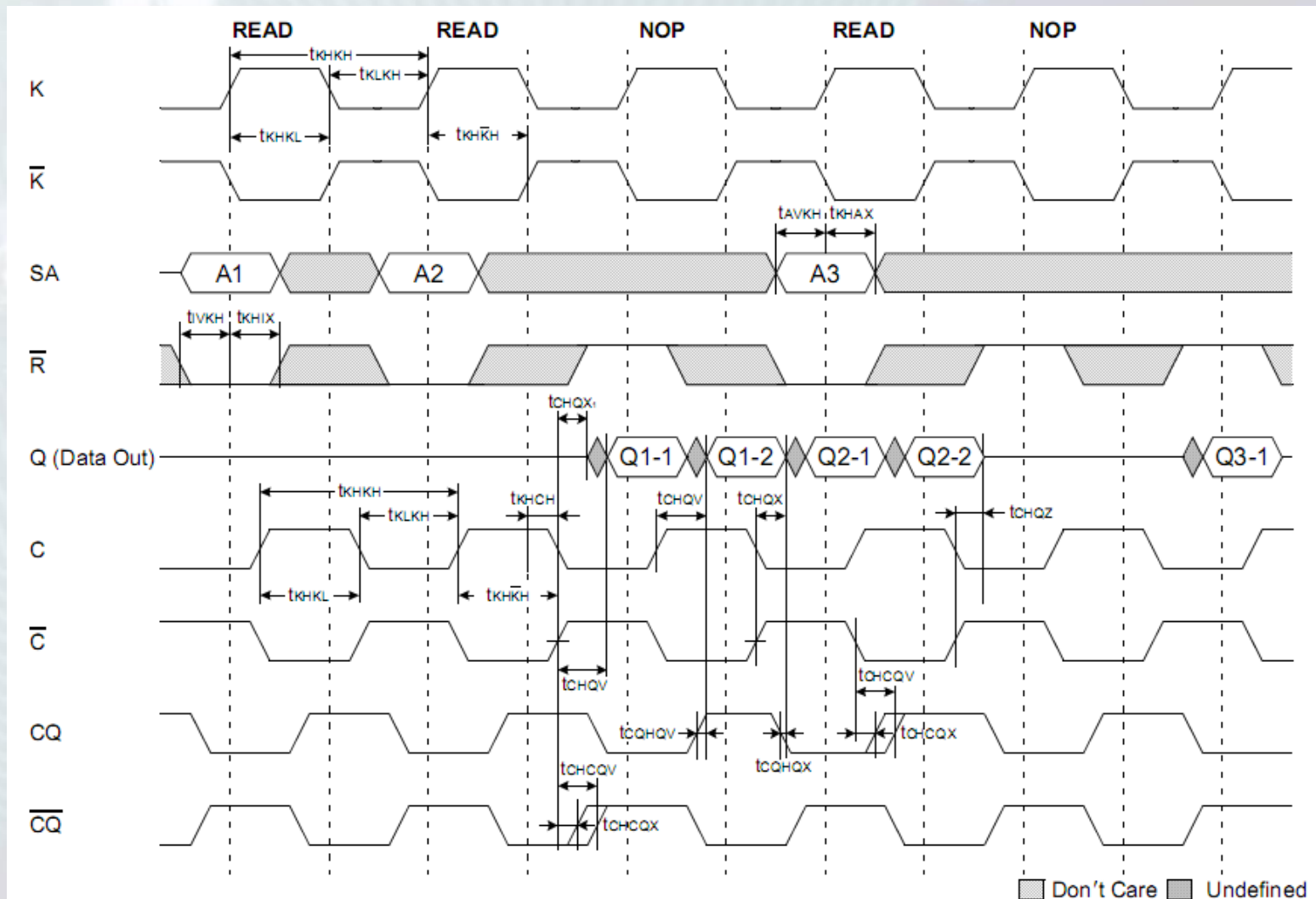
DDR/DDR2/QDR SRAM

- **DDR: adat átvitel fel- és lefutó órajel élre**
- **QDR: szétválasztott be-/kimeneti adatbusz (konkurrens írás/olvasás)**
- **Parancs, írás: bemenő órajellel (K) szinkron**
- **Olvasás: forrás szinkron (CQ órajel)**
- **Burst működési mód**

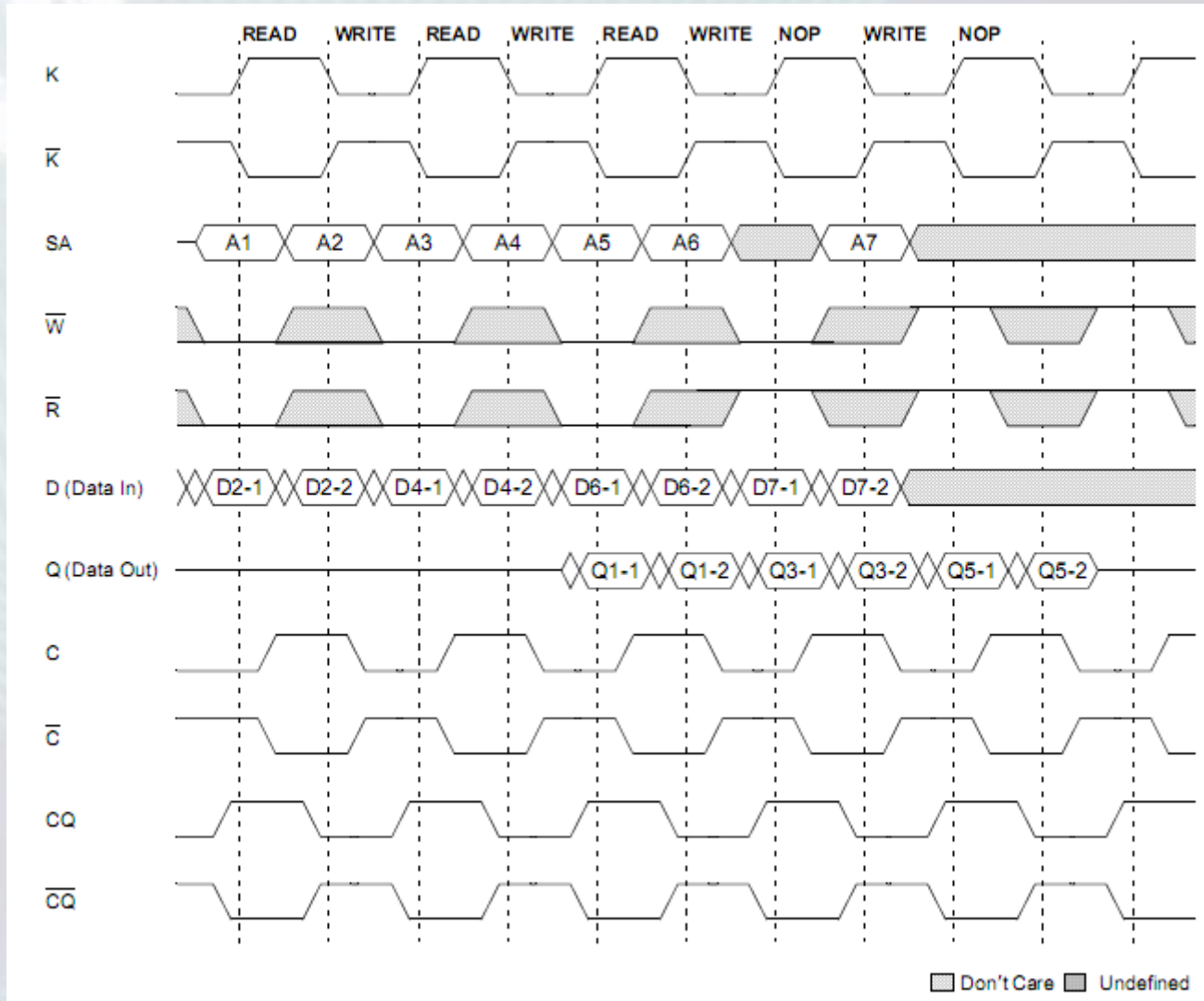
QDR SRAM írás



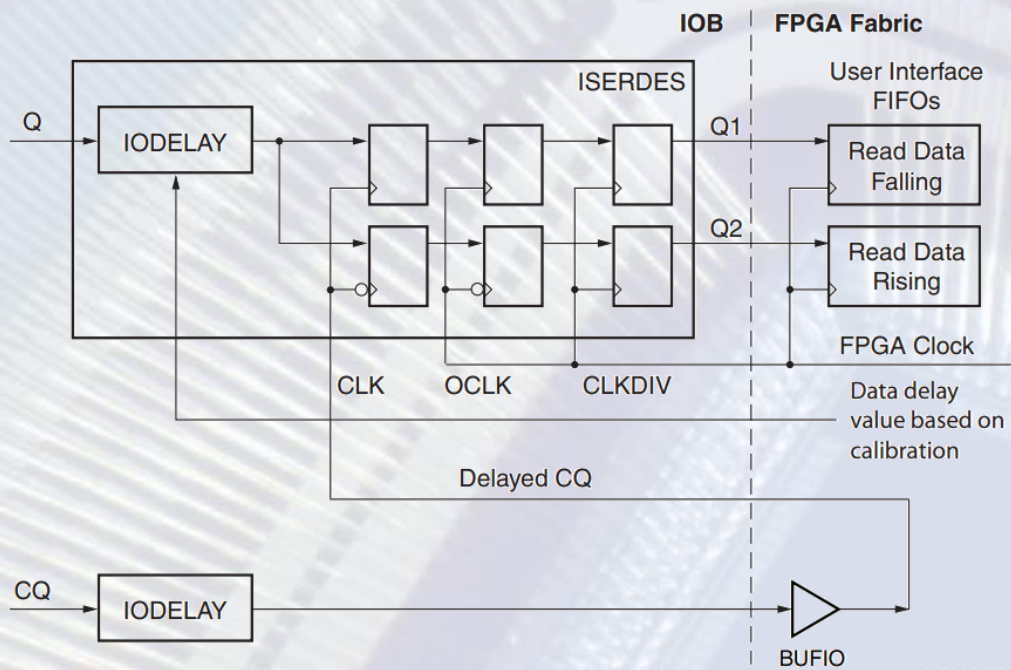
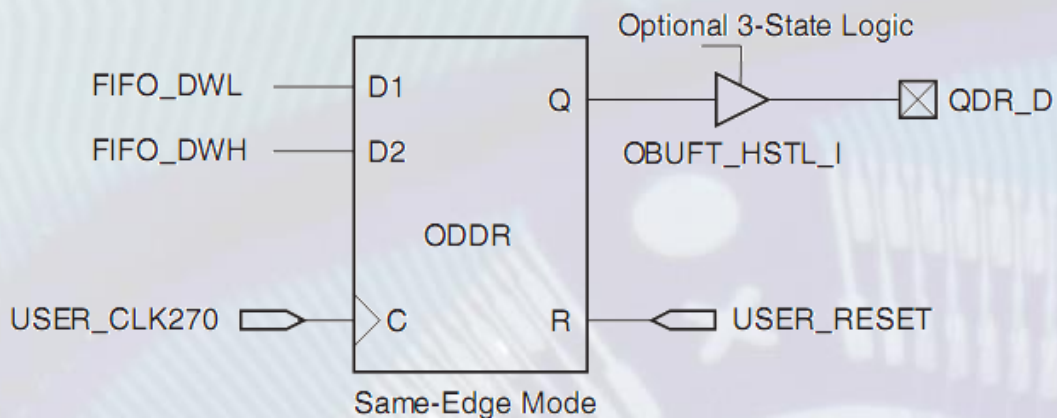
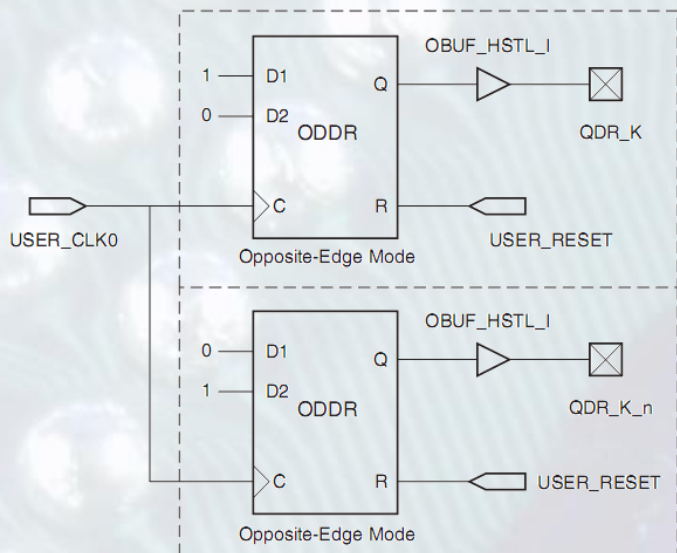
QDR SRAM olvasás



QDR SRAM írás+olvasás



QDR SRAM interfész



X852_04_030907