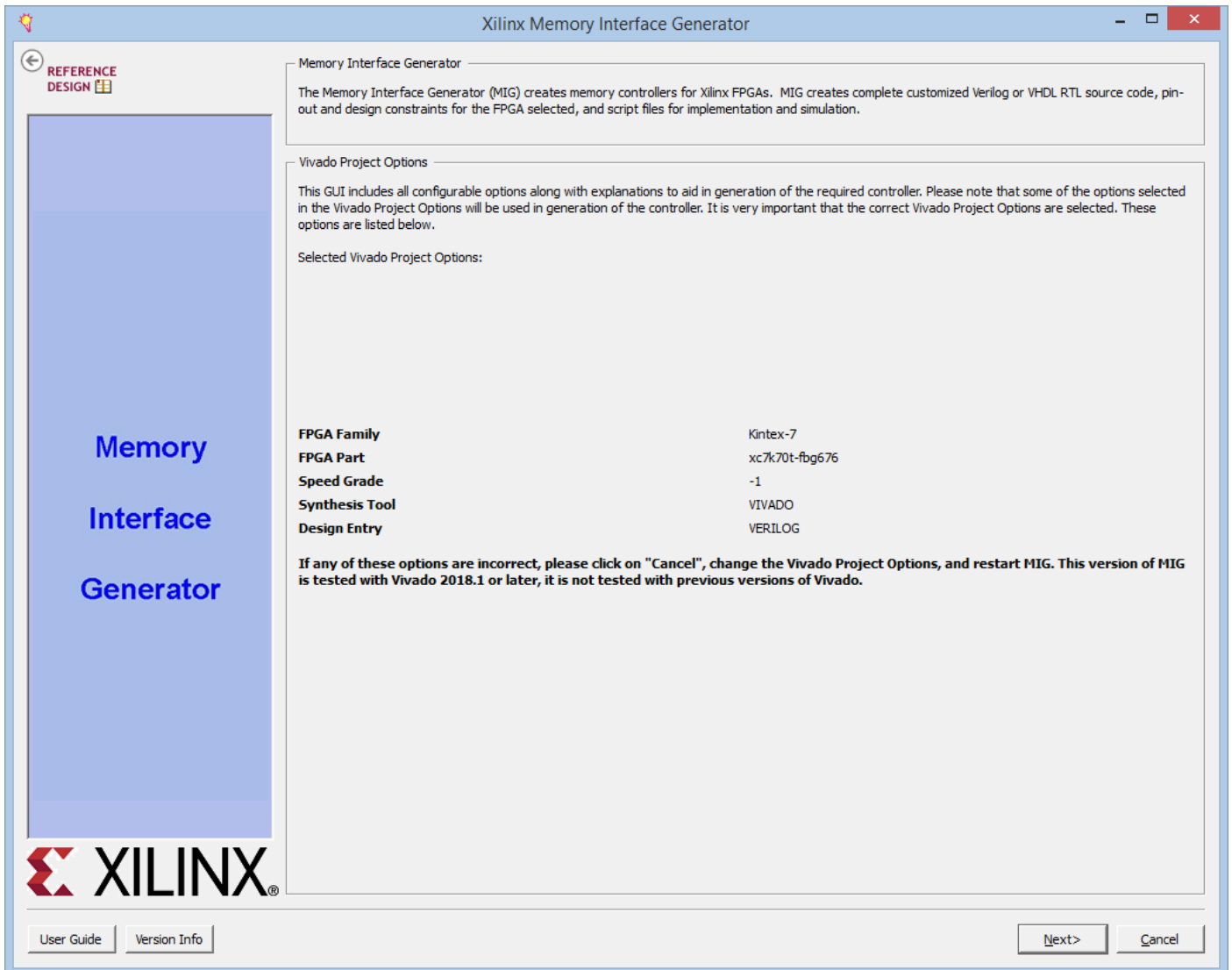
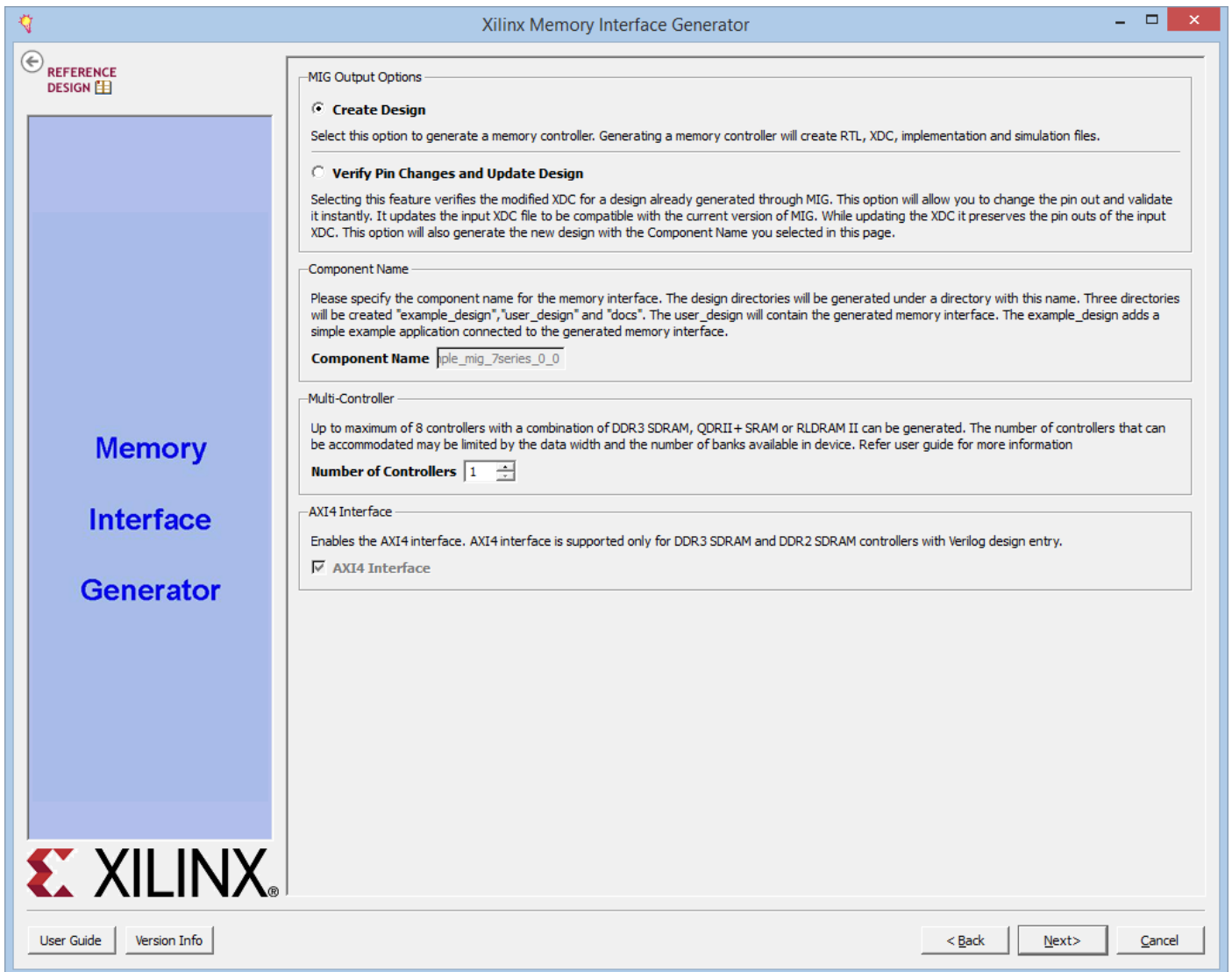


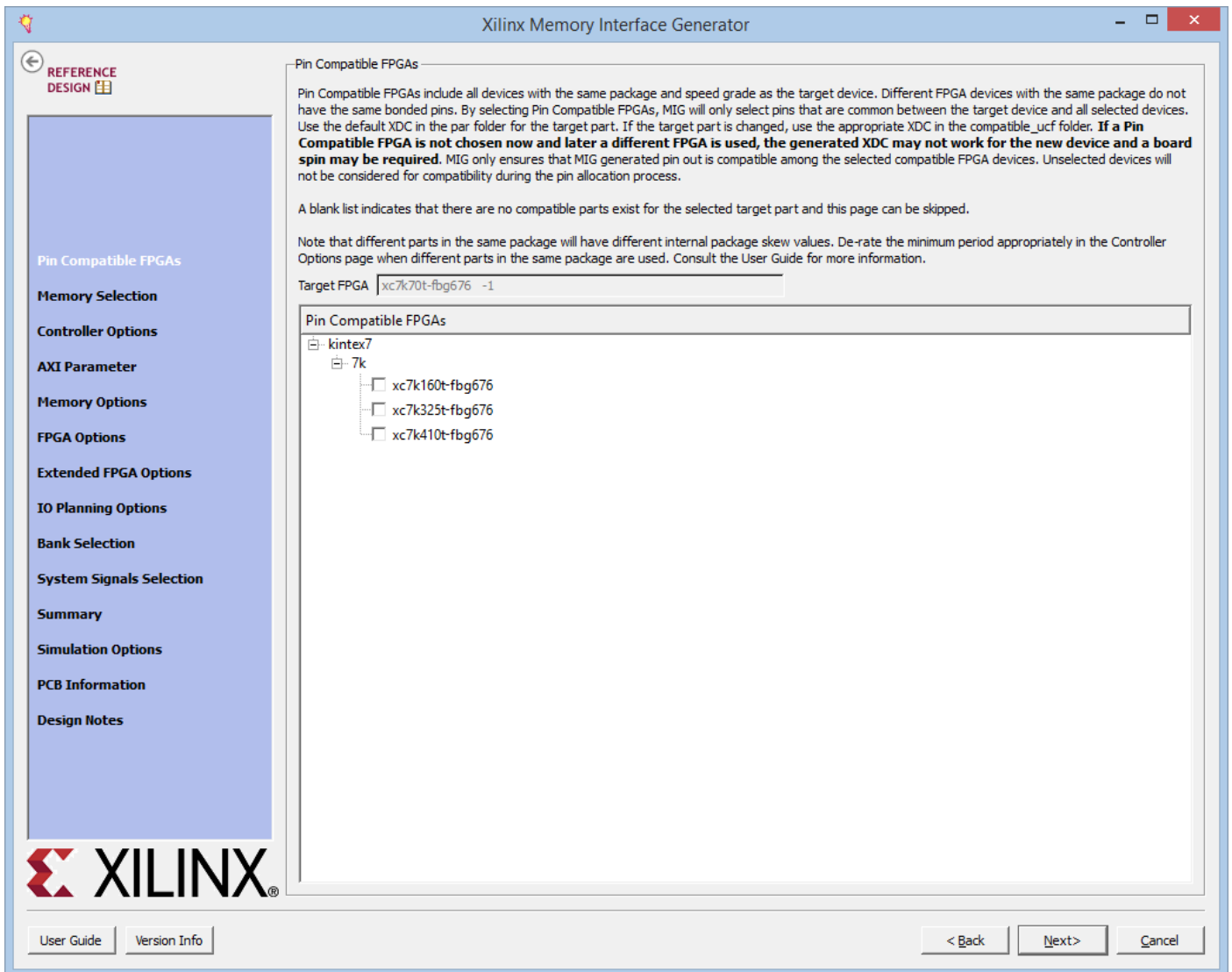
# A Memory Interface Generator (MIG) beállítása a Logsys Kintex-7 FPGA kártyához



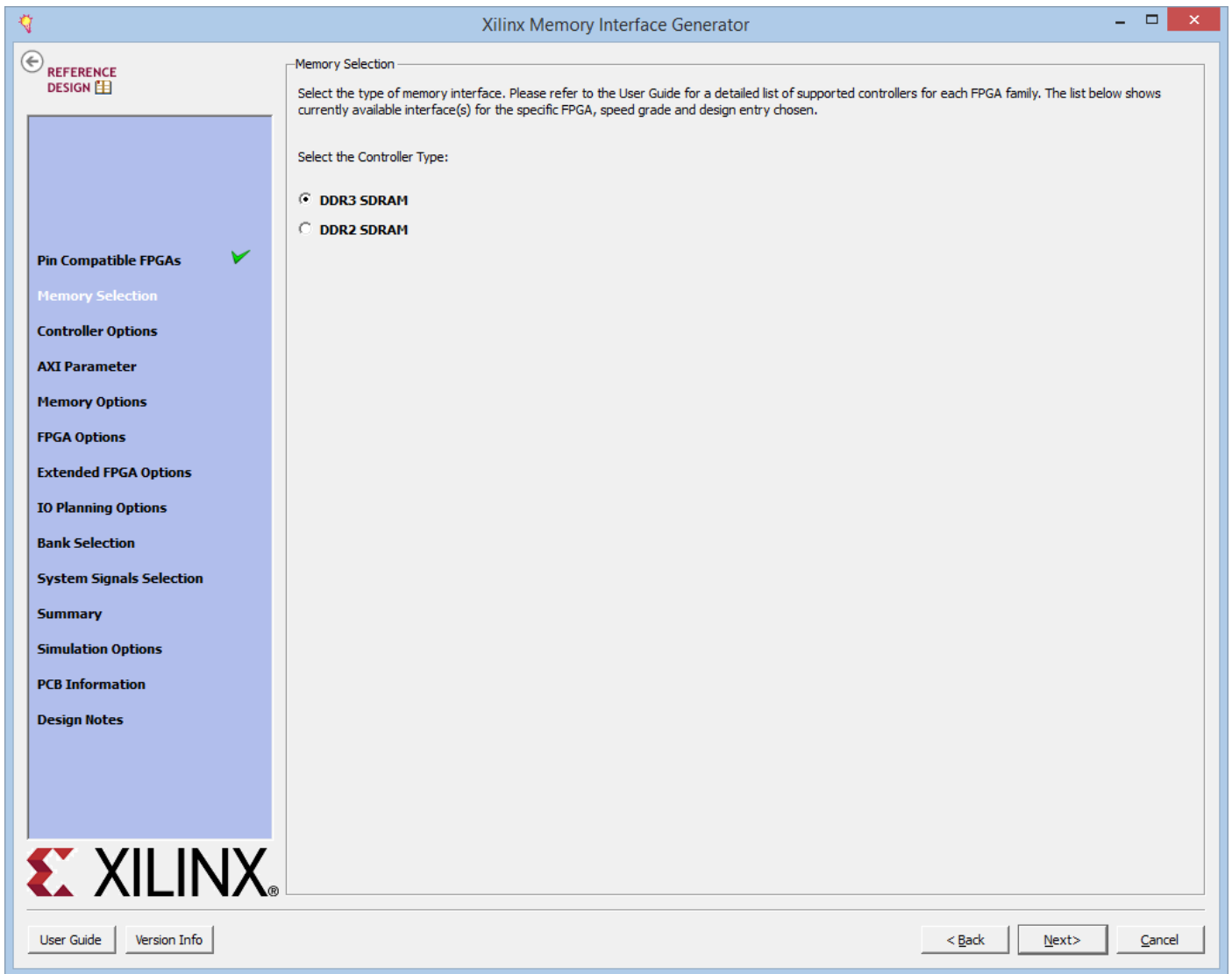
Ellenőrizzük a projektből importált adatokat. Ha rendben vannak, akkor kattintsunk a **Next** gombra.



Válasszuk a **Create Design** opciót. Egyetlen memória vezérlőt használunk, ezért a **Number of Controllers** paramétert állítsuk be 1-re, majd kattintsunk a **Next** gombra.



Ebben az ablakban a projektben használt FPGA eszközzel lábkompatibilis eszközök jelennek meg. Itt nem szükséges semmit sem kiválasztani, kattintsunk a **Next** gombra.



A Logsys Kintex-7 FPGA kártyán **DDR3 SDRAM** külső memória található, ezért válasszuk ki ezt a lehetőséget, majd kattintsunk a **Next** gombra.

Xilinx Memory Interface Generator

REFERENCE DESIGN

- Pin Compatible FPGAs ✓
- Memory Selection ✓
- Controller Options
- AXI Parameter
- Memory Options
- FPGA Options
- Extended FPGA Options
- IO Planning Options
- Bank Selection
- System Signals Selection
- Summary
- Simulation Options
- PCB Information
- Design Notes

XILINX

### Options for Controller 0 - DDR3 SDRAM

**Clock Period:** Choose the clock period for the desired frequency. The allowed period range(2500 - 3300) is a function of the selected FPGA part and FPGA speed grade. Refer to the User Guide for more information. 2500 ps 400.00 MHz

**PHY to Controller Clock Ratio:** Select the PHY to Memory Controller clock ratio. The PHY operates at the Memory Clock Period chosen above. The controller operates at either 1/4 or 1/2 of the PHY rate. The selected Memory Clock Period will limit the choices. 4:1

**Memory Type:** Select the memory type. Type(s) marked with a warning symbol are not compatible with the frequency selection above. Components

**Memory Part:** Select the memory part. Part(s) marked with a warning symbol are not compatible with the frequency selection above. Find an equivalent part or create a part using the "Create Custom Part" button if the part needed is not listed here. The "Create Custom Part" feature is not supported for RLD RAM II. MT41K256M16XX-107

**Memory Voltage:** Select the Voltage of the Memory part selected. 1.5V

**Data Width:** Select the Data Width. Parts marked with a warning symbol are not compatible with the frequency and memory part selected above. 32

**ECC:** MIG supports ECC for 72 bit data width configuration. To be able to select ECC, select a data width that has ECC supported. Disabled

**Data Mask:** Enable or disable the generation of Data Mask (DM) pins using this check box. This option can be selectable only if the memory part selected has DM pins. Uncheck this box to not use data masks and save FPGA I/Os that are used for DM signals. ECC designs (DDR3 SDRAM, DDR2 SDRAM) will not use Data Mask.

**Number of Bank Machines:** This parameter defines the number of bank machines. A given bank machine manages a single DRAM bank at any given time. 4

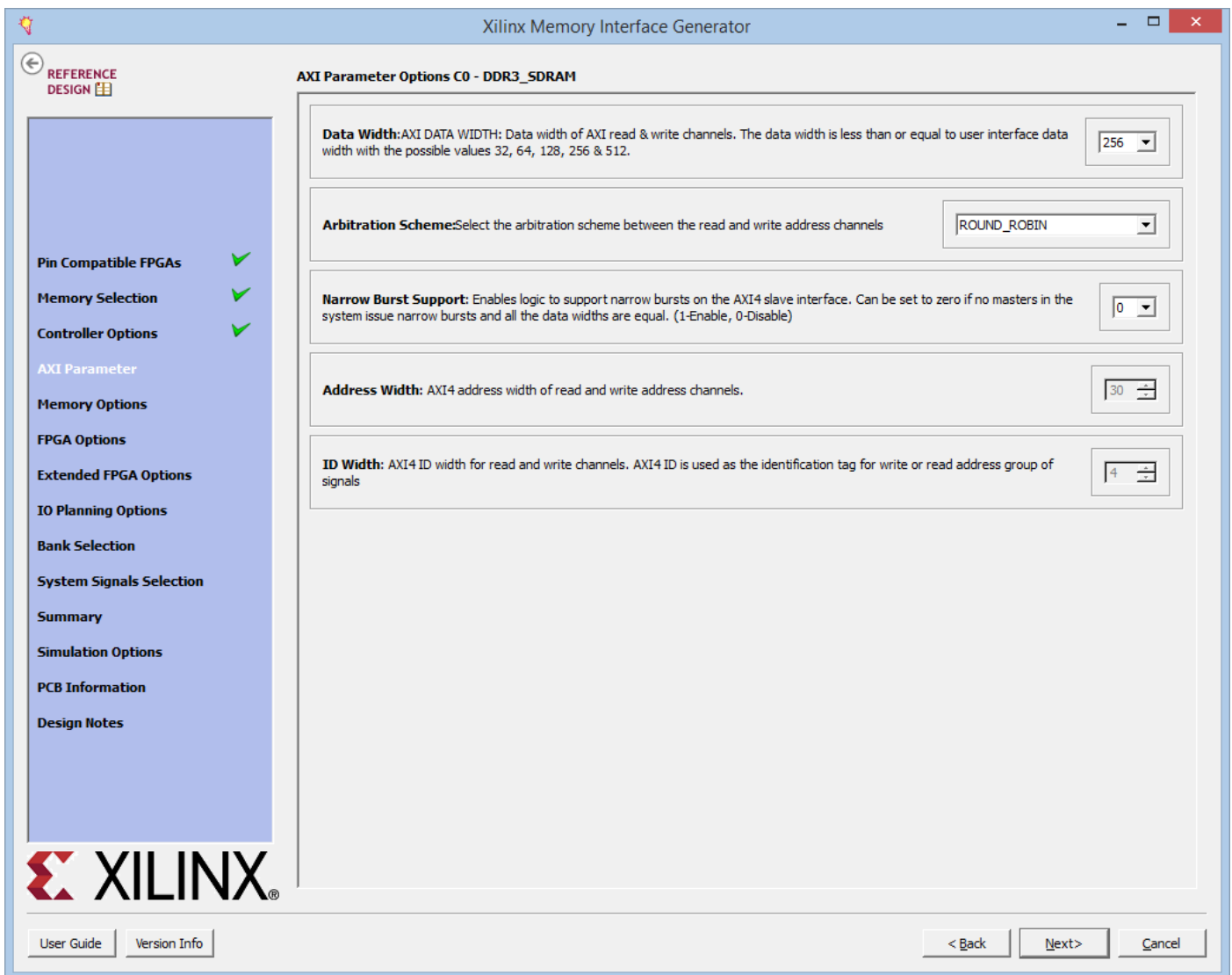
**Note:** Setting a lower value will result in lower resource utilization, but may effect controller efficiency for certain traffic patterns.

**ORDERING:** Normal mode allows the memory controller to reorder commands to the memory to obtain the highest possible efficiency. Strict mode forces the controller to execute commands in the exact order received. Normal

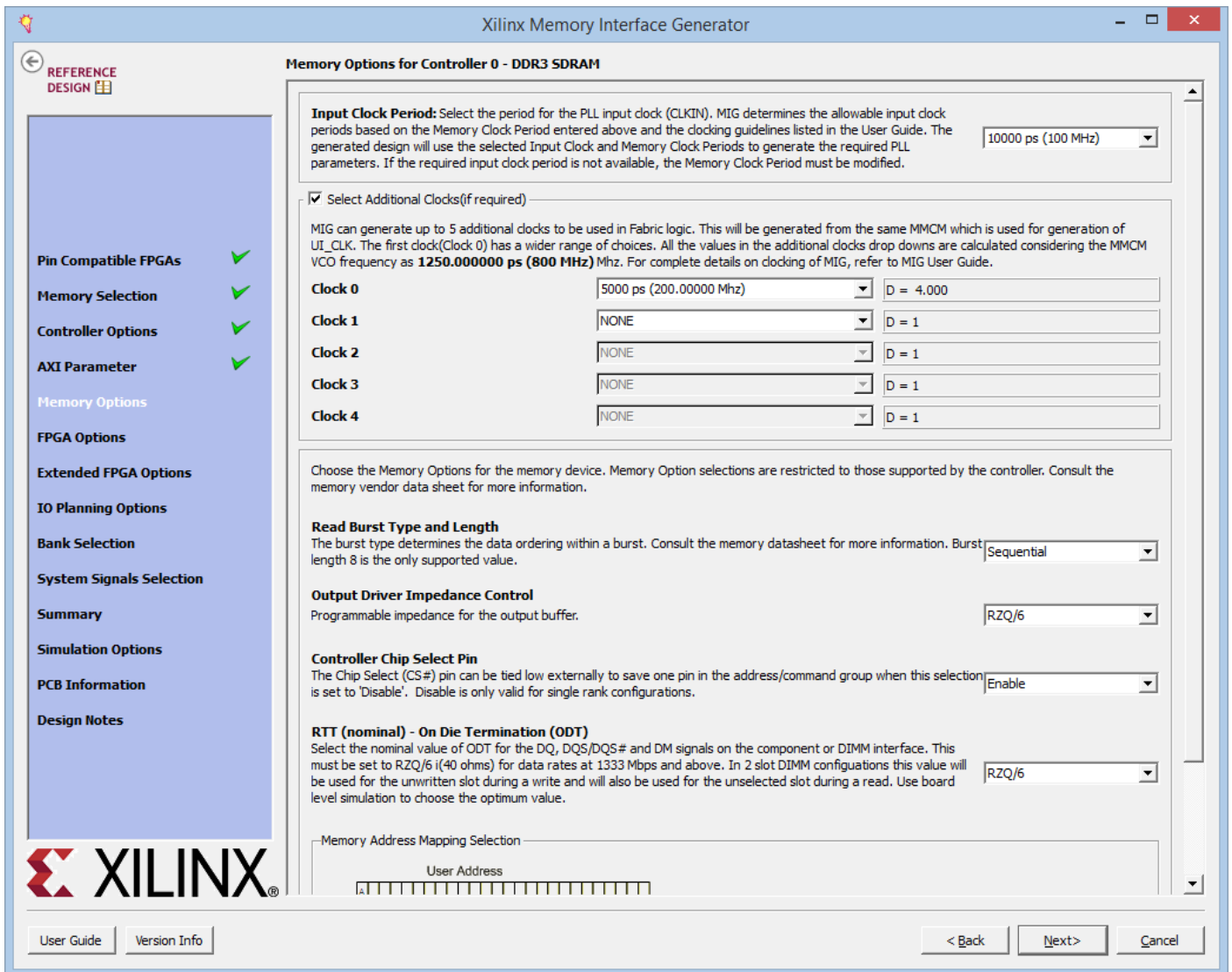
**Memory Details:** 4Gb, x16, row:15, col:10, bank:3, data bits per strobe:8, with data mask, single rank, 1.35V,1.5V

Adjuk meg az alábbi táblázatban szereplő beállításokat, majd kattintsunk a **Next** gombra.

Paraméter	Érték	Megjegyzés
Clock Period	2500 ps	400 MHz DDR3 SDRAM órajel (800 MT/s)
Phy to Controller Clock Ratio	4:1	400 MHz / 4 = 100 MHz frekvenciájú lesz az AXI busz órajele (felhasználói órajel)
Memory Type	Components	
Memory Part	MT41K256M16XX-107	A kártya kapcsolási rajzán MT41K512M16HA-125 típus szerepel, de a PCB-re az itt megadott típus van beültetve.
Memory Voltage	1.5V	A memória tápfeszültsége.
Data Width	32	A memória adatbuszának szélessége bitekben.
ECC	Disabled	Nem módosítható.
Data Mask	engedélyezve	Nem módosítható.
Number of Bank Machines	4	
Ordering	Normal	



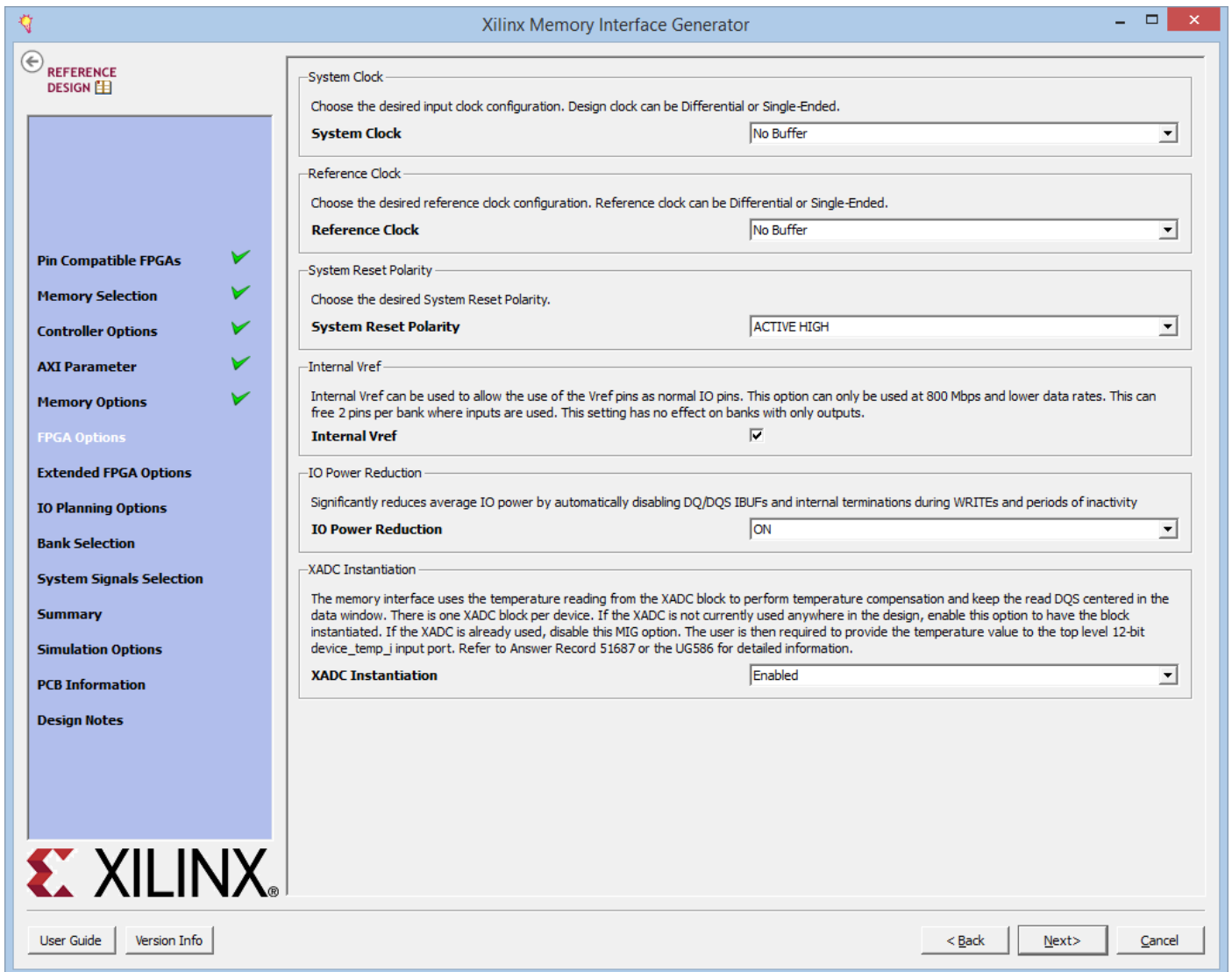
Az eddigi beállítások alapján a DDR3 memória elméleti maximális sávszélessége  $800 \text{ MT/s} * 4 \text{ byte} = 3200 \text{ MB/s}$ . Az FPGA-n belül ennek eléréséhez  $32 \text{ bit} * 2 * 4 = 256 \text{ bit}$  szélességű adatbusz szükséges (a DDR adatátvitel és 4:1 órajel arány miatt). A **Data Width** paraméternél állítsuk be a számunkra szükséges adatbusz szélességet. A nagyobb érték több FPGA erőforrást igényel, kisebb érték esetén pedig kevesebb sávszélesség fog rendelkezésre állni. Az **Arbitration Scheme** paramétert állítsuk be ROUND\_ROBIN-ra. Amennyiben a maximális adatbusz szélességet választottuk és a rendszerben van olyan AXI master periféria, amely narrow burst-öt használ (olyan burst-ös adatátvitel, amelynél egy ütemben a natív adatbusz szélességénél kisebb méretű szó átvitele történik), akkor a **Narrow Burst Support** paramétert állítsuk be 1-re. Miután megadtuk a beállításokat, kattintsunk a **Next** Gombra.



Adjuk meg az alábbi táblázatban szereplő beállításokat, majd kattintsunk a **Next** gombra.

Paraméter	Érték	Megjegyzés
Input Clock Period	10000 ps (100 MHz)	Az FPGA kártyán 100 MHz-es oszcillátor van.
Select Additional Clocks	engedélyezve	
Clock 0	5000 ps (200 MHz)	Órajel az IDELAY-ek kalibrálásához.
Read Burst Type and Length	Sequential	A burst méret mindig 8 ütem.
Output Driver Impedance Control	RZQ/6	$240 \text{ ohm} / 6 = 40 \text{ ohm}$
Controller Chip Select Pin	Enable	
RTT (nominal) – On Die Termination (ODT)	RZQ/6	$240 \text{ ohm} / 6 = 40 \text{ ohm}$
Memory Address Mapping Selection	ROW-BANK-COLUMN	Nagyobb méretű összefüggő terület elérését biztosítja.

A memória vezérlő az AXI busz órajelen (felhasználói órajel, **ui\_clk**) felül még további 5 órajel kimenetet (**Clock 0 – 4** beállítások, **ui\_addn\_clk\_x** portok) biztosít. Amennyiben itt ki tudjuk választani a számunkra szükséges órajel frekvenciá(ka)t, akkor spórolni tudunk az órajel szintézer erőforrások (MMCM, PLL) felhasználásával. A **Clock 0** (**ui\_addn\_clk\_0**) kimenet esetén az osztó 1/8 felbontással állítható, a többi kimeneten az osztó csak egész szám lehet. Egy 200 MHz frekvenciájú órajel kimenetre szükség lesz az IDELAY-ek kalibrálásához (a fenti példában ez a **Clock 0**), melyet a memória vezérlő **clk\_ref\_i** órajel bemenetére kell kötni.



Adjuk meg az alábbi táblázatban szereplő beállításokat, majd kattintsunk a **Next** gombra.

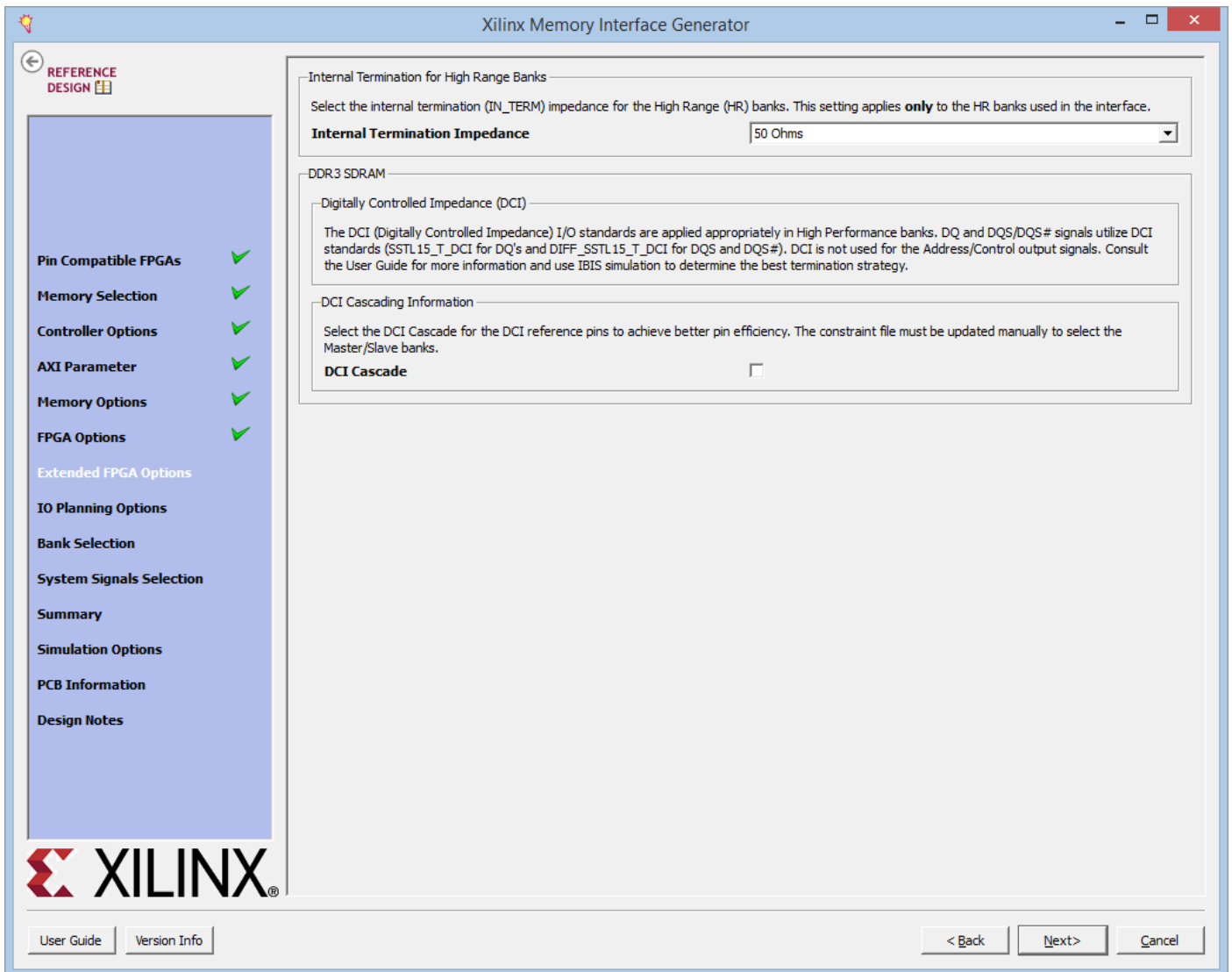
Paraméter	Érték	Megjegyzés
System Clock	No Buffer	<i>clk_sys_i</i> órajel bemenet
Reference Clock	No Buffer	<i>clk_ref_i</i> órajel bemenet
System Reset Polarity	ACTIVE HIGH	Az FPGA kártyán a reset bemenet aktív magas szintű.
Internal Vref	engedélyezve	Az FPGA kártya kialakítása miatt csak ez a beállítás jó.
XADC Instantiation	Enabled	

Az órajel bemeneteknél a **No Buffer** opció megadásával lehetőség van arra, hogy belsőleg generált órajeleket is csatlakoztatni lehessen a memória vezérlőhöz. Ha ezzel a beállítással külső órajel csatlakoztatunk, akkor az ide tartozó single-ended bemeneti buffer (ilyen órajel bemenet van a Logsys Kintex-7 FPGA kártyán) automatikusan felhasználásra kerül, **viszont a globális órajel buffer (BUFG) példányosítását manuálisan kell elvégezni (pl. a top-level modulban)**. Érdemes a BUFG példány elhelyezését rögzíteni az FPGA-n belül, a BUFGCTRL\_X0Y2 egy lehetséges jó elhelyezés. Ha a BUFG-t a top-level modulban példányosítjuk meg *clk100M\_bufg* néven, akkor az ide tartozó XDC fájl bejegyzés:

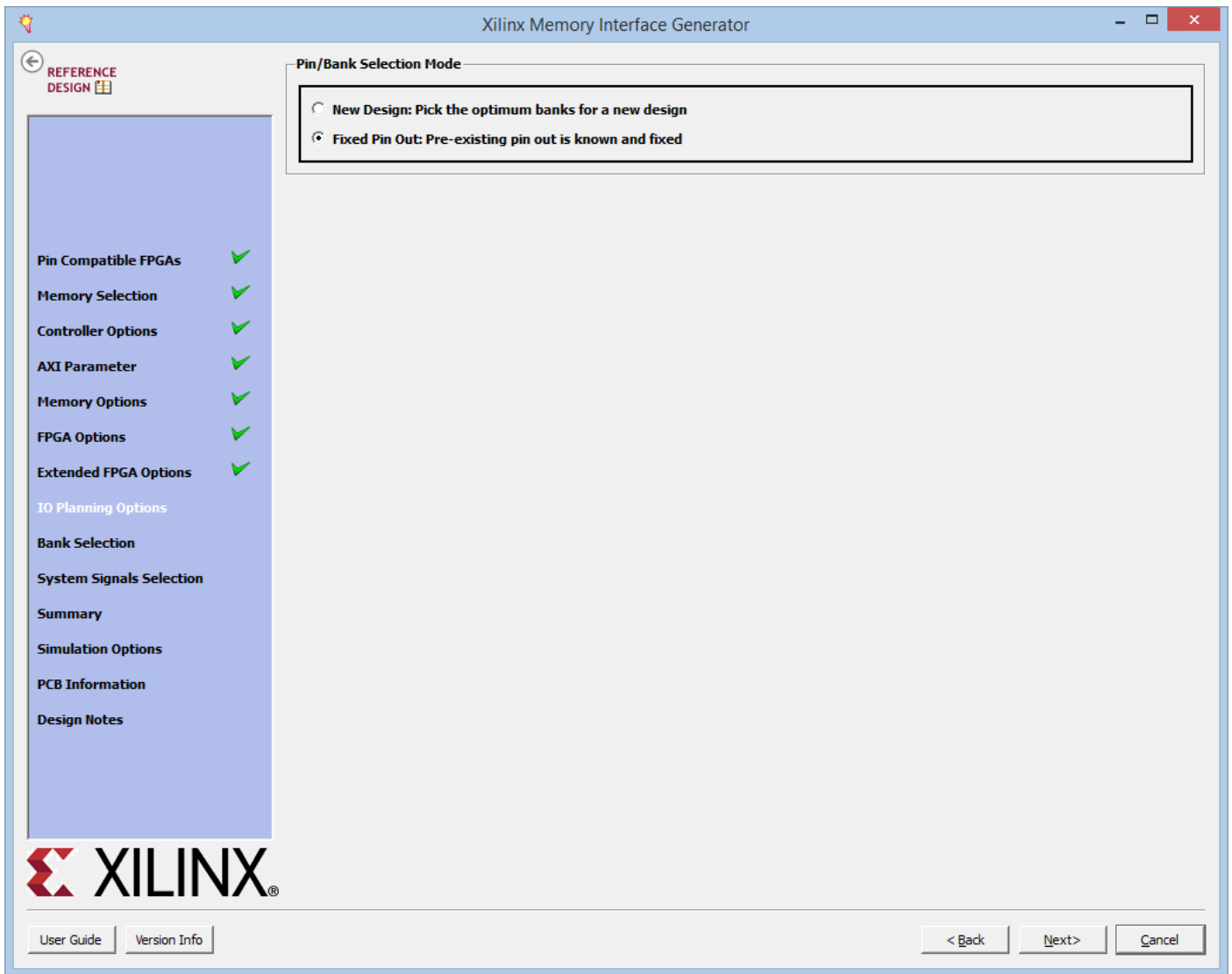
***set\_property LOC BUFGCTRL\_X0Y2 [get\_cells clk100M\_bufg]***

Amennyiben már máshol használjuk az XADC-t, akkor az **XADC Instantiation** paramétert állítsuk Disabled értékűre. Ez esetben a kalibrációhoz szükséges belső hőmérséklet értéket az általunk példányosított XADC egységből kell a memória vezérlőbe átvezetni.





Az **Internal Termination Impedance** paramétert állítsuk 50 Ohms értékűre, a **DCI Cascade** opciót ne engedélyezzük. A beállítások megadása után kattintsunk a **Next** gombra.



Válasszuk a **Fixed Pin Out: Pre Existing pin out is known and fixed** lehetőséget és kattintsunk a **Next** gombra.

Xilinx Memory Interface Generator

REFERENCE DESIGN

### Pin Selection For Controller 0 - DDR3 SDRAM

	Signal Name	Bank Number	Byte Number	Pin Number	IO Standard
1	ddr3_dq[0]	All Banks	Select Byte	Select Pin	
2	ddr3_dq[1]	All Banks	Select Byte	Select Pin	
3	ddr3_dq[2]	All Banks	Select Byte	Select Pin	
4	ddr3_dq[3]	All Banks	Select Byte	Select Pin	
5	ddr3_dq[4]	All Banks	Select Byte	Select Pin	
6	ddr3_dq[5]	All Banks	Select Byte	Select Pin	
7	ddr3_dq[6]	All Banks	Select Byte	Select Pin	
8	ddr3_dq[7]	All Banks	Select Byte	Select Pin	
9	ddr3_dq[8]	All Banks	Select Byte	Select Pin	
10	ddr3_dq[9]	All Banks	Select Byte	Select Pin	
11	ddr3_dq[10]	All Banks	Select Byte	Select Pin	
12	ddr3_dq[11]	All Banks	Select Byte	Select Pin	
13	ddr3_dq[12]	All Banks	Select Byte	Select Pin	
14	ddr3_dq[13]	All Banks	Select Byte	Select Pin	
15	ddr3_dq[14]	All Banks	Select Byte	Select Pin	
16	ddr3_dq[15]	All Banks	Select Byte	Select Pin	
17	ddr3_dq[16]	All Banks	Select Byte	Select Pin	
18	ddr3_dq[17]	All Banks	Select Byte	Select Pin	
19	ddr3_dq[18]	All Banks	Select Byte	Select Pin	
20	ddr3_dq[19]	All Banks	Select Byte	Select Pin	

User Guide
Version Info

Validate
Read XDC/UCF
Save PinOut

< Back
Next >
Cancel

INFO : Press Validate to proceed.

Kattintsunk a **Read XDC/UCF** gombra és adjuk meg a külső memória bekötését tartalmazó UCF fájlt (logsys\_kintex7\_ddr3.ucf). A **Validate** gombra kattintva ellenőriztessük le az importált lábkiosztást, majd pedig kattintsunk a **Next** gombra.

Xilinx Memory Interface Generator

REFERENCE DESIGN

- Pin Compatible FPGAs ✓
- Memory Selection ✓
- Controller Options ✓
- AXI Parameter ✓
- Memory Options ✓
- FPGA Options ✓
- Extended FPGA Options ✓
- IO Planning Options ✓
- Pin Selection ✓
- System Signals Selection
- Summary
- Simulation Options
- PCB Information
- Design Notes

**XILINX**

User Guide    Version Info

System Signals Selection

Select the system pins below appropriately for the interface. Customization of these pins can also be made in the XDC after the design is generated. For more information see [UG586 Bank and Pin rules](#).

System Clock and Reference Clock pin selections will not be visible if the 'No Buffer' option was selected in the FPGA Options page.

Status Signals

These signals may be connected internally to other logic or brought out to a pin.

- sys\_rst**: This input signal is used to reset the interface.
- init\_calib\_complete**: This signal indicates that the interface has completed calibration and memory initialization and is ready for commands. LOC constraint will be generated in XDC for Example design only based on "Pin Number" selection below.
- error**: This output signal indicates that the traffic generator in the Example Design has detected a data mismatch. This signal does not exist in the User Design.

	Signal Name	Bank Number	Pin Number
1	sys_rst	Select Bank	No connect
2	init_calib_complete	Select Bank	No connect
3	tg_compare_error	Select Bank	No connect
<input style="width: 100%;" type="text"/>			

All pins must be constrained to specific locations in order to generate a bit file in the implementation phase (this is not required for simulation).

A státusz jeleket nem használjuk. Hagyjuk meg az alapértelmezett beállításokat (No connect) és kattintsunk a **Next** gombra.

Xilinx Memory Interface Generator

REFERENCE DESIGN

- Pin Compatible FPGAs ✓
- Memory Selection ✓
- Controller Options ✓
- AXI Parameter ✓
- Memory Options ✓
- FPGA Options ✓
- Extended FPGA Options ✓
- IO Planning Options ✓
- Pin Selection ✓
- System Signals Selection ✓
- Summary
- Simulation Options
- PCB Information
- Design Notes

Vivado Project Options:

Target Device	: xc7k70t-fbg676
Speed Grade	: -1
HDL	: verilog
Synthesis Tool	: VIVADO

If any of the above options are incorrect, please click on "Cancel", change the CORE Generator Project Options, and restart MIG.

MIG Output Options:

Module Name	: ddr3_example_mig_7series_0_0
No of Controllers	: 1
Selected Compatible Device(s)	: --

FPGA Options:

System Clock Type	: No Buffer
Reference Clock Type	: No Buffer
Debug Port	: OFF
Internal Vref	: enabled
IO Power Reduction	: ON
XADC instantiation in MIG	: Enabled

Extended FPGA Options:

DCI for DQ,DQS/DQS#,DM	: enabled
Internal Termination (HR Banks)	: 50 Ohms


```
/* Controller 0 */
```

Controller Options :

Memory	: DDR3_SDRAM
Interface	: AXI
Design Clock Frequency	: 2500 ps (400.00 MHz)
Phy to Controller Clock Ratio	: 4:1
Input Clock Period	: 10000 ps
CLKFBOUT_MULT (PLL)	: 8
DIVCLK_DIVIDE (PLL)	: 1
VCC_AUX_IO	: 1.8V

Print

User Guide Version Info < Back Next> Cancel



Itt kapunk egy összegzést az eddig megadott beállításokról. Kattintsunk a **Next** gombra.

Xilinx Memory Interface Generator

REFERENCE DESIGN

- Pin Compatible FPGAs ✓
- Memory Selection ✓
- Controller Options ✓
- AXI Parameter ✓
- Memory Options ✓
- FPGA Options ✓
- Extended FPGA Options ✓
- IO Planning Options ✓
- Pin Selection ✓
- System Signals Selection ✓
- Summary ✓
- Simulation Options
- PCB Information
- Design Notes

Micron Technology, Inc. Simulation Model License Agreement

PLEASE READ THIS SIMULATION MODEL LICENSE AGREEMENT ("AGREEMENT") FROM MICRON TECHNOLOGY, INC. ("MTI") CAREFULLY BEFORE INSTALLING OR USING THIS SIMULATION MODEL (THE "MODEL"). BY INSTALLING OR USING THE MODEL, YOU ARE ACCEPTING AND AGREEING TO THE TERMS AND CONDITIONS OF THIS AGREEMENT. IF YOU DO NOT AGREE WITH THE TERMS AND CONDITIONS OF THIS AGREEMENT, THEN DO NOT INSTALL OR USE THE MODEL.

**SOFTWARE LICENSE:** You acknowledge and agree that it is your sole responsibility to obtain the appropriate license or permission from the owner(s) of the software platform(s) that are necessary for you to operate the Model. MTI is under no obligation whatsoever to offer, provide or secure such license or permission for you.

**MODEL LICENSE:** MTI hereby grants to you the right to install, use and modify the Model solely for testing the Model and designing your product(s) in connection with the Model. You shall not use the Model or any modifications for any other purpose, and shall not copy, rent, or lease the Model or the modifications to any third party. MTI may make changes to the Model at any time without notice to you. MTI is under no obligation whatsoever to update, maintain, or provide new versions or other support for the Model.

**OWNERSHIP OF MATERIALS:** You acknowledge and agree that the Model is proprietary property of MTI and is protected by United States copyright law and international treaty provisions. The Model may not be copied, reproduced, published, uploaded, posted, transmitted, or distributed in any way without MTI's prior written permission. Except as expressly provided herein, MTI does not grant any express or implied right to you under any patents, copyrights, trademarks, or trade secret information. This Agreement does not convey to you an interest in or to the Model, but only a limited right to use and modify the Model in accordance with the terms of this Agreement.

**DISCLAIMER OF WARRANTY:** THE MODEL IS PROVIDED "AS IS" WITHOUT WARRANTY OF ANY KIND. MTI EXPRESSLY DISCLAIMS ALL WARRANTIES EXPRESS OR IMPLIED, INCLUDING BUT NOT LIMITED TO, NONINFRINGEMENT OF THIRD PARTY RIGHTS, AND ANY IMPLIED WARRANTIES OF MERCHANTABILITY OR FITNESS FOR ANY PARTICULAR PURPOSE. MTI DOES NOT WARRANT THAT THE MODEL WILL MEET YOUR REQUIREMENTS, OR THAT THE OPERATION OF THE MODEL WILL BE UNINTERRUPTED OR ERROR-FREE. FURTHERMORE, MTI DOES NOT MAKE ANY REPRESENTATIONS REGARDING THE USE OR THE RESULTS OF THE USE OF THE MODEL IN TERMS OF ITS CORRECTNESS, ACCURACY, RELIABILITY, OR OTHERWISE. THE ENTIRE RISK ARISING OUT OF USE OR PERFORMANCE OF THE MODEL REMAINS WITH YOU. IN NO EVENT SHALL MTI, ITS AFFILIATED COMPANIES OR THEIR SUPPLIERS BE LIABLE FOR ANY DIRECT, INDIRECT, CONSEQUENTIAL, INCIDENTAL, OR SPECIAL DAMAGES (INCLUDING, WITHOUT LIMITATION, DAMAGES FOR LOSS OF PROFITS, BUSINESS INTERRUPTION, OR LOSS OF

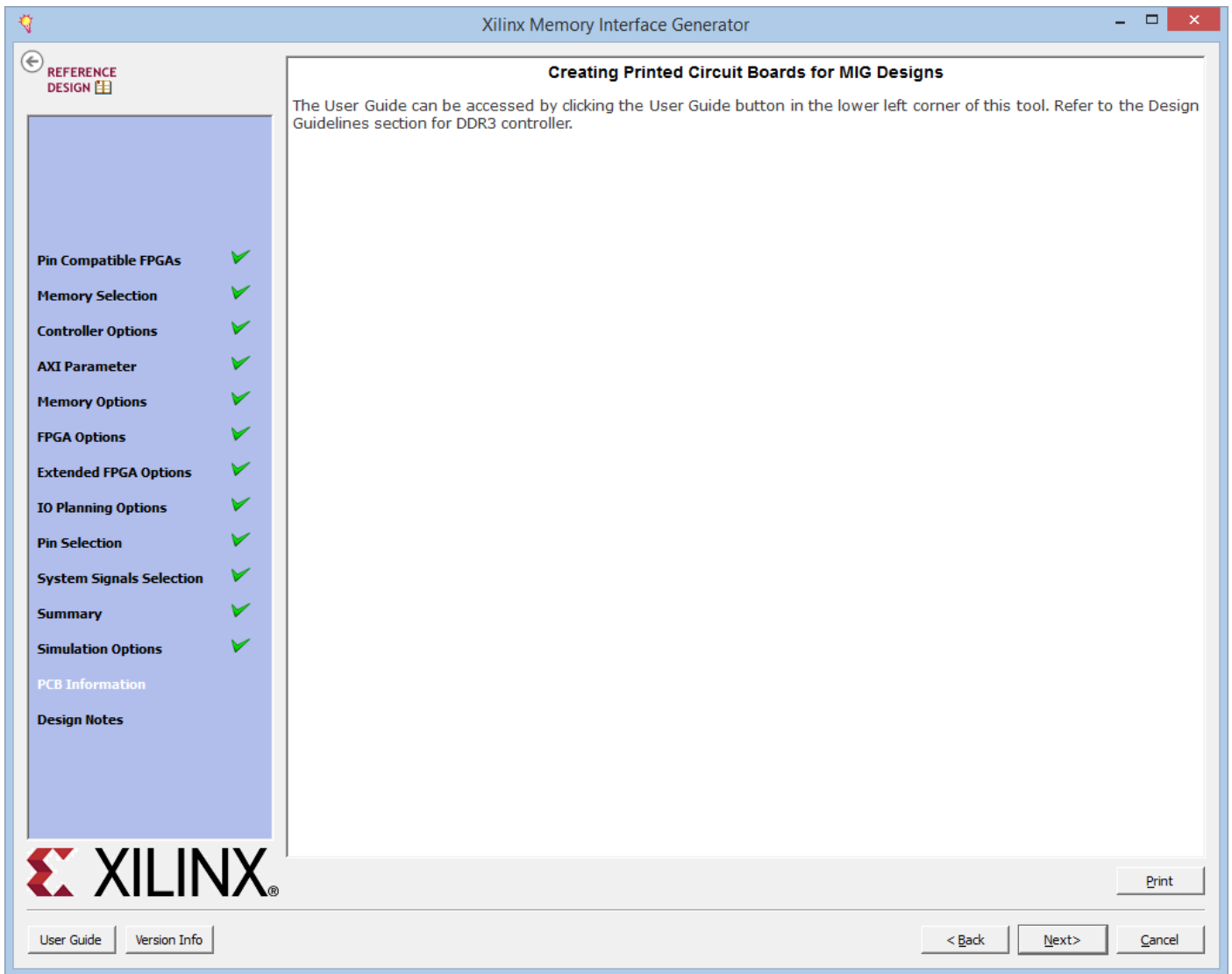
Print

Accept  Decline

Check Accept or Decline to proceed. By clicking Accept, memory model will be output in the simulation directory. By clicking Decline, a memory model must be acquired and configured appropriately.

User Guide Version Info < Back Next> Cancel

A kiválasztott DDR3 SDRAM chip esetén rendelkezésre áll szimulációs modell. Ha az ide tartozó licenst elfogadjuk, akkor ez le fog generálódni. A választás után kattintsunk a **Next** gombra.



Külső memóriához most nem tervezünk nyomtatott áramkört, így az itt leírtak figyelmen kívül hagyhatók. Kattintsunk a **Next** gombra.

Xilinx Memory Interface Generator

## DDR3 SDRAM Design for Kintex-7 FPGAs

**Design Notes**

1. This design is tested with Vivado 2018.1 version
2. This design is simulated with Questa SIM 10.6c version, VCS N-2017.12 version, and IES 15.20.042 version
3. Components, RDIMMs, UDIMMs and SODIMMs are supported
4. If fly by delays are simulated, they must be limited to 1.2ns
5. Consult the Version Info for known limitations

**Key Enhancements for MIG 2.4 - 2015.4 release**

1. Updated Maximum supported design frequencies as per the 7 Series DC and AC Switching Characteristics data sheets

**Key Enhancements for MIG 2.3 - 2014.4 release**

1. Updated Maximum supported design frequencies as per the 7 Series DC and AC Switching Characteristics data sheets
2. DDR3 OCLK delay calibration enhancements

**Key Enhancements for MIG 2.2 - 2014.3 release**

1. Updated Maximum supported design frequencies as per the 7 Series DC and AC Switching Characteristics data sheets
2. Updated Maximum supported design frequencies according to (Xilinx Answer 59167)

**Key Enhancements for MIG 2.1 - 2014.2 release**

1. DDR3 Clocking Scheme changes
2. DDR3 read path calibration algorithm changes

**Key Enhancements for MIG 2.0 - 2014.1 release**

1. Extended IES and VCS support to Multi-Controller and Multi-Interface designs

**Key Enhancements for MIG 2.0 - 2013.4 release**

**REFERENCE DESIGN**

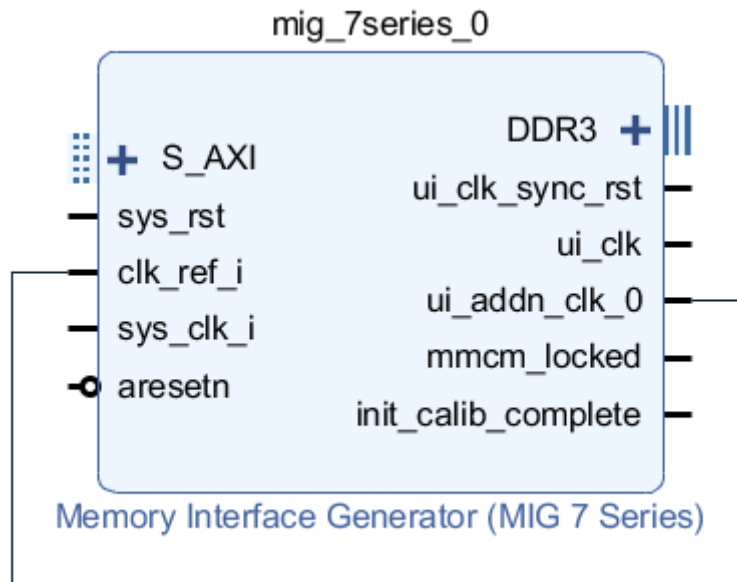
- Pin Compatible FPGAs ✓
- Memory Selection ✓
- Controller Options ✓
- AXI Parameter ✓
- Memory Options ✓
- FPGA Options ✓
- Extended FPGA Options ✓
- IO Planning Options ✓
- Pin Selection ✓
- System Signals Selection ✓
- Summary ✓
- Simulation Options ✓
- PCB Information ✓
- Design Notes

**XILINX**

User Guide Version Info < Back Generate Cancel Print

A Memory Interface Generator (MIG) egyes verzióiban bekövetkezett változások listája. Kattintsunk a **Generate** gombra a memória vezérlő létrehozásához.





Az ábrán a 200 MHz frekvenciájú **ui\_addn\_clk\_0** órajel kimenet rá van kötve a **clk\_ref\_i** órajel bemenetre. Az alábbi táblázat tartalmazza a memória vezérlő portjainak és interfészeinek leírását.

Port vagy interfész	Leírás
sys_clk_i	Rendszerórajel bemenet.
sys_rst	Reset bemenet.
clk_ref_i	Az IDELAY kalibrációhoz szükséges 200 MHz-es órajel bemenet.
DDR3	DDR3 SDRAM memória interfész.
S_AXI	AXI4 slave interfész.
ui_clk	Felhasználói órajel kimenet. Az AXI4 slave interfész órajele.
aresetn	Az AXI4 slave interfész aktív alacsony reset bemenete.
ui_clk_sync_rst	Az ui_clk órajelhez szinkronizált reset kimenet. Ezt használjuk az FPGA-n belül.
ui_addn_clk_[4:0]	Opcionális felhasználói órajel kimenetek.
mmcm_locked	A memória vezérlő belső órajel generátorában lévő MMCM és PLL egységek befogtak, a kimeneteik stabil órajelet adnak.
init_calib_done	Jelzi, ha a memória inicializálása és a memória interfész kalibrálása sikeresen megtörtént.