



BUDAPESTI MŰSZAKI ÉS GAZDASÁGTUDOMÁNYI EGYETEM
VILLAMOSMÉRNÖKI ÉS INFORMATIKAI KAR
MÉRÉSTECHNIKA ÉS INFORMÁCIÓS RENDSZEREK TANSZÉK

Digitális technika (VIMIAA02)

5. laboratórium

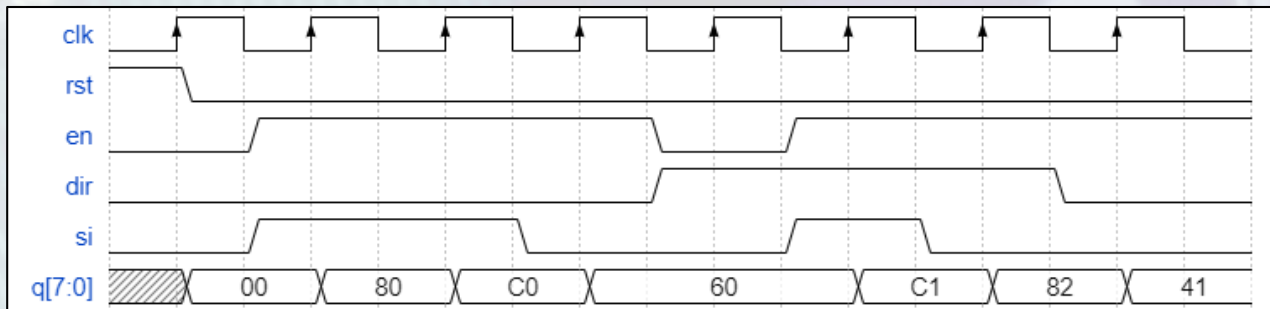
Raikovich Tamás
BME MIT

Shiftregiszterek, számlálók

- **1. feladat: shiftregiszter megvalósítása**
 - a) 8 bites törölhető, engedélyezhető, kétirányú SHR
 - b) Knight Rider futófény
- **2. feladat: számlálók megvalósítása**
 - a) 4 bites törölhető, tölthető, engedélyezhető felfele számláló végállapot jelzéssel
 - b) Másodperc számláló (2 digités BCD, 0 – 59 s)
- **A feladatokhoz szükséges új Verilog ismeretek:**
 - Shiftelés operátorok
 - Konkaténálás operátor

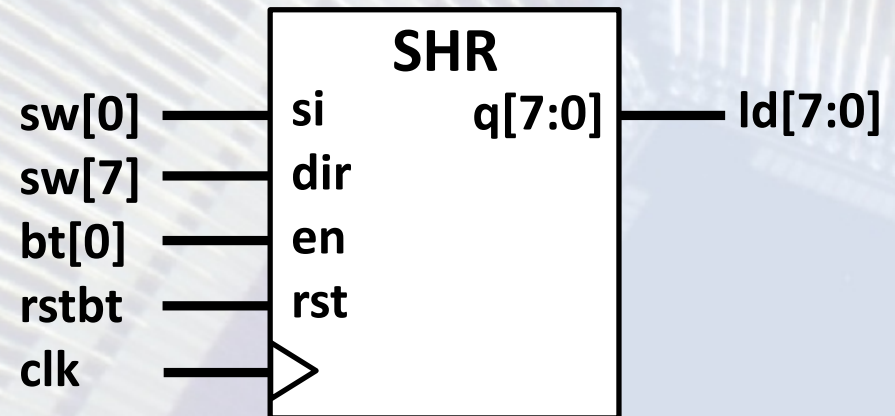
1.a feladat: 8 bites shiftregiszter

- 8 bites törölhető, engedélyezhető, kétirányú shiftregiszter egy soros bemenettel



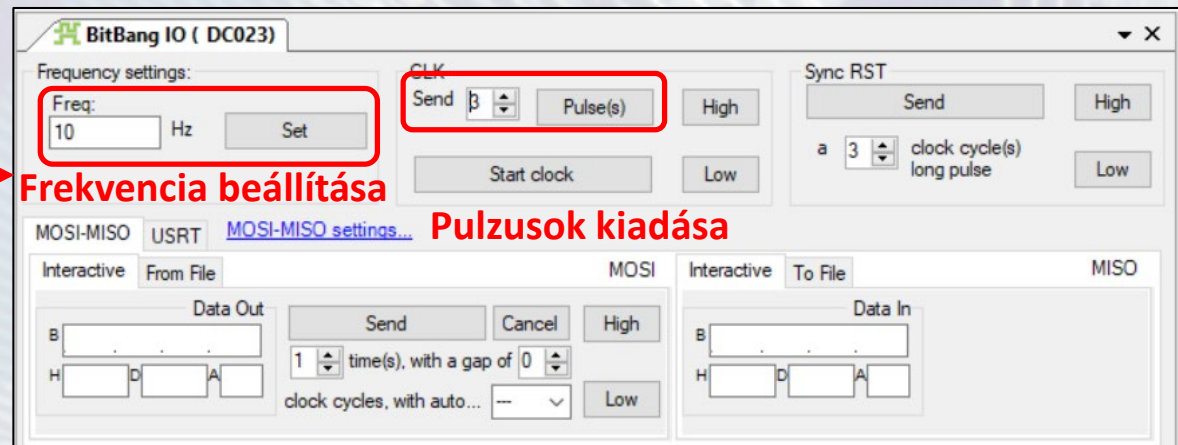
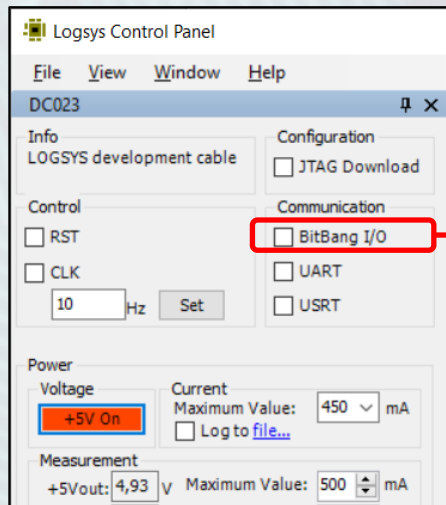
- A bemenetek és kimenetek bekötése

- clk: a letöltőkábeltől (*bitbang I/O*)
- rst: rstbt
- en: bt[0]
- dir: sw[7] (0: \rightarrow , 1: \leftarrow)
- si: sw[0]
- q: ld[7:0]



1.a feladat: 8 bites shiftregiszter

- Ellenőrizzük szimulátorban a működést (opcionális)
 - Vegyük alapul az előző idődiagramot (1 osztás: 50 ns)
- Próbáljuk ki az FPGA kártyán az SHR működését
 - Az órajelet a **Bitbang I/O** funkcióval állítsuk elő



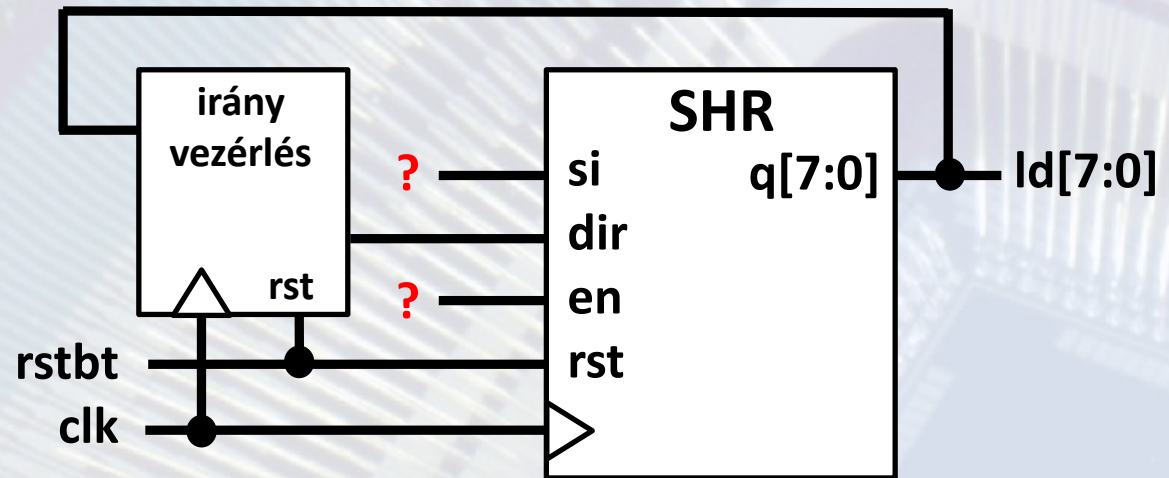
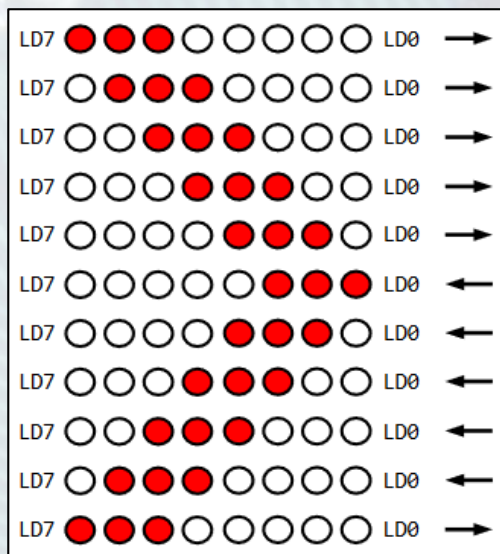
Frekvencia beállítása

Pulzusok kiadása

1.b feladat: Knight Rider futófény

Egészítsük ki a shiftregisztert a gyakorlaton megtervezett Knight Rider futófénnyé

- A Moore jellegű irány vezérlést valósítsuk meg
- Mi legyen a shiftregiszter kezdőállapota *rst* hatására?
- Mi legyen a nem használt bemenetek értéke?

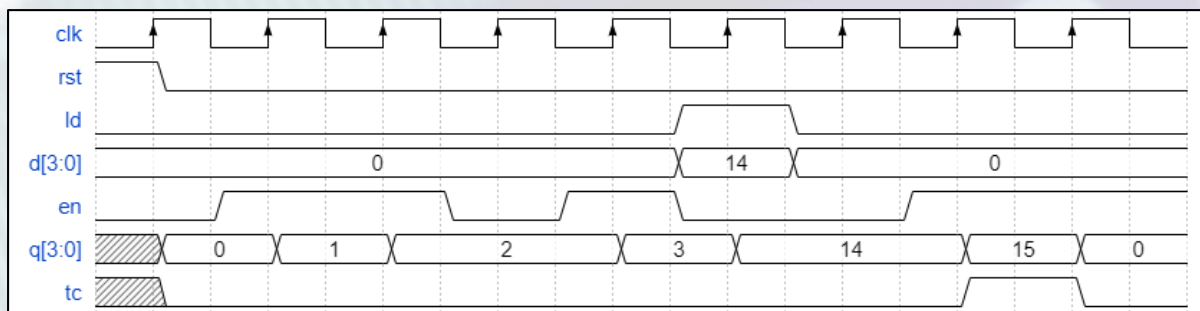


1.b feladat: Knight Rider futófény

- Új top-level modul kijelölése: lab05_1b
 - Jobb klikk a modulon → Set as Top Module
- Ha az UCF fájl esetleg nem kerülne át az új top-level modul alá, akkor távolítsuk el a projektből az UCF fájlt és adjuk hozzá újból

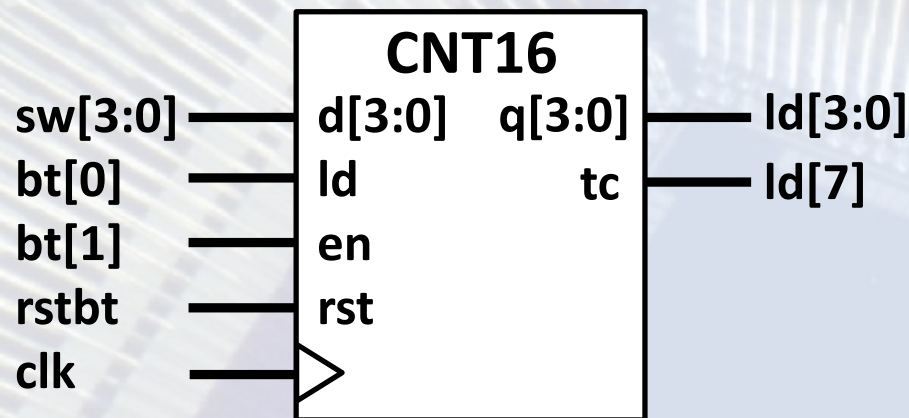
2.a feladat: 4 bites számláló

- 4 bites törölhető, tölthető, engedélyezhető felfele számláló végállapot jelzéssel



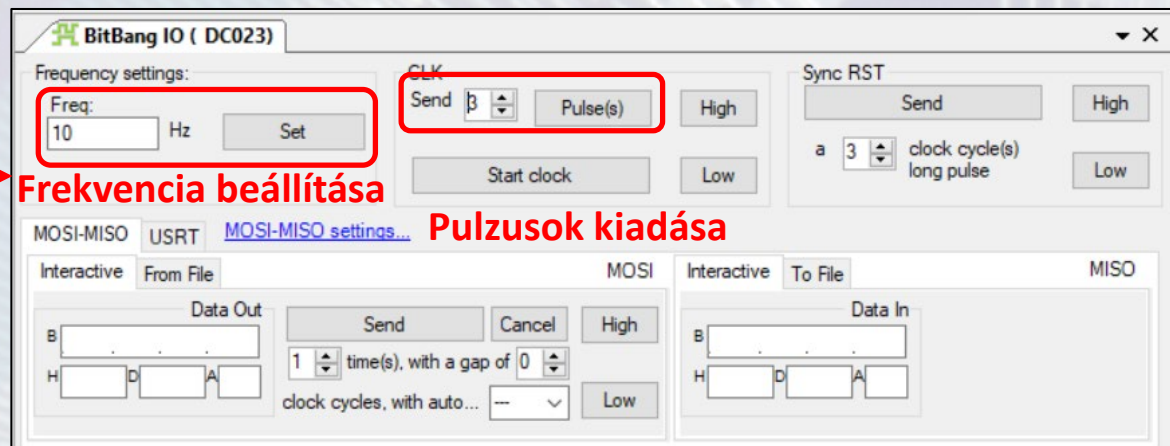
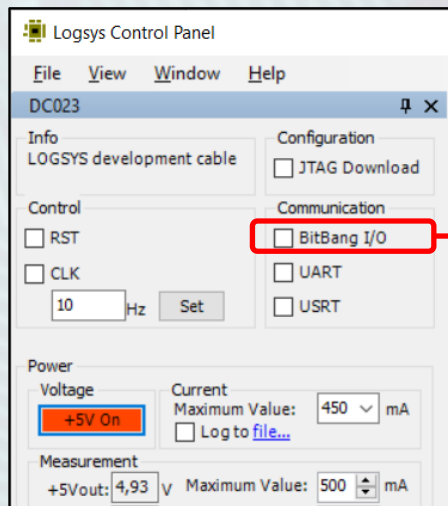
- A bemenetek és kimenetek bekötése

- clk: a letöltőkábeltől (*bitbang I/O*)
- rst: rstbt
- ld: bt[0]
- d: sw[3:0]
- en: bt[1]
- q: ld[3:0]
- tc: ld[7]



2.a feladat: 4 bites számláló

- Ellenőrizzük szimulátorban a működést (opcionális)
 - Vegyük alapul az előző idődiagramot (1 osztás: 50 ns)
- Próbáljuk ki az FPGA kártyán a számláló működését
 - Az órajelet a **Bitbang I/O** funkcióval állítsuk elő



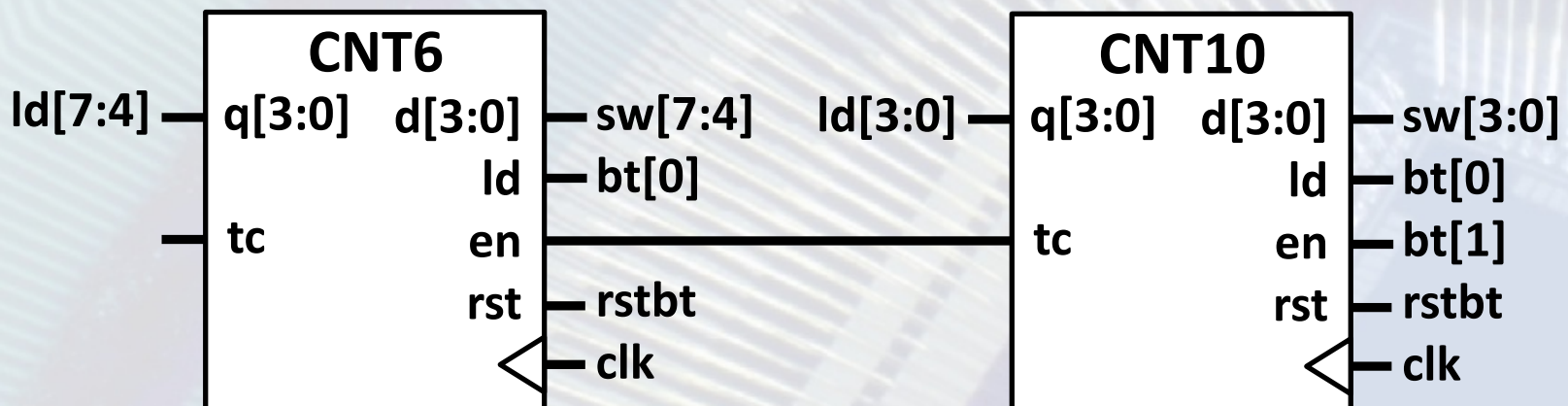
2.b feladat: másodperc számláló

Készítsünk másodperc számlálót, amely 2 digités BCD formátumban megjeleníti a 0–59 értékeket a LED-eken

- Egyes helyiérték \rightarrow $ld[3:0]$
- Tízes helyiérték \rightarrow $ld[7:4]$
- Hogy valósítsuk meg ezt a lehető legegyszerűbben?
 - 60 állapotú számláló és bináris \rightarrow BCD átalakítás?
 - Esetleg más ötlet az eddig tanultak alapján?

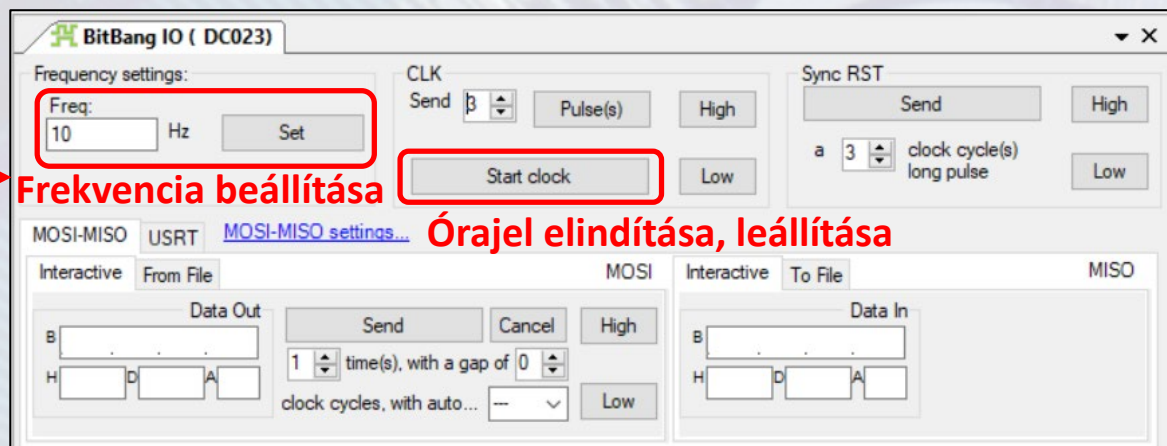
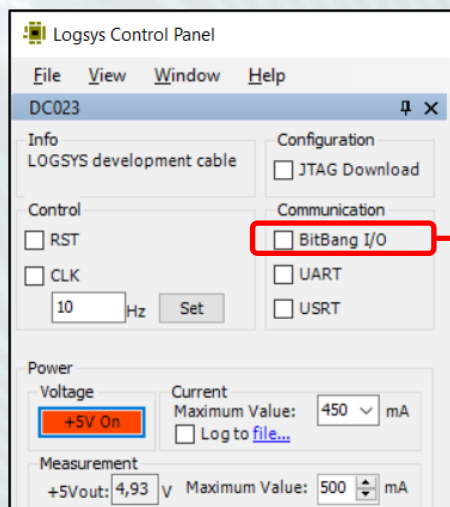
2.b feladat: másodperc számláló

- Elkerülhető a bináris→BCD átalakítás, ha mindegyik helyiértékhez külön-külön számlálót használunk
 - Egyes helyiérték → 10 állapotú számláló (0-9)
 - Tízes helyiérték → 6 állapotú számláló (0-5)
 - Minimális módosítás kell az előző számlálóban
- Az adott helyiérték végállapot jelzése engedélyezi a következő helyiérték számlálóját



2.b feladat: másodperc számláló

- Új top-level modul kijelölése: lab05_2b
- Próbáljuk ki az FPGA kártyán a számláló működését
- Az órajelet a *Bitbang I/O* funkcióval állítsuk elő



Frekvencia beállítása

Órajel elindítása, leállítása